

WANG
PROFESSIONAL
COMPUTER

Technisches
Nachschlage-
Handbuch

WANG

Wang Professional Computer Technisches Nachschlage-Handbuch

1. Ausgabe - März 1984
Copyright © Wang Laboratories, Inc., 1983
717-0004

WANG

GEWÄHRLEISTUNGS AUSSCHLUSS UND HAFTUNGSBEGRENZUNG

Die Mitarbeiter von Wang Laboratories, Inc. haben dieses Handbuch mit der gebührenden Sorgfalt erarbeitet; nichts, was in ihm enthalten ist, bewirkt jedoch in irgendeiner Weise eine Abwandlung oder Änderung der normalen Bestimmungen und Bedingungen des Wang-Kauf-Leasing- oder Lizenzvertrags, aufgrund dessen dieses Software-Paket erworben wurde, noch bewirkt es für Wang eine größere Haftung gegenüber dem Kunden. Auf keinen Fall haften die Wang Laboratories, Inc. bzw. ihre Tochtergesellschaften für Neben- oder Folgeschäden in Zusammenhang mit dem oder durch den Gebrauch des Software-Paketes bzw. des begleitenden Materials.

Vermerk:

Die Benutzererlaubnis für alle Wang-Programmprodukte wird den Kunden in Übereinstimmung mit den Vorschriften und Bedingungen der Programmprodukt-Standard-Lizenz von Wang Laboratories, Inc. erteilt; Eigentum an Wang-Software wird nicht übertragen und jeglicher Gebrauch, der über die Bestimmungen der besagten Lizenz hinausgeht und für den keine schriftliche Einwilligung von Wang Laboratories, Inc. vorliegt, ist untersagt.

VORWORT

Das Technische Nachschlagehandbuch für den Wang Professional Computer enthält technische Informationen über Betrieb und Architektur des Professional Computers (PC) von Wang. Dieses Handbuch setzt gründliche Kenntnisse in Computer-Architektur, einschließlich Ein-/Ausgabe(E/A)-Schnittstelle und Steuereinheiten voraus und wird für Wang PC Benutzer empfohlen, die ein ihren eigenen Erfordernissen entsprechendes Betriebssystem einsetzen wollen.

Das Technische Nachschlagehandbuch beginnt mit einem Überblick über die Wang PC System-Architektur. Nachfolgende Kapitel behandeln das Unterbrechungssystem, die Tastatur, die Parallele E/A-Schnittstelle, die Erweiterte Programmierbare Kommunikations-Schnittstelle (EPCI) sowie die verschiedenen Steuereinheiten am System. Im letzten Kapitel werden die System-Board E/A-Adreßzuordnungen aufgeführt.

ANMERKUNG:

Die Wang Deutschland GmbH unterstützt keine vom Kunden implementierten technischen Änderungen am Wang PC Betriebssystem.



INHALT

KAPITEL 1	SYSTEM-ARCHITEKTUR	
1.1	Zusatzspeicheroption	1-3
1.2	Direktspeicherzugriff (DMA)	1-5
1.3	Programmieren der DMA Steuereinheit	1-6
1.4	Systemstatusanschluß und Unterbrechungsstatusanschluß .	1-11
1.5	8253-5 Programmierbarer Intervallzeitgeber	1-12
1.6	Stromverteilung	1-15
KAPITEL 2	UNTERBRECHUNGSSYSTEM	
2.1	Unterbrechungsanforderungen	2-1
2.2	Unterbrechungen und Unterbrechungsprioritätsebenen	2-2
2.3	Programmieren des Unterbrechungssystems	2-4
KAPITEL 3	TASTATUR UND TONGENERATOR	
3.1	Tastaturschnittstelle	3-1
3.2	Mehrfachtongenerator	3-6
KAPITEL 4	PARALLELE E/A-SCHNITTSTELLE	4-1
KAPITEL 5	2661 ERWEITERTE PROGRAMMIERBARE KOMMUNIKATIONS- SCHNITTSTELLE (EPCI)	
5.1	EPCI-Architektur	5-1
5.2	Empfänger-Betrieb	5-3
5.3	Sender-Betrieb	5-3
5.4	Programmieren der EPCI	5-4
5.5	EPCI Betriebsartregister	5-4
5.6	EPCI Befehlsregister	5-6
5.7	EPCI Statusregister	5-8
5.8	RS-232C Schnittstelle	5-9

INHALT (Forts.)

KAPITEL 6	DISKETTEN-STEUEREINHEIT	
6.1	Diskettenregister	6-1
6.2	Prozessor- und Diskettenkommunikation	6-4
6.3	Befehls- und Resultatformate	6-4
6.4	Lese- und Schreibzugriff	6-7
6.5	Disketten-Steuereinheitsunterbrechungen	6-8
6.6	Mehrspurbefehle	6-9
6.7	Überspringangabe	6-9
6.8	Disketten-Steuereinheit-Befehlsübersicht	6-9
6.9	Diskettenaufzeichnungsformat	6-13
KAPITEL 7	VIDEO-STEUEREINHEIT MIT NIEDRIGEM AUFLÖSUNGSVERMÖGEN	
7.1	Video-Speicherorganisation	7-1
7.2	Horizontales und Vertikales Scrolling	7-4
7.3	Video-Darstellungsattribute	7-7
7.4	Programmieren der Video-Steuereinheit	7-8
7.5	Video-Monitor-Schnittstelle	7-11
KAPITEL 8	VIDEO-STEUEREINHEIT MIT MITTLEREM AUFLÖSUNGSVERMÖGEN	
8.1	Font-Tabelle	8-3
8.2	Rahmenpuffer	8-5
8.3	Bitmap-Speicher	8-7
8.4	Zeichen-Attribute	8-8
8.5	Zeichenattribut-Bit-Zuordnung für mittlere Auflösung ...	8-9
8.6	Programmieren der Video-Steuereinheit	8-11

INHALT (Forts.)

KAPITEL 9	REMOTE-TELEKOMMUNIKATIONS-STEUEREINHEIT (RTC)	
9.1	8086 Schnittstelle zur RTC	9-1
9.2	E/A-Anschlüsse der Remote-Telekommunikations- Steuereinheit	9-2
9.3	RTC-Architektur	9-5
9.4	RTC-Speicher	9-6
9.5	Direktspeicherzugriff	9-6
9.6	Primärer und Sekundärer Zähler/Zeitgeber-Chip	9-10
9.7	DMA-Prozessende-Unterbrechungen	9-11
9.8	Taktmodus und interne Zeitmessung verglichen mit externer Zeitmessung	9-11
9.9	Sekundäre Sendeanforderung	9-12
9.10	Sonderzeichenerkennung	9-12
9.11	Z80A-Unterbrechungen	9-13
9.12	Automatische Anrufeinrichtung (ACU)	9-14
KAPITEL 10	WINCHESTER-DISK-STEUEREINHEIT (WDC)	
10.1	Winchester-Disk-Programmierung	10-1
10.2	Befehlsphase	10-4
10.3	Ausführungsphase	10-4
10.4	Resultatphase	10-5
10.5	WDC-Statusinformation	10-12
KAPITEL 11	SYSTEM BOARD E/A ANSCHLUSSZUORDNUNGEN	11-1

ABBILDUNGEN

Abbildung 1-1	Prozessorblockdiagramm	1-1
Abbildung 1-2	System-Board-Blockdiagramm	1-2
Abbildung 1-3	Stromverteilungsdiagramm	1-15
Abbildung 3-1	Codes für Standard-Tastatur	3-3
Abbildung 3-2	Codes für erweiterte Tastatur	3-3
Abbildung 4-1	Parallelanschluß-Zeitmessungsdiagramm	4-6
Abbildung 5-1	Blockdiagramm der EPCI-Schnittstelle	5-2
Abbildung 6-1	Diskettenaufzeichnungsformat	6-16
Abbildung 7-1	Video-Steuereinheit-Blockdiagramm (niedrige Auflösung)	7-2
Abbildung 7-2	80-Spalten-Anzeigeadresse	7-3
Abbildung 7-3	40-Spalten-Anzeigeadresse	7-3
Abbildung 7-4	Scroll-Register	7-5
Abbildung 7-5	Video-Speicherorganisation für 80-Spalten-Anzeige	7-6
Abbildung 8-1	Video-Steuereinheit-Blockdiagramm (mittlere Auflösung)	8-2
Abbildung 8-2	Video-Speicherorganisation	8-4
Abbildung 8-3	Zeichendefinition	8-6
Abbildung 8-4	Rahmenpuffer- und Fonttabelle-Adressierung	8-7
Abbildung 8-5	Zeichenattributlogik	8-9
Abbildung 9-1	RTC-Architektur	9-5

TABELLEN

Tabelle 1-1	Zusatzspeicherboard-E/A-Anschlüsse	1-4
Tabelle 1-2	DMA-Steuereinheitsanschlüsse	1-7
Tabelle 1-3	Systemstatus-Anschlußsignale (Eingabe-Anschluß 10EOH)	1-11
Tabelle 1-4	Unterbrechungsstatus-Anschlußsignale (Eingabe-Anschluß 1022H)	1-12
Tabelle 1-5	8253-5 Zeitgeber-E/A-Anschlüsse	1-14
Tabelle 1-6	8253-5 Zeitgeber-Kontrollregister (Ausgabe-Anschluß 1046H)	1-14
Tabelle 2-1	Format des Operationssteuerwortes 2	2-5
Tabelle 2-2	Format des Operationssteuerwortes 3	2-6
Tabelle 2-3	Unterbrechungsanforderung-Kennzeichenadressen	2-7
Tabelle 3-1	Tastatursteuercodes	3-4
Tabelle 3-2	Tastaturschnittstellensignale	3-6
Tabelle 4-1	Paralleldrucker-Schnittstellensignale für Eingabe-Anschluß 1020H und E/A-Anschluß 1024H	4-1
Tabelle 4-2	Anschlußwerte und Merkmale	4-3
Tabelle 4-3	Parallelanschluß-Stiftzuordnung	4-4
Tabelle 5-1	EPCI-E/A-Anschlußzuordnung	5-4
Tabelle 5-2	EPCI-Betriebsartregister 1 (Eingabe-Anschluß 1084H, Ausgabe-Anschluß 108CH)	5-5
Tabelle 5-3	EPCI-Betriebsartregister 2 (Ausgabe-Anschluß 1084H) ..	5-5

TABELLEN (Forts.)

Tabelle 5-4	EPCI-Befehlsregister	5-7
Tabelle 5-5	EPCI-Statusregister (Eingabe-Anschluß 1082H)	5-9
Tabelle 5-6	RS-232C-Schnittstellensignale	5-10
Tabelle 6-1	Diskettensteuereinheit-E/A-Anschlüsse	6-2
Tabelle 6-2	Diskettensteuereinheit-Statusregister (Anschluß 1014H)	6-3
Tabelle 6-3	Diskettensteuereinheit-Statusbyte 0 (Anschluß 1016H)	6-5
Tabelle 6-4	Diskettensteuereinheit-Statusbyte 1 (Anschluß 1016H)	6-6
Tabelle 6-5	Diskettensteuereinheit-Statusbyte 2 (Anschluß 1016H)	6-7
Tabelle 6-6	Diskettenaufzeichnungsformat	6-14
Tabelle 7-1	Video-Ausgabe-Option für niedrige Auflösung	7-1
Tabelle 7-2	Video-Steuereinheit-E/A-Anschlüsse für niedrige Auflösung	7-8
Tabelle 7-3	Interne Register des Video-Steuereinheit-Chips für niedrige Auflösung	7-10
Tabelle 8-1	Video-Steuereinheit-E/A-Anschlüsse für mittlere Auflösung	8-11
Tabelle 8-2	Interne Register des Video-Steuereinheit-Chips für mittlere Auflösung	8-12
Tabelle 9-1	RTC Z80A E/A-Anschlußadressen	9-7
Tabelle 9-2	Automatische Anrufeinrichtung-Schnittstelle	9-15
Tabelle 10-1	Winchester-Disk-Steuereinheit E/A-Anschlüsse	10-2
Tabelle 10-2	Winchester-Disk-Steuereinheit Hauptstatusregister (Eingabe-Anschluß-Offset 1x00H)	10-3
Tabelle 10-3	WDC Operationsstatus-Codezuordnungen	10-12
Tabelle 10-4	Durch WDC-Befehle gesetzte Statusbytes	10-13
Tabelle 10-5	Winchester-Disk-Aufzeichnungsformat	10-14
Tabelle 11-1	System-Board-E/A-Anschlußzuordnungen	11-1

KAPITEL 1 SYSTEM-ARCHITEKTUR

Der Hauptprozessor ist ein Intel 8086 Mikroprozessor, der mit einer Zyklusgeschwindigkeit von maximal 8 MHz arbeitet. Für hochleistungsfähige numerische Datenverarbeitung kann wahlweise ein 8-MHz 8087 Co-Prozessor installiert werden. Der 8086 und der 8087 Co-Prozessor kommunizieren über einen lokalen Interprozessor-Bus. Beide Prozessoren kommunizieren mit Speicher- und E/A-Komponenten über den System-Bus durch Adreß-Signalspeicher, Datensender/-Empfänger und einen 8288 Bus-Steuerereinheit-Chip.

In Abbildung 1-1 ist ein Prozessorblockdiagramm dargestellt. Der Hauptprozessor und der wahlweise Hilfsprozessor sind durch lokale Adreß-, Daten- und Steuerungsbusse mit den Systembussen verbunden.

Abbildung 1-2 zeigt ein System-Board-Blockdiagramm. Die gepufferten Adreß- und Datenbusse verbinden die System-Board-Komponenten und bilden eine Systembusschnittstelle. Zusammen betrachtet stellen Abbildung 1-1 und 1-2 ein vollständiges Diagramm der gesamten Prozessorschaltungsanordnung auf dem System-Board dar.

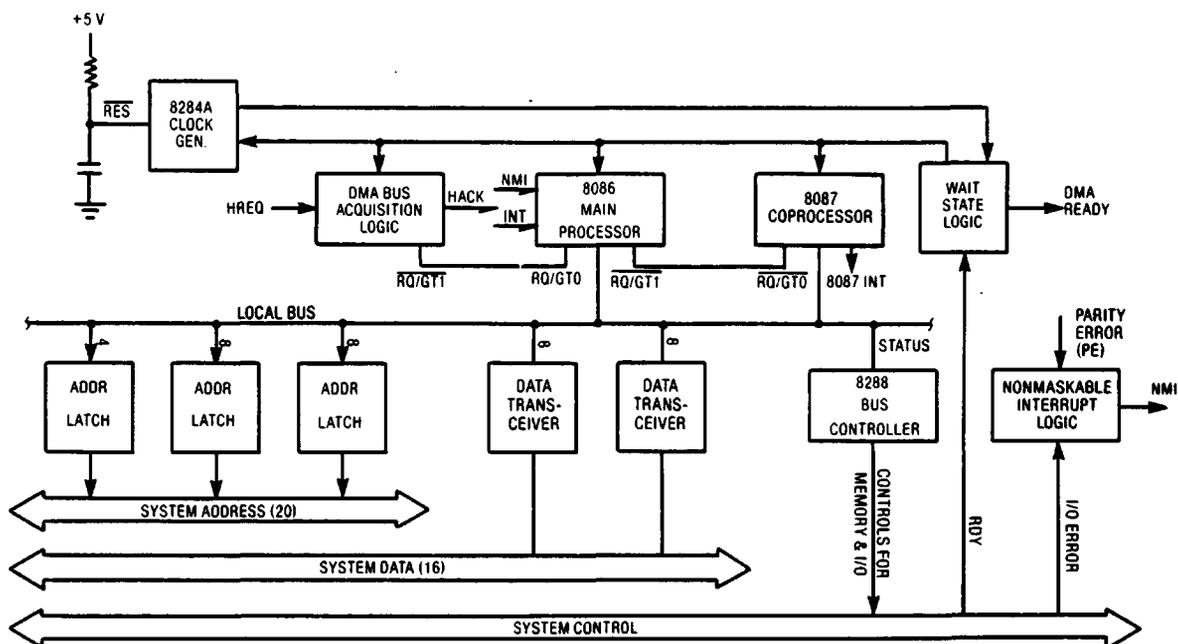


Abbildung 1-1. Prozessorblockdiagramm

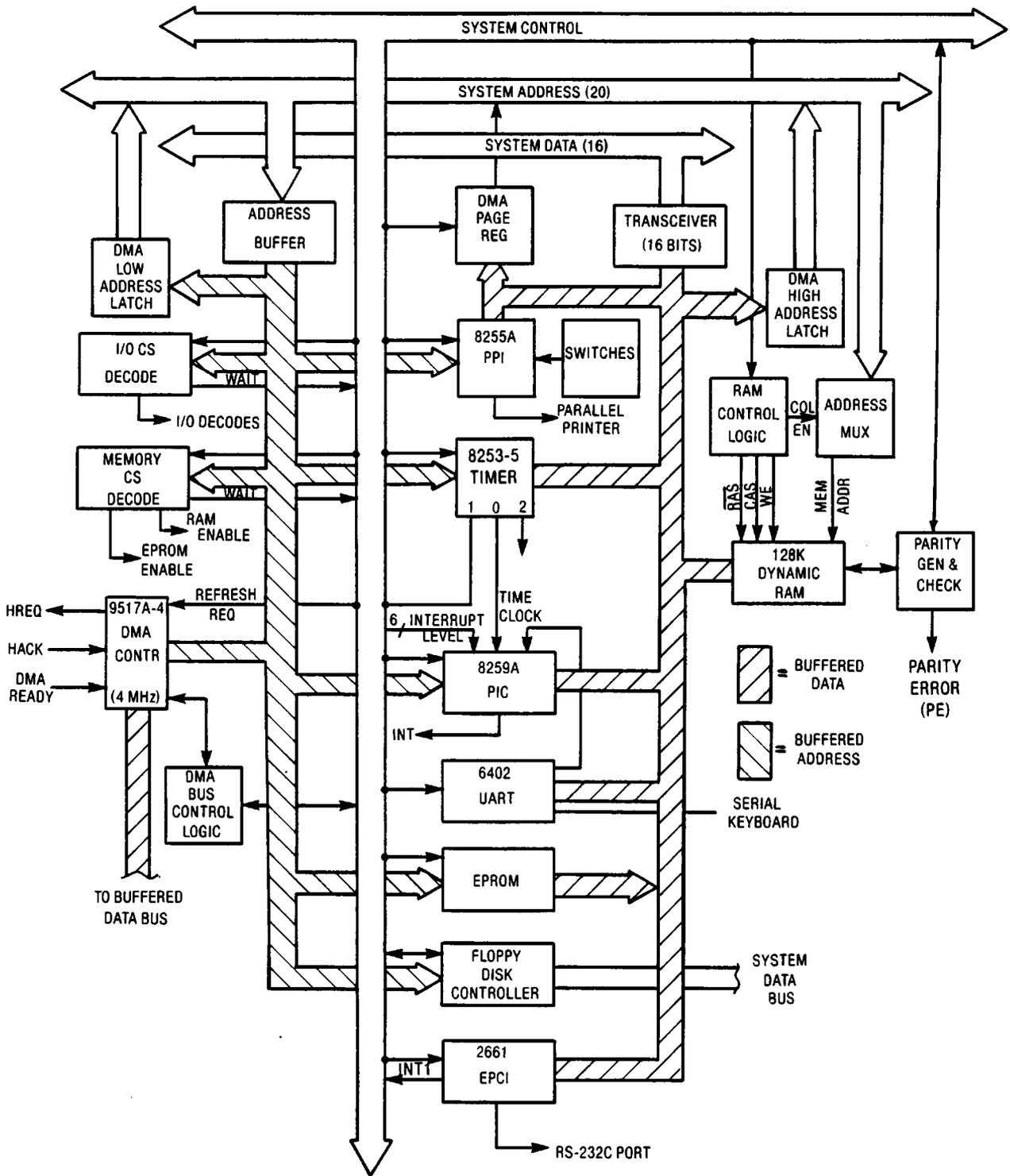


Abbildung 1-2. System-Board-Blockdiagramm

1.1 ZUSATZSPEICHEROPTION

Mit einem wahlweisen Zusatzspeicherboard kann die Standardsystemspeicherkapazität von 128K Bytes durch einen erweiterten dynamischen Randomspeicher (RAM) mit Parität von 128K, 256K bzw. 512K Bytes erhöht werden. Der Zusatzspeicheradressraum ist in vier 128K-Byte-Banken eingeteilt. Jede Zusatzspeicherbank muß vor Zugriff durch das Speichersegment-Grenzregister initialisiert werden (siehe Tabelle 1-1). Dieses Register weist jeder der vier Zusatzspeicherbanken eine Basisadresse zu. Folgende Basisadressen sind benutzbar:

20000H	80000H
40000H	A0000H
60000H	C0000H

Zwei weitere Basisadressen, 0 und E0000H, sind ebenfalls möglich, dürfen jedoch nicht benutzt werden. Es ist wichtig, daß jede Zusatzspeicherbank ihre eigene Basisadresse hat.

Genau wie beim Systemboardspeicher ist die Parität undefiniert, bis die Zusatzspeicherstelle mit Daten beschrieben ist. Folglich kann ein Paritätsfehler auftreten, wenn ein Programm eine noch nicht mit Daten beschriebene Zusatzspeicherstelle liest. Zusatzspeicherparitätsfehler generieren eine unausblendbare 8086 Unterbrechungsanforderung (NMI). Durch Zugriff auf einen E/A-Anschluß am Zusatzspeicherboard kann ein Programm Zusatzspeicherparitätsfehler von Systemspeicherparitätsfehlern unterscheiden.

Tabelle 1-1. Zusatzspeicherboard-E/A-Anschlüsse

Anschluß	Beschreibung
1xCOH	<p>Lesen oder Schreiben Zusatzspeichersegment-Grenzregister. Vier 4-Bitfelder bestimmen die Basisadresse (3 Bits) und den on/off Status (1 Bit) jeder 128K-Byte-Zusatzspeicherbank. Die Bit-Zuordnungen sind wie folgt:</p> <p>2, 1, 0 Höchstwertige Bits (A19, A18, A17) der Basisadresse für die erste 128K-Byte-Zusatzspeicherbank.</p> <p>3 Auf eins gesetzt, wenn die Zusatzspeicherbank aktiv ist. Falls auf Null gelöscht, ist die erste Bank gesperrt.</p> <p>6, 5, 4 Höchstwertige Bits (A19, A18, A17) der Basisadresse für die zweite 128K-Byte-Zusatzspeicherbank.</p> <p>7 Auf eins gesetzt, wenn die zweite Zusatzspeicherbank aktiv ist. Falls auf Null gelöscht, ist die zweite Bank gesperrt.</p> <p>10, 9, 8 Höchstwertige Bits (A19, A18, A17) der Basisadresse für die dritte 128K-Byte-Zusatzspeicherbank.</p> <p>11 Auf eins gesetzt, wenn die dritte Zusatzspeicherbank aktiv ist. Falls auf Null gelöscht, ist die dritte Bank gesperrt.</p> <p>14, 13, 12 Höchstwertige Bits (A19, A18, A17) der Basisadresse für die vierte 128K-Byte-Zusatzspeicherbank.</p> <p>15 Auf eins gesetzt, wenn die vierte Zusatzspeicherbank aktiv ist. Falls auf Null gelöscht, ist die vierte Bank gesperrt.</p>
1xCEH	Schreiben beliebige Daten, um das Paritätsfehlerkennzeichen nach einem Paritätsfehler zu löschen.
1xFCH	Schreiben beliebige Daten, um das Zusatzspeicherboard zurückzustellen. Löscht das Zusatzspeichersegment-Grenzregister auf Null und sperrt somit den gesamten Zusatzspeicher. Löscht außerdem das Paritätsfehlerflipflop und erstellt ungerade Parität.
1xFEH	Lesen Options-ID-Code (D0-7 wird 3FH) und Unterbrechungs(Paritäts)-Status. (D8 wird auf eins gesetzt, falls nach Löschen des Paritätsfehlerflipflop ein Paritätsfehler auftritt, sonst auf Null gelöscht.)
	Lesen oder Schreiben ungerades/gerades Paritätskennzeichen. Ungerade Parität wird erstellt, indem D9 auf eins gesetzt wird. Dies ist die Standardoption. Gerade Parität wird erstellt, wenn D9 auf Null gelöscht wird.

1.2 DIREKTSPEICHERZUGRIFF (DMA)

Die 4-Kanal-DMA-Steuereinheit bestimmt Kanal 0 als dynamischen RAM-Wiederholerspeicher, so daß drei Kanäle für allgemeinen Gebrauch zur Verfügung stehen. Kanal 0 überträgt lediglich Bytedaten, keine Wortdaten. Niederwertige Bytes von geradzahligen Speicheradressen werden auf den niederwertigen Datenbusleitungen (D0-7) übertragen, während höchstwertige Bytes von ungeradzahligen Speicheradressen auf den höchstwertigen Datenbusleitungen (D8-15) übertragen werden. Deshalb müssen 8-Bit-E/A-Geräteoptionen, die DMA benutzen, zum Zugriff auf höchstwertige Datenbusleitungen eine Byte-Austauschvorrichtung haben.

DMA Übertragungen finden gewöhnlich im Einzelbytemodus (nicht Blockübertragungsmodus) statt und benutzen immer normale (nicht komprimierte) Zeitberechnung. Übertragungen von Speicher zu Speicher können nur von dem 8086 und nicht über einen DMA-Kanal ausgeführt werden. Durch Übergehen des System-Boards kann jedoch eine E/A-Option DMA-Übertragungen direkt an eine andere E/A-Option vornehmen, vorausgesetzt, daß die Datenquelle oder der Datenbestimmungsort (jedoch nicht beide) speicherbezogen (memory mapped) ist. Die maximale DMA-Übertragungsgeschwindigkeit beträgt 300K Bytes/Sekunde. Die maximale Prozessor-Zugriffszeit ist so lang wie die längste ununterbrechbare (locked) 8086 Instruktion: 180 Zyklen (22,5 Mikrosekunden) bei einer ununterbrechbaren (locked) DIV-Instruktion. Die DMA-Steuereinheit sollte für abwechselnde Priorität programmiert werden, damit jeder Kanal gleichen Zugriff auf den Systembus hat.

DMA-Seitenregister sind 4-Bit-Register, die den DMA-Kanälen 1, 2 und 3 zugeordnet sind. Diese Register sind auf Ausgabeanschluß 10C2H, 10C4H bzw. 10C6H bezogen (mapped) und erlauben durch Angabe der vier höchstwertigen Bits einer 20-Bit-DMA-Adresse (A16-19) direkten Speicherzugriff im ganzen 1M-Byte-Adreßraum. Vor Programmieren der DMA-Steuereinheit für eine DMA-Übertragung schreibt der 8086 die A16-19-Seitenadreibits für den entsprechenden DMA-Kanal in das DMA-Seitenregister. Der DMA-Seitenregisterinhalt ändert sich während einer DMA-Übertragung nie, und das DMA-Seitenregister wird am Ende einer Seite nicht inkrementiert. Nach Zugriff auf das letzte Wort einer Seite greift die DMA-Logik auf das erste Wort der gleichen Seite zu. Um DMA-Übertragungen über eine Seitengrenze hinaus auszuführen, muß die DMA-Steuereinheit für zwei separate Vorgänge mit zwei verschiedenen DMA-Seitenregisterwerten programmiert werden.

1.3 PROGRAMMIEREN DER DMA-STEUREINHEIT

Die Software im 8086 erstellt die in Tabelle 1-2 beschriebenen DMA-Register, um jeden Kanal der DMA-Steuereinheit zu programmieren. Dies bestimmt die Richtung einer DMA-Übertragung, die erste speicherbezogene (memory mapped) Adresse der Übertragung sowie die Anzahl der an aufeinanderfolgend höhere oder niedrigere Speicheradressen zu übertragenden Bytes. Außerdem programmiert der 8086 jede E/A-Geräteoption und weist jedem DMA-Kanal nur jeweils ein aktives Gerät zu. In der Regel ist die Nummer des einem E/A-Optionsboard zugewiesenen DMA-Kanals immer um vier kleiner als dessen Unterbrechungsprioritätsebene. Zum Beispiel sollten alle E/A-Optionsgeräte, die auf Unterbrechungsprioritätsebene 6 arbeiten, DMA-Kanal 2 benutzen, wobei jeweils nur eines dieser Geräte aktiv sein soll.

Ein DMA-Vorgang, der einen Datenblock von einem E/A-Gerät auf eine zusammenhängende Speicherregion überträgt, wird ein DMA-Prozeß genannt. Sobald die DMA-Steuereinheit programmiert ist, kann sie einen DMA-Prozeß ohne Softwareeingriff durchführen. Die Steuereinheit führt einen DMA-Prozeß aus, indem sie eine oder mehrere von dem E/A-Gerät eingeleitete DMA-Übertragungen durchführt. Obwohl eine DMA-Übertragung aus einer beliebigen Anzahl von Bytes bestehen kann, werden im allgemeinen Einzelbyte-Übertragungen benutzt, weil diese das dynamische Wiederholungsverfahren am wenigsten belasten.

Tabelle 1-2. DMA-Steuereinheitsanschlüsse

Adresse	Beschreibung
10A0H	<p>Laufendes Adreßregister für DMA-Kanal 0. Jeder DMA-Kanal hat ein 16-Bit Laufendes Adreßregister (zugänglich als zwei 8-Bit Bytes), das Bits A0-15 der Adresse der nächsten in einer DMA-Übertragung auf diesem Kanal betroffenen Speicherstelle belegt. Die DMA-Steuereinheit aktualisiert automatisch das Laufende Adreßregister nach jeder DMA-Übertragung. Der 8086 greift auf dieses Register zu, indem er zuerst auf 10B8H schreibt und, falls notwendig, das erste/letzte Byte-Flipflop zurücksetzt. Dann schreibt der Prozessor das niederwertige laufende Adreßbyte (A0-7) auf 10A0H und zum Schluß das höchstwertige laufende Adreßbyte (A8-15) auf 10A0H. Beim Laden eines Laufenden Adreßregisters wird der entsprechende Basisadreßpuffer automatisch mitgeladen. Bei Autoinitialisierungsanforderung wird das Laufende Adreßregister vom Basisadreßpuffer am Anfang jedes nachfolgenden DMA-Prozesses neu geladen.</p>
10A2H	<p>Wortzählregister für DMA-Kanal 0. Jeder DMA-Kanal hat ein 16-Bit Wortzählregister (zugänglich als zwei 8-Bit Bytes), das ein Byte weniger als die Anzahl der in einem DMA-Prozeß zu übertragenden Bytes hält. Die DMA-Steuereinheit dekrementiert das Wortzählregister automatisch nach jeder DMA-Übertragung. Der 8086 greift auf dieses Register zu, indem er zuerst auf 10B8H schreibt und, falls notwendig, das erste/letzte Byte-Flipflop zurücksetzt. Dann schreibt der Prozessor das niederwertige Wortzählbyte auf 10A2H und zum Schluß das höchstwertige Wortzählbyte auf 10A2H. Beim Laden eines Wortzählregisters wird der entsprechende Basiswortzählpuffer automatisch mitgeladen. Bei Autoinitialisierungsanforderung wird das Wortzählregister vom Basiswortzählpuffer am Anfang jedes nachfolgenden DMA-Prozesses neu geladen.</p>
10A4H	Laufendes Adreßregister für DMA-Kanal 1.
10A6H	Wortzählregister für DMA-Kanal 1.
10A8H	Laufendes Adreßregister für DMA-Kanal 2.
10AAH	Wortzählregister für DMA-Kanal 2.
10ACH	Laufendes Adreßregister für DMA-Kanal 3.
10AEH	Wortzählregister für DMA-Kanal 3.

Tabelle 1-2. DMA-Steuereinheitsanschlüsse (Fortsetzung)

Adresse	Beschreibung																						
10B0H	<p>Schreiben DMA-Befehlsregister. Dieses 8-Bit Register wird durch /RESET gelöscht und muß prozessorinitialisiert werden, um die DMA-Steuereinheit freizugeben und das Prioritätsverfahren festzulegen. Die Bit-Zuordnungen sind wie folgt:</p> <table border="0"> <thead> <tr> <th data-bbox="402 433 451 461"><u>Bit</u></th> <th data-bbox="500 433 691 461"><u>Beschreibung</u></th> </tr> </thead> <tbody> <tr> <td data-bbox="402 498 467 526">0, 1</td> <td data-bbox="500 498 922 526">Muß auf Null gelöscht sein.</td> </tr> <tr> <td data-bbox="402 562 418 590">2</td> <td data-bbox="500 562 1406 685">DMA-Steuereinheit ist gesperrt, wenn auf eins gesetzt. Dieses Bit kann jederzeit gesetzt werden, um jegliche DMA-Aktivität ohne Zerstörung von Parametern in den internen Registern der DMA-Steuereinheit zu suspendieren.</td> </tr> <tr> <td data-bbox="402 722 418 750">3</td> <td data-bbox="500 722 922 750">Muß auf Null gelöscht sein.</td> </tr> <tr> <td data-bbox="402 786 418 814">4</td> <td data-bbox="500 786 1406 1009">Legt abwechselnde Priorität fest, wenn auf eins gesetzt. Bei abwechselnder Priorität wird jedem Kanal, sobald eine DMA-Übertragung darüber ausgeführt wurde, die niedrigste Priorität zugewiesen, sodaß der nächstniedrige Kanal die höchste Priorität erhält. Bei fester Priorität, d. h. wenn dieses Bit auf Null gelöscht wird, hat DMA-Kanal 0 immer die höchste und Kanal 3 die niedrigste Priorität.</td> </tr> <tr> <td data-bbox="402 1045 418 1073">5</td> <td data-bbox="500 1045 922 1073">Muß auf Null gelöscht sein.</td> </tr> <tr> <td data-bbox="402 1110 418 1138">6</td> <td data-bbox="500 1110 906 1138">Muß auf eins gesetzt sein.</td> </tr> <tr> <td data-bbox="402 1175 418 1203">7</td> <td data-bbox="500 1175 922 1203">Muß auf Null gelöscht sein.</td> </tr> </tbody> </table> <p>Lesen DMA-Statusregister. Zeigt an, welche DMA-Kanäle gegenwärtig einen DMA-Prozeß ausführen und welche Kanäle anstehende DMA-Anforderungen haben. Die Bit-Zuordnungen sind wie folgt:</p> <table border="0"> <thead> <tr> <th data-bbox="402 1407 451 1435"><u>Bit</u></th> <th data-bbox="500 1407 691 1435"><u>Beschreibung</u></th> </tr> </thead> <tbody> <tr> <td data-bbox="402 1472 467 1500">0-3</td> <td data-bbox="500 1472 1390 1565">Auf eins gesetzt, wenn der entsprechende DMA-Kanal einen DMA-Prozeß beendet. Auf Null gelöscht, führt der Kanal einen DMA-Prozeß aus.</td> </tr> <tr> <td data-bbox="402 1601 467 1629">4-7</td> <td data-bbox="500 1601 1373 1724">Auf eins gesetzt, wenn der entsprechende DMA-Kanal eine anstehende DMA-Anforderung hat. Zum Beispiel wird Bit 4 gesetzt, wenn /DREQ0 aktiv ist und Bit 7, wenn /DREQ3 aktiv ist.</td> </tr> </tbody> </table>	<u>Bit</u>	<u>Beschreibung</u>	0, 1	Muß auf Null gelöscht sein.	2	DMA-Steuereinheit ist gesperrt, wenn auf eins gesetzt. Dieses Bit kann jederzeit gesetzt werden, um jegliche DMA-Aktivität ohne Zerstörung von Parametern in den internen Registern der DMA-Steuereinheit zu suspendieren.	3	Muß auf Null gelöscht sein.	4	Legt abwechselnde Priorität fest, wenn auf eins gesetzt. Bei abwechselnder Priorität wird jedem Kanal, sobald eine DMA-Übertragung darüber ausgeführt wurde, die niedrigste Priorität zugewiesen, sodaß der nächstniedrige Kanal die höchste Priorität erhält. Bei fester Priorität, d. h. wenn dieses Bit auf Null gelöscht wird, hat DMA-Kanal 0 immer die höchste und Kanal 3 die niedrigste Priorität.	5	Muß auf Null gelöscht sein.	6	Muß auf eins gesetzt sein.	7	Muß auf Null gelöscht sein.	<u>Bit</u>	<u>Beschreibung</u>	0-3	Auf eins gesetzt, wenn der entsprechende DMA-Kanal einen DMA-Prozeß beendet. Auf Null gelöscht, führt der Kanal einen DMA-Prozeß aus.	4-7	Auf eins gesetzt, wenn der entsprechende DMA-Kanal eine anstehende DMA-Anforderung hat. Zum Beispiel wird Bit 4 gesetzt, wenn /DREQ0 aktiv ist und Bit 7, wenn /DREQ3 aktiv ist.
<u>Bit</u>	<u>Beschreibung</u>																						
0, 1	Muß auf Null gelöscht sein.																						
2	DMA-Steuereinheit ist gesperrt, wenn auf eins gesetzt. Dieses Bit kann jederzeit gesetzt werden, um jegliche DMA-Aktivität ohne Zerstörung von Parametern in den internen Registern der DMA-Steuereinheit zu suspendieren.																						
3	Muß auf Null gelöscht sein.																						
4	Legt abwechselnde Priorität fest, wenn auf eins gesetzt. Bei abwechselnder Priorität wird jedem Kanal, sobald eine DMA-Übertragung darüber ausgeführt wurde, die niedrigste Priorität zugewiesen, sodaß der nächstniedrige Kanal die höchste Priorität erhält. Bei fester Priorität, d. h. wenn dieses Bit auf Null gelöscht wird, hat DMA-Kanal 0 immer die höchste und Kanal 3 die niedrigste Priorität.																						
5	Muß auf Null gelöscht sein.																						
6	Muß auf eins gesetzt sein.																						
7	Muß auf Null gelöscht sein.																						
<u>Bit</u>	<u>Beschreibung</u>																						
0-3	Auf eins gesetzt, wenn der entsprechende DMA-Kanal einen DMA-Prozeß beendet. Auf Null gelöscht, führt der Kanal einen DMA-Prozeß aus.																						
4-7	Auf eins gesetzt, wenn der entsprechende DMA-Kanal eine anstehende DMA-Anforderung hat. Zum Beispiel wird Bit 4 gesetzt, wenn /DREQ0 aktiv ist und Bit 7, wenn /DREQ3 aktiv ist.																						
10B2H	Schreiben DMA-Anforderungsregister. Wird von Diagnostikprogrammen benutzt, um DMA-Übertragungen unter Softwaresteuerung einzuleiten. Die Bit-Zuordnungen sind wie folgt:																						

Tabelle 1-2. DMA-Steuereinheitsanschlüsse (Fortsetzung)

Adresse	Beschreibung
10B2H (Forts.)	<p><u>Bit</u> <u>Beschreibung</u></p> <p>1, 0 Wählen DMA-Kanal 0 (00), 1 (01), 2 (10) oder 3 (11), je nach Binärwert.</p> <p>2 Wenn auf eins gesetzt (und wenn die DMA-Steuereinheit im Blockübertragungsmodus arbeitet), simulieren auf dem mit Bits 1 und 0 bezeichneten Kanal eine aktive DMA-Anforderung. Wenn auf Null gelöscht, annullieren die simulierte DMA-Anforderung.</p>
10B4H	<p>Schreiben Individuelles DMA-Maskenregisterbit. Die Bit-Zuordnungen sind wie folgt:</p> <p><u>Bit</u> <u>Beschreibung</u></p> <p>1, 0 Wählen DMA-Kanal 0 (00), 1 (01), 2 (10) oder 3 (11), je nach dem Binärwert.</p> <p>2 Wenn auf eins gesetzt, maskieren und sperren den mit Bits 1 und 0 bezeichneten DMA-Kanal. Geben den Kanal frei, wenn auf Null gelöscht. /RESET sperrt automatisch alle vier Kanäle.</p>
10B6H	<p>Schreiben DMA-Betriebsartregister. Setzt die Betriebsart und die auf einem DMA-Kanal ausgeführte DMA-Übertragungsart fest. Die Bit-Zuordnungen sind wie folgt:</p> <p><u>Bit</u> \ <u>Beschreibung</u></p> <p>1, 0 Wählen DMA-Kanal 0 (00), 1 (01), 2 (10) oder 3 (11), je nach Binärwert. In Bits 2-7 eingegebene Parameter gelten nur für den bezeichneten Kanal.</p> <p>3, 2 Bit 2 wird für E/A-Schreibübertragungen auf eins gesetzt (Datenursprung ist der Speicher) und während Lesevorgängen auf Null gelöscht. Bit 3 wird für E/A-Leseübertragungen auf eins gesetzt (Datenbestimmungsort ist der Speicher) und während Schreibvorgängen auf Null gelöscht. Mindestens eines dieser Bits muß auf Null gelöscht sein. Falls keines dieser Bits auf eins gesetzt ist, funktioniert der Kanal zwar normal, aktiviert aber die Bus-Signale nicht, die Speicher- und E/A-Zugriff regeln.</p> <p>4 Nur im Falle einer automatischen Neuinitialisierung des Kanals am Ende jedes DMA-Prozesses auf eins gesetzt. Bei Autoinitialisierung wird ein DMA-Prozeß nach Erreichen der Endzahl bzw. Empfang eines externen /EOP wiederholt.</p>

Tabelle 1-2. DMA-Steuereinheitsanschlüsse (Fortsetzung)

Adresse	Beschreibung						
10B6H (Forts.)	<table border="1"> <thead> <tr> <th>Bit</th> <th>Beschreibung</th> </tr> </thead> <tbody> <tr> <td>5</td> <td>Auf eins gesetzt, falls der Kanal das Laufende Adreßregister dekrementieren und Daten in aufeinanderfolgend niedrigere Speicheradressen übertragen soll. Auf Null gelöscht, inkrementiert der Kanal das Laufende Adreßregister.</td> </tr> <tr> <td>7, 6</td> <td>Bit 6 wird für Einzelbyteübertragungen auf eins gesetzt und während Blockübertragungsvorgängen auf Null gelöscht. Bit 7 wird für Blockübertragungen auf eins gesetzt und während Einzelbytevorgängen auf Null gelöscht. Mindestens eines dieser Bits muß auf Null gelöscht sein. (Wenn keines dieser Bits auf eins gesetzt ist, führt der Kanal eine Blockübertragung nur solange aus als die DMA-Anforderungsleitung aktiv bleibt und suspendiert den Vorgang, wenn die Anforderungsleitung inaktiv wird. Dieser "Forderungsmodus" (demand mode) erlaubt es dem E/A-Gerät, die Übertragungsgröße und -Dauer zu bestimmen. Wird die DMA-Anforderungsleitung des Kanals wieder aktiv, wird eine angeforderte Übertragung an der Stelle fortgesetzt, an der sie abgebrochen wurde.)</td> </tr> </tbody> </table>	Bit	Beschreibung	5	Auf eins gesetzt, falls der Kanal das Laufende Adreßregister dekrementieren und Daten in aufeinanderfolgend niedrigere Speicheradressen übertragen soll. Auf Null gelöscht, inkrementiert der Kanal das Laufende Adreßregister.	7, 6	Bit 6 wird für Einzelbyteübertragungen auf eins gesetzt und während Blockübertragungsvorgängen auf Null gelöscht. Bit 7 wird für Blockübertragungen auf eins gesetzt und während Einzelbytevorgängen auf Null gelöscht. Mindestens eines dieser Bits muß auf Null gelöscht sein. (Wenn keines dieser Bits auf eins gesetzt ist, führt der Kanal eine Blockübertragung nur solange aus als die DMA-Anforderungsleitung aktiv bleibt und suspendiert den Vorgang, wenn die Anforderungsleitung inaktiv wird. Dieser "Forderungsmodus" (demand mode) erlaubt es dem E/A-Gerät, die Übertragungsgröße und -Dauer zu bestimmen. Wird die DMA-Anforderungsleitung des Kanals wieder aktiv, wird eine angeforderte Übertragung an der Stelle fortgesetzt, an der sie abgebrochen wurde.)
Bit	Beschreibung						
5	Auf eins gesetzt, falls der Kanal das Laufende Adreßregister dekrementieren und Daten in aufeinanderfolgend niedrigere Speicheradressen übertragen soll. Auf Null gelöscht, inkrementiert der Kanal das Laufende Adreßregister.						
7, 6	Bit 6 wird für Einzelbyteübertragungen auf eins gesetzt und während Blockübertragungsvorgängen auf Null gelöscht. Bit 7 wird für Blockübertragungen auf eins gesetzt und während Einzelbytevorgängen auf Null gelöscht. Mindestens eines dieser Bits muß auf Null gelöscht sein. (Wenn keines dieser Bits auf eins gesetzt ist, führt der Kanal eine Blockübertragung nur solange aus als die DMA-Anforderungsleitung aktiv bleibt und suspendiert den Vorgang, wenn die Anforderungsleitung inaktiv wird. Dieser "Forderungsmodus" (demand mode) erlaubt es dem E/A-Gerät, die Übertragungsgröße und -Dauer zu bestimmen. Wird die DMA-Anforderungsleitung des Kanals wieder aktiv, wird eine angeforderte Übertragung an der Stelle fortgesetzt, an der sie abgebrochen wurde.)						
10B8H	Höchst- und Niederwertige Byte-Wahl. Schreiben beliebige Daten, um die DMA-Register-Adressierlogik zurückzusetzen, damit der nächste Lese- oder Schreibversuch eines DMA Laufenden Adreß- oder Wortzählregisters auf das niederwertige Byte zugreift. Nachfolgende Operationen, die diese 16-Bit DMA-Register adressieren, wechseln zwischen höchst- und niederwertigen Bytes ab.						
10BAH	Schreiben beliebige Daten, um die DMA-Steuereinheit zurückzusetzen. Eine auf diese Weise ausgeführte Software-Rückstellung hat dieselbe Wirkung wie das Systembus /RESET-Signal, d. h., sie löscht Befehls-, Status- und Anforderungsregister, wählt das Niederwertige Byte als Byte eines 16-Bit-Registers, auf das der nächste Zugriff erfolgt, und setzt die vier Bits des Maskenregisters.						
10BEH	Schreiben alle Maskenregisterbits. Bits 0-3 werden auf eins gesetzt, damit der entsprechende DMA-Kanal ausgeblendet und gesperrt wird.						
10C2H	Schreiben DMA-Seitenregister für Kanal 1. Das 4-Bit DMA-Seitenregister erhält die vier höchstwertigen Bits einer 20-Bit DMA Laufenden Adresse, wobei A16 in der niederwertigen Stelle (D0) und A19 in der höchstwertigen Stelle (D3) ist.						
10C4H	Schreiben DMA-Seitenregister für Kanal 2.						
10C6H	Schreiben DMA-Seitenregister für Kanal 3.						

1.4 SYSTEMSTATUSANSCHLUSS UND UNTERBRECHUNGSSTATUSANSCHLUSS

Der Systemstatusanschluß, Eingabe-Anschluß 10EOH, liefert sechs Statuskennzeichen, die Systemstatusbedingungen melden. Tabelle 1-3 listet die Systemstatusanschluß-Bit-Zuordnungen auf und beschreibt die Statusbedingungen, die sie anzeigen. Der Unterbrechungsstatusanschluß, Eingabe-Anschluß 1022H, ist eine zusätzliche Anschlußstelle, die acht Unterbrechungsstatuskennzeichen liefert. Tabelle 1-4 listet Bit-Zuordnungen für den Unterbrechungsstatusanschluß auf und beschreibt die Unterbrechungsstatusbedingungen.

Tabelle 1-3. Systemstatusanschlußsignale (Eingabe-Anschluß 10EOH)

Bit	Beschreibung
0	Speicherparitätskennzeichen. Normalerweise auf eins gesetzt. Wenn auf Null gelöscht, wurde im Systemboardspeicher ein Paritätsfehler entdeckt.
1	E/A-Fehlerkennzeichen. Normalerweise auf eins gesetzt. Wenn auf Null gelöscht, hat ein E/A-Optionsboard durch Aktivieren der /I/O ERROR-Leitung auf dem Systembus eine Fehleranzeige angegeben.
2	Nicht zugeordnet.
3	Diskettensteuereinheit-Unterbrechungskennzeichen. Auf eins gesetzt, wenn die Diskettensteuereinheit die Ausführungsphase einer FDC-Operation beendet. Auf Null gelöscht, während die FDC eine Operation durchführt. Bei der anderen Art von Diskettenunterbrechung, die am Laufwerk und nicht an der Steuereinheit entsteht, wird Bit 4 oder 5 dieser Anschlußstelle gesetzt.
4	Wenn auf eins gesetzt, wird eine Türstörung an Diskettenlaufwerk 1 angezeigt. (Dies generiert eine Unterbrechungsanforderung). Wenn auf Null gelöscht, ist die Tür an Diskettenlaufwerk 1 nicht geöffnet worden, seit die CPU die letzte FDC-Unterbrechungsanforderung "Laufwerk 1 Türstörung" durch Schreiben auf Ausgabe-Anschluß 1000H, mit Bit 2 auf eins gesetzt, löscht.
5	Wenn auf eins gesetzt, wird eine Türstörung an Diskettenlaufwerk 2 angezeigt. Wenn auf Null gelöscht, ist die Tür an Diskettenlaufwerk 2 nicht geöffnet worden, seit die CPU die letzte FDC-Unterbrechungsanforderung "Laufwerk 2 Türstörung" durch Schreiben auf Ausgabeanschluß 1000H, mit Bit 3 auf eins gesetzt, löscht.
6	Tür an Diskettenlaufwerk 1 offen, wenn auf eins gesetzt. Tür an Diskettenlaufwerk 1 geschlossen, wenn auf Null gelöscht.
7	Tür an Diskettenlaufwerk 2 offen, wenn auf eins gesetzt. Tür an Diskettenlaufwerk 2 geschlossen, wenn auf Null gelöscht.

Tabelle 1-4. Unterbrechungsstatus-Anschlußsignale (Eingabe-Anschluß 1022H)

Bit	Signal-Name und -Beschreibung
0	/TIMER 2 INTERRUPT (Zeitgeber 2 Unterbrechung). Wenn auf Null gelöscht, wird angezeigt, daß der 8253-5 Zeitgeberkanal 2 die Endzahl erreicht hat.
1	/SERIAL INTERRUPT (Serielle Unterbrechung). Wenn auf Null gelöscht, wird an der 2661 EPCI (Erweiterte Programmierbare Kommunikations-Schnittstelle) eine serielle Kommunikationsunterbrechung (RxRDY, TxRDY oder /TxEMT/) angezeigt.
2	/PARALLEL PORT INTERRUPT (Parallelanschluß-Unterbrechung). Wenn auf Null gelöscht, wird angezeigt, daß die parallele E/A-Schnittstelle bereit ist, Daten zu übertragen oder zu empfangen (d.h., logical OR of /DAV, /ACKNLG and latched BUSY).
3	/DMA INTERRUPT (DMA-Unterbrechung). Wenn auf Null gelöscht, wird angezeigt, daß einer der DMA-Kanäle die Endzahl erreicht hat.
4	KBD INTERRUPT TRANSMIT (Tastatur-Sendeunterbrechung). Wenn auf eins gesetzt, wird angezeigt, daß das Tastatursendepufferregister leer ist und ein neues Byte Ausgabedaten annehmen kann.
5	KBD INTERRUPT RECEIVE (Tastatur-Empfangsunterbrechung). Wenn auf eins gesetzt, wird angezeigt, daß der 8086 im Tastaturempfangspufferregister ein Eingabezeichen lesen soll.
6	FLOPPY DISK INTERRUPT (Diskettenunterbrechung). Auf eins gesetzt, wenn die Diskette eine anstehende Unterbrechungsanforderung hat, die entweder eine Diskettensteuereinheits-Unterbrechung oder eine Diskettenlaufwerk-Unterbrechung ist. Bits 3-5 der Systemstatus-Anschlußstelle 10EOH unterscheiden diese Unterbrechungsursprünge.
7	8087 INTERRUPT (8087 Unterbrechung). Auf eins gesetzt, wenn der 8087 eine anstehende Unterbrechungsanforderung hat.

1.5 8253-5 PROGRAMMIERBARER INTERVALLZEITGEBER

Der 8253-5 Programmierbare Intervallzeitgeber-Chip enthält drei identische, unabhängige Kanäle. Jeder dieser Kanäle kann als Uhrzeitgeber operieren, der eine periodische Unterbrechungsanforderung generiert. Jeder Kanal besteht aus einem Kontrollregister, einem 16-Bit Rückwärtszähler und zwei Schnittstellensignalen: einem Takteingang, der den Zähler dekrementiert, und einem Ausgang, den der Kanal aktiviert, wenn der Zähler Null erreicht. Bei Kanal 0 und 2 läuft der Takteingang auf 500 kHz und Kanal 1 erhält einen 2-MHz Taktgeber. Obwohl der 8253-5 Zeitgeber-Chip in sechs verschiedenen Modi operieren kann, werden nur zwei unterstützt: Modus 2, der "Rate Generator" (Taktfrequenz-generator) Modus, und Modus 4, der "software triggered strobe" (softwareausgelöster Taktimpuls) Modus.

Zeitgeberkanal 0 wird als Uhrzeitgeber benutzt und muß für Modus 2 programmiert werden. Durch Schreiben auf E/A-Anschluß 1040H wird der Kanal 0 Zähler mit einem Anfangswert geladen, der die Anzahl der Taktimpulse zwischen Ausgangsimpulsen bestimmt (siehe Tabelle 1-5). Kanal 0 zählt Taktimpulse, angefangen mit dem nächsten Impuls nach Laden des Zählers und dekrementiert den Zähler am abfallenden Ende jedes Taktimpulses. Wenn der Zähler Null erreicht, wird eine Ebene 0 Unterbrechungsanforderung generiert, der Zähler zurückgestellt und sofort mit dem Zählen von Taktimpulsen für einen neuen Zeitzyklus begonnen. Es ist nicht notwendig, den Kanal 0 Zähler nach jedem Zyklus neu zu laden. Laden eines neuen Wertes im Zähler hat keinen Effekt, bis Kanal 0 am Ende des laufenden Zeitmeßzyklus die nächste Unterbrechungsanforderung generiert. Da Zeitgeberkanal 0 die einzig mögliche Unterbrechungsanforderungsquelle von Ebene 0 ist, besteht für diesen Kanal kein Unterbrechungsstatuskennzeichen. Der 8086 löscht eine Kanal 0 Zeitgeberunterbrechung durch Schreiben beliebiger Daten auf E/A-Anschlußstelle 10E0H.

Zeitgeberkanal 1 wird für die Intervallzeitmessung zwischen dynamischen Wiederhol-speicher-Schüben (dynamic memory refresh bursts) benutzt. Wie Kanal 0 operiert Zeitgeberkanal 1 nur in Modus 2. Kanal 1 generiert DMA-Anforderungen und keine Unterbrechungsanforderungen. Laden des Zählers erfolgt durch Schreiben von 60 (3CH) auf E/A-Anschluß 1042H.

Kanal 2 steht als allgemein verwendbarer Zeitgeber für die Generierung periodischer Ebene 2 Unterbrechungsanforderungen zur Verfügung und operiert in Modus 2 oder 4. Die Modus 4 Operation ist fast identisch mit der Modus 2 Operation, mit Ausnahme der automatischen Rückstellung, die in Modus 2 geboten wird. In Modus 4 wird lediglich eine Unterbrechungsanforderung generiert, und der Zähler muß neu geladen werden, um einen neuen Kanal 2 Zeitzyklus einzuleiten. Kanal 2 generiert Unterbrechungsanforderungen auf Prioritätsebene 2. Bit 0 des Unterbrechungsstatus-Anschlusses (E/A-Anschluß 1022H) signalisiert eine Zeitgeberkanal 2 Unterbrechungsanforderung. Der 8086 lädt bzw. liest den Kanal 2 Zähler auf E/A-Anschluß 1044H und löscht eine Unterbrechungsanforderung des Kanal 2 Zeitgebers durch Lesen der E/A-Anschlußstelle 10E2H.

Um auf einem Zeitgeberkanal mit dem Zählen zu beginnen, initialisiert ein Programm das Kontrollregister des Kanals durch Schreiben eines Bytes auf Ausgabeanschluß 1046H. Wie in Tabelle 1-6 dargestellt, wählt ein Kontrollregisterbyte einen Kanal (0-2), einen Operationsmodus (2 oder 4), ein Zählerdatenformat (binär oder binärcodiert dezimal) sowie die Anzahl von Bytes, die zur Angabe eines Anfangszählerwertes benötigt werden (1 oder 2). Darauf erfolgt Laden des Zählers von der Software durch Schreiben von einem oder zwei Bytes auf die dem gewählten Kanal zugeordnete 8-Bit Zähleranschlußstelle: Anschluß 1040H für Kanal 0, Anschluß 1042H für Kanal 1 oder Anschluß 1044H für Kanal 2.

Kontrollregisterbytes und Zählerwertbytes können in beliebiger Reihenfolge geschrieben werden, vorausgesetzt, daß jedem Kontrollregisterbyte die richtige Anzahl von Zählerwertbytes folgt. Zum Beispiel können die Kanäle einzeln initialisiert werden, oder es können den drei Kontrollregisterbytes drei bis sechs Zählerwertbytes für die verschiedenen Kanäle angefügt werden. Der Zählerwert muß das in dem jeweiligen Kontrollregister bestimmte 1- oder 2-Byteformat einhalten.

Falls Kontrollregisterbit 5 sowie Kontrollregisterbit 4 Null ist, speichert der Zeitgeber den durch Bits 7 und 6 angegebenen Wert des Zählers und bewahrt somit den Zählerwert (an dem Zeitpunkt, an dem das Steuerwort empfangen wurde), bis der 8086 die Zahl liest oder den Kanal umprogrammiert; somit kann ein Programm Zählerwerte lesen, während der Zähler läuft. Der Zeitgeber stellt an der Kanalzähleranschlußadresse ein oder zwei Bytes zur Verfügung, und zwar in dem bei der Zählerinitialisierung benutzten Format. Sobald der 8086 den Zählerwert liest, wird dieser automatisch freigegeben.

Tabelle 1-5. 8253-5 Zeitgeber-E/A-Anschlüsse

Anschluß	Beschreibung
1022H	Unterbrechungsstatus-Anschluß. Bit 0 ist auf Null gelöscht, wenn Zeitgeberkanal 2 eine anstehende Unterbrechungsanforderung hat; sonst ist Bit 0 auf eins gesetzt.
1040H	Schreiben 1- oder 2-Byte Anfangszählerwert für Kanal 0. Lesen laufenden Wert des Kanal 0 Zählers.
1042H	Schreiben 1- oder 2-Byte Anfangszählerwert für Kanal 1. Der Kanal 1 Zähler mißt dynamische RAM-Wiederholungspeicherintervalle und muß einen Anfangswert von 60 haben. Lesen laufenden Wert des Kanal 1 Zählers.
1044H	Schreiben 1- oder 2-Byte Anfangszählerwert für Kanal 2. Lesen laufenden Wert des Kanal 2 Zählers.
1046H	Schreiben Kontrollregister. Nimmt ein Byte Daten an, wie in Tabelle 1-6 beschrieben.
10E0H	Schreiben beliebige Daten, um Zeitgeberkanal 0 Unterbrechungsanforderung zu löschen.
10E2H	Lesen, um Zeitgeberkanals 2 Unterbrechungsanforderung zu löschen.

Tabelle 1-6. 8253-5 Zeitgeber-Kontrollregister (Ausgabe-Anschluß 1046H)

Bit	Beschreibung
0	Lesen und schreiben Zählerwerte in binärcodiertem Dezimalformat, wenn auf eins gesetzt; benutzen andernfalls Binärformat.
3, 2, 1	Operationsmodus. Muß "010" sein, mit Ausnahme von Kanal 2, in welchem Fall "010" (automatische Rückstellung) oder "100" (keine Rückstellung) zutrifft.
5, 4	00 - Zähler-Signalspeicher-Befehl. 01 - Lassen höchstwertiges Byte des Zählerwertes aus (Null angenommen). 10 - Lassen niederwertiges Byte des Zählerwertes aus (Null angenommen). 11 - Lesen und schreiben beide Bytes des Zählerwertes.
7, 6	00 - Steuerwort für Kanal 0. 01 - Steuerwort für Kanal 1. 10 - Steuerwort für Kanal 2. 11 - Ungültig und unzulässig.

1.6 STROMVERTEILUNG

Abbildung 1-3 illustriert die Stromverteilung für den Wang PC. Die Stromversorgung in der Mitte der Darstellung ist an die Rückwand des Systemboardgehäuses (unten links in der Abbildung), das Disketten- und Winchester-Plattenlaufwerk (rechts in der Abbildung) sowie an das Kühlsystem angeschlossen. Der Video-Monitor mit mittlerem Auflösungsvermögen wird von dessen Steuereinheitsboard mit Strom versorgt. Andere E/A-Geräte haben eigenen Netzanschluß.

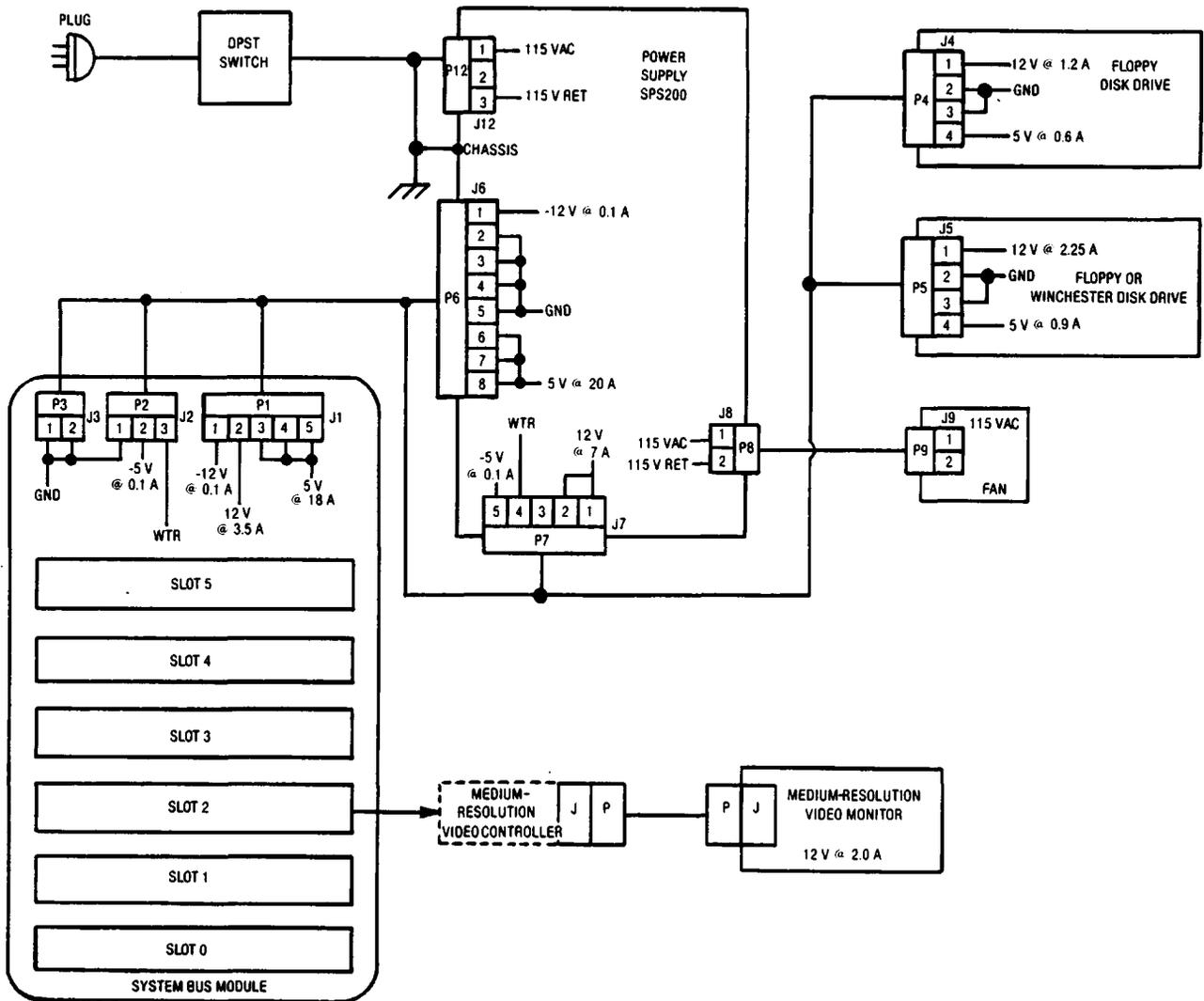


Abbildung 1-3. Stromverteilungdiagramm

KAPITEL 2 UNTERBRECHUNGSSYSTEM

2.1 UNTERBRECHUNGSANFORDERUNGEN

Geräte, die Prozessoreingriff erfordern, können Unterbrechungsanforderungen durch Aktivieren einer der sieben Unterbrechungsanforderungsleitungen (/IRQ0-6) generieren. Die Unterbrechungsanforderungs-Leitungsnummer bestimmt die Priorität der Anforderung, wobei Ebene 0 Anforderungen höchste Priorität haben. Ebene 0 und Ebene 1 Unterbrechungsanforderungen können nur von Geräten am Systemboard generiert werden; deshalb werden /IRQ0 und /IRQ1 nicht auf dem Systembus ausgeführt. In Erweiterungsfächern installierte E/A-Optionsgeräte signalisieren Unterbrechungsanforderungen durch /IRQ2-6. Im allgemeinen kann jede Unterbrechungsanforderungsleitung von mehreren Geräten aktiviert werden. Weil Unterbrechungen von Ebenen ausgelöst werden, muß das Gerät die Unterbrechungsanforderungsleitung herunterbringen und niedrig halten, bis der 8086 die Unterbrechungsanforderung löscht.

Die 8259A Programmierbare Unterbrechungs-Steuereinheit (PIC) verfügt über acht Ebenen ausblendbarer Prioritätsunterbrechungen. Unterbrechungsebene 0, die Unterbrechungsebene mit höchster Priorität, erlaubt Kanal 0 des 8253-5 Programmierbaren Intervallzeitgebers, eine periodische Unterbrechung für Echtzeit-Uhrzeitgeberfunktionen zu generieren. Ebene 1 Unterbrechungen, die ebenfalls vom Systemboard ausgehen, stammen nur von dem seriellen RS-232C Anschluß, dem Parallelanschluß oder einer Zeitsperre auf Kanal 2 des 8253-5 Zeitgebers her. Ebene 2 Unterbrechungen können von E/A-Optionsboards generiert werden, jedoch können sie auch von der Tastatur, der Diskettensteuereinheit, dem 8087 Co-Prozessor sowie der DMA-Steuereinheit ausgehen.

Jeder E/A-Optionsboard, der Unterbrechungsanforderungen generieren kann, bietet einen Mechanismus zur Annahme einer Unterbrechungsprioritätsebenen-zuordnung. (Wenn die Option DMA benutzt, wird dadurch gleichzeitig die DMA-Kanalzuordnung bestimmt, wobei die Kanalnummer immer um vier kleiner ist als die Unterbrechungsprioritätsebene des Kanals). Unterbrechungskanal-zuordnungen können sich jederzeit ändern und sind in der Regel transparent in Bezug auf alle Software-Ausführungen auf dem E/A-Optionsboard. Geräte, die Prozessoreingriff erfordern, generieren Unterbrechungsanforderungen, indem sie die Unterbrechungsanforderungsleitung der gegenwärtig zugewiesenen Prioritätsebene aktivieren und niedrig halten, bis der 8086 die Unterbrechungsanforderung bestätigt.

Die PIC (Programmierbare Unterbrechungs-Steuereinheit) überwacht alle acht Unterbrechungsanforderungsleitungen und verfolgt, welche Leitungen aktive Unterbrechungsanforderungen übertragen. Im Falle einer aktiven Unterbrechungsanforderungsleitung aktiviert die PIC deren "anstehende Unterbrechung"(/INT)-Ausgabe, die sofort auf die Unterbrechungsanforderungs(INTR)-Eingabe des 8086 angewandt wird. Um Bedienungsbereitschaft einer anstehenden Unterbrechung anzuzeigen, sendet der 8086 zwei Unterbrechungsbestätigungs(/INTA)-Impulse an die PIC. Die PIC identifiziert dann, unter Benutzung fester oder abwechselnder Priorität (je nach PIC-Programmiermodus), die aktive Anforderung mit der höchsten Priorität, erstellt einen Unterbrechungsvektor aus der Ebene der höchsten Prioritätsanforderung und dem laufenden ICW2-Wert und sendet den Unterbrechungsvektor über den Datenbus an den 8086.

Der Unterbrechungsvektor ruft eines der acht 8086 Unterbrechungs-Dienstprogramme auf. Das Dienstprogramm identifiziert den Ursprung einer Unterbrechungsanforderung durch Abrufen oder Abfragen jedes Geräts, das auf der Prioritätsebene, die es bedient, eine Unterbrechung anfordern kann. Nach Ermittlung des anfordernden Geräts führt das Unterbrechungs-Behandlungsprogramm alle erforderlichen Funktionen aus und veranlaßt das Gerät, die Unterbrechungsanforderung zu entfernen. Zum Schluß schreibt das Behandlungsprogramm ein OCW2, das der PIC das Ende der Unterbrechung anzeigt.

Im allgemeinen kann jede Unterbrechungsanforderungsleitung von mehreren Geräten aktiviert werden. Ein Unterbrechungs-Dienstprogramm für Ebene 0 bzw. Ebene 1 Unterbrechungen kann den speziellen Ursprung einer Unterbrechungsanforderung durch Prüfen der Unterbrechungsstatusanschlußstelle (Eingabe-Anschluß 1022H) bestimmen. Unterbrechungs-Dienstprogramme für Ebene 2 und höhere Unterbrechungsebenen identifizieren den Ursprung einer Unterbrechungsanforderung durch Prüfen von Bit 7 der höchsten E/A-Anschlußadresse jeder E/A-Option, die eine anstehende Anforderung haben könnte.

Durch die voll geschachtelte Unterbrechungsstruktur kann eine Unterbrechungsanforderung hoher Priorität eine Unterbrechung generieren, auch wenn gerade eine Unterbrechung niedrigerer Priorität behandelt wird (vorausgesetzt, daß das Behandlungsprogramm der Unterbrechung von niedriger Priorität mit freigegebenen Unterbrechungen läuft). In der Regel kann der 8086 jederzeit mehrere aktive Unterbrechungen behandeln, während sich mehrere anstehende Unterbrechungsanforderungen in der PIC befinden.

2.2 UNTERBRECHUNGEN UND UNTERBRECHUNGSPRIORITÄTSEBENEN

Nachstehende Liste beschreibt die Geräte, die Unterbrechungsanforderungen generieren können, sowie die Unterbrechungsart und -Ebene für jedes Gerät.

- Unausblendbare Unterbrechungen (NMIs):
 - Systemboard-RAM-Paritätsfehler 8086 gibt NMIs frei durch Schreiben auf E/A-Anschluß 10E2H, mit D0 auf eins gesetzt. Sperrt NMIs durch Schreiben auf Anschlußstelle 10E2H, mit D0 auf Null gelöscht.

- Optionsboard-E/A-Fehler Optionsboards aktivieren die I/O ERROR Systembusleitung, um ein NMI anzufordern.

- Ebene 0 (höchste Priorität) Unterbrechung:
 - Echtzeit-Uhrzeitgeber Unterbrechung Von Kanal 0 des 8253-5 Zeitgebers gesetzt. Gelöscht durch Schreiben beliebiger Daten auf Anschlußstelle 10E0H.

- Ebene 1 Unterbrechung:
 - Softwarezeitgeber (8253-5) Unterbrechung Durch Endzahlsignal von Kanal 2 des 8253-5 Zeitgebers gesetzt. Gelöscht durch Lesen der Anschlußstelle 10E2.

 - 2661 Programmierbare Kommunikations-Schnittstelle:
 - Sender bereit Gesetz, wenn Sendedaten-Halteregister zum Schreiben neuer Daten vom 8086 bereit ist. Gelöscht, wenn der 8086 auf Sendedaten-Halteregister schreibt oder Sender ausschaltet.

 - Empfänger bereit Gesetz, wenn Empfangsdaten-Halteregister Daten enthält, die vom 8086 gelesen werden sollen. Gelöscht, wenn der 8086 das Empfangsdaten-Halteregister liest oder den Empfänger ausschaltet.

 - Sender leer oder Änderung gesetzt Gesetz, nachdem der Sender Daten serialisiert und das letzte vom 8086 geladene Zeichen sendet (Sendedaten-Halteregister und Sende-Schieberegister sind leer), oder wenn sich der Zustand von /DSR oder /DCD ändert. Gelöscht, wenn der 8086 das EPCI-Statusregister liest.

- Paralleler E/A-Anschluß:

Daten verfügbar

Gesetzt, wenn der parallele E/A-Anschluß Daten hat, die vom 8086 gelesen werden sollen. Gelöscht, wenn der 8086 ein Byte Paralleldaten von Anschluß 10EAH abliest.

Signalgespeicherte Bestätigung

Gesetzt durch /ACKNLG Signal von der parallelen E/A-Schnittstelle. Gelöscht, wenn der 8086 das nächste Byte auf Ausgabe-Anschluß 10EAH schreibt oder wenn der 8086 auf Ausgabe-Anschluß 10ECH schreibt.

Nicht besetzt

Gesetzt, wenn das BUSY-Signal vom Paralleldrucker inaktiv wird. Gelöscht, wenn der 8086 Eingabe-Anschluß 10ECH liest.

• Ebene 2 Unterbrechungen:

- Optionsboard-Unterbrechung

Durch Niedrigniveau-Signal auf /IRQ2 vom Optionsboard gesetzt. Gelöscht vom 8086.

- DMA-Endzahl
(Kanal 1, 2 oder 3)

Von der DMA-Steuereinheit gesetzt. Gelöscht vom 8086.

- Tastatursendepufferregister leer

Gesetzt, wenn das Tastatursendepufferregister zur Annahme neuer Daten vom 8086 verfügbar ist. Gelöscht, wenn der 8086 auf das Sendepufferregister schreibt oder das Clear Keyboard (Löschen Tastatur) Signal gibt.

- Tastaturdaten empfangen

Gesetzt, wenn die Tastatur Daten hat, die vom 8086 gelesen werden sollen. Gelöscht, wenn der 8086 das Tastaturempfangspufferregister liest.

- Diskettensteuereinheits-Chip-Unterbrechung

Gesetzt, wenn der NEC-765 Chip eine Diskettenoperation beendet. Gelöscht durch Lesen des ersten Statusbytes in der Resultatphase der Diskettenoperation.

- Diskettenlaufwerk 1
Türstörung oder
Tür offen

 Gesetzt durch Öffnen der Tür von
Diskettenlaufwerk 1 oder 2.
(Systemstatus-Laufwerk 2 Anschluß
10E0H bestimmt, welche Tür offen
ist.) Gelöscht durch Setzen von
Bit 2 (Laufwerk 1) oder Bit 3
(Laufwerk 2) der Ausgabe-Anschluß-
stelle 1000H.
- 8087 Unterbrechung

 Vom 8087 gesetzt, um eine
unmaskierte Ausnahmebedingung
anzuzeigen, die während der
numerischen Instruktionsausführung
und bei freigegebenen 8087
Unterbrechungen auftrat. Frei-
gegeben, gesperrt und gelöscht
durch 8086 Instruktionen FNCLEX,
FNSAVE und FNINT.

2.3 PROGRAMMIEREN DES UNTERBRECHUNGSSYSTEMS

Die Initialisierungsteuerwörter (ICW1, ICW2 und ICW4) setzen Unterbrechungssystem-Parameter durch Auswahl verschiedener PIC-Operationsmodi, von denen in dieser Implementierung nur einige gültig sind. Die Software im 8086 bestimmt ICW1 durch Schreiben eines Wertes von 1FH auf Anschlußstelle 1060H. ICW2 wird durch Schreiben eines Viertels der Unterbrechungsvektor-tabelle-Basisadresse auf Anschlußstelle 1062H bestimmt. Zum Schluß schreibt die Software einen Wert von 0DH auf Anschlußstelle 1062H, um ICW4 festzulegen.

Die Operationssteuerwörter (OCW1-3) regeln die Unterbrechungsbearbeitung durch Freigeben bzw. Sperren verschiedener Optionen und Ausführen anderer Kontrollfunktionen. OCW1 wird auf Anschlußstelle 1062H geschrieben und bewirkt, daß jede der acht Unterbrechungsprioritätsebenen entweder ausgeblendet oder nicht ausgeblendet wird. Durch Setzen des OCW1 Bits, das einer Unterbrechungsebene entspricht, werden weitere Anforderungen auf dieser Ebene gesperrt. Zum Beispiel werden durch Schreiben eines Wertes von 01 in OCW1 Unterbrechungsanforderungen auf Ebene 0 gesperrt und Unterbrechungsanforderungen auf Ebenen 1-7 freigegeben. Der 8086 liest OCW1 an Anschlußstelle 1062H, um festzustellen, welche Unterbrechungsprioritätsebenen freigegeben sind. OCW1 benutzt dieselbe Anschlußadresse wie ICW2 und ICW4; jedoch erscheinen ICW2 und ICW4 immer als erste und zweite Eingabe nach einem ICW1 und können somit von einem OCW1 durch Kontext unterschieden werden.

OCW2 wird auf Anschlußstelle 1060H geschrieben und hat drei Funktionen: es beendet eine Unterbrechungsanforderung, setzt die höchste Unterbrechungsprioritätsebene fest und wechselt Prioritätsebenen, um Bedienung im Reihumverfahren zu implementieren. Bit 3 und Bit 4 des OCW2 müssen auf Null gelöscht sein. (Dadurch unterscheidet sich OCW2 von OCW3, dessen Bit 3 gesetzt ist, und von ICW1, dessen Bit 4 gesetzt ist.) Bits 7, 6 und 5 bestimmen die von OCW2 ausgeführte Funktion, wie in Tabelle 2-1 dargestellt.

Tabelle 2-1. Format des Operationssteuerwortes 2

Bit	Wert	Operation
7, 6, 5	000	Nicht benutzt.
	001	Beenden Unterbrechung höchster Priorität.
	010	Nicht benutzt.
	011	Beenden Unterbrechung auf einer durch Bits 0-2 bezeichneten Prioritätsebene.
	100	Nicht benutzt.
	101	Beenden Unterbrechung höchster Priorität und wechseln Prioritätsebenen.
	110	Setzen die durch Bits 0-2 als niedrigst bezeichnete Prioritätsebene fest. Die Ebene mit der nächsthöheren Nummer hat dann höchste Priorität.
	111	Beenden Unterbrechung höchster Priorität und setzen die durch Bits 0-2 als niedrigst bezeichnete Prioritätsebene fest. Die Ebene mit der nächsthöheren Nummer hat dann höchste Priorität. Diese Funktion ist im Grunde eine Kombination von Funktion 1 und 6 (001 und 110).

OCW3 wird benutzt, um den Spezialmaskenmodus festzusetzen oder Unterbrechungsstatusinformation zu erhalten. Mit dem Spezialmaskenmodus können Unterbrechungsdienstprogramme ein Unterbrechungsprioritätsschema abändern und später wiederherstellen. OCW3 stellt außerdem drei verschiedene Arten von Statusdaten zur Verfügung. Ein Aufrufbefehl identifiziert anstehende Unterbrechungsanforderungen (d. h., ein Gerät hat eine Anforderung angezeigt, doch hat die PIC noch nicht die entsprechende Unterbrechung angezeigt). Eine weitere OCW3 Funktion identifiziert aktive Unterbrechungsanforderungen (d. h., die PIC hat eine Unterbrechung angezeigt, doch der 8086 hat sie noch nicht bestätigt). Eine dritte Funktion identifiziert alle Ebenen, auf denen gerade eine Unterbrechung behandelt wird (Unterbrechung bestätigt, doch Unterbrechungsanforderung noch nicht durch einen Unterbrechungsendebefehl gelöscht). In Tabelle 2-2 wird das OCW3 Format dargestellt und Tabelle 2-3 enthält die Adressen der Unterbrechungsanforderungskennzeichen.

Tabelle 2-2. Format des Operationssteuerwortes 3

Bit	Wert	Operation
1, 0	00, 01	Nicht benutzt.
	10	Bei nachfolgenden Lesevorgängen von Anschluß 1060H wird D0-7 nur im Falle einer anstehenden Unterbrechungsanforderung auf der entsprechenden Prioritätsebene gesetzt.
	11	Bei nachfolgenden Lesevorgängen von Anschluß 1060H wird D0-7 nur gesetzt, wenn die Software gerade eine Unterbrechung auf der entsprechenden Prioritätsebene behandelt.
2		Aufrufbefehl. Wenn eins gesetzt ist, bewirkt der nächste Lesevorgang am E/A-Anschluß 1060H, daß D7 als gesetzt zurückgegeben wird, wenn eine Unterbrechungsanforderung bevorsteht. Ist D7 gesetzt, enthält D0-2 die Ebene-Nummer der anstehenden Anforderung mit der höchsten Priorität.
4, 3	01	Bit 4 muß auf Null gelöscht und Bit 3 auf eins gesetzt sein.
6, 5	00, 01	Haben keinen Effekt auf Spezialmaskenmodus.
	10	Sperrern Spezialmaskenmodus.
	11	Geben Spezialmaskenmodus frei und erlauben einem OCW1, eine temporäre Unterbrechungsmaske festzusetzen, die nur während Freigabe des Spezialmaskenmodus benutzt werden kann.
7	0	Muß auf Null gelöscht sein.

Tabelle 2-3. Unterbrechungsanforderung-Kennzeichenadressen

Ebene	Art	Unterbrechungsanforderung-Kennzeichen
NMI	Systemboard-Paritätsfehler Optionsboard-E/A-Fehler	Anschluß 10E0H Bit 0 = 0 Anschluß 10E0H Bit 1 = 0
0	Echtzeit-Uhrzeitgeber (Zeitgeberkanal 0)	Einzig möglicher Ursprung
1	Zeitgeberkanal 2 Serielle Kommunikationsschnittstelle Parallele E/A-Schnittstelle	Anschluß 1022H Bit 0 = 0 Anschluß 1022H Bit 1 = 0 Anschluß 1022H Bit 2 = 0
2	DMA-Prozeß-Ende (Endzahl) Ausgabe an die Tastatur Eingabe von der Tastatur Diskettenoperation beendet Diskettensteuereinheit-Fehler Disketten-Türstatus 8087 Co-Prozessor Optionsboard-Unterbrechung	Anschluß 1022H Bit 3 = 0 Anschluß 1022H Bit 4 = 1 Anschluß 1022H Bit 5 = 1 Anschluß 10E0H Bit 3 = 1 Anschluß 1022H Bit 6 = 1 Anschluß 10E0H Bits 4-7 Anschluß 1022H Bit 7 = 1 Slot Offset 10FEH Bit 7 = 1
3-6	Optionsboard-Unterbrechung	Slot Offset 10FEH Bit 7 = 1

KAPITEL 3 TASTATUR UND TONGENERATOR

Die separate Tastatur enthält einen ausschließlich zugeordneten Mikroprozessor, der Befehle von dem 8086 annimmt und Tastaturstatusdaten sowie Tastenanschlagdaten an den 8086 zurücksendet. Der 8086 sendet Befehlsdaten zur Tastatur, indem er Folgen von einem oder mehreren Befehlsbytes zu dem E/A-Anschluß 10E8H schreibt. Von der Tastatur gesendete Status- oder Tastenanschlagdaten werden von dem 8086 empfangen, indem er Bytes von dieser Anschlußstelle liest. Tastaturdaten können über die Vollduplex-Tastaturschnittstelle gleichzeitig gesendet und empfangen werden.

3.1 TASTATURSCHNITTSTELLE

Nach Senden oder Empfang eines Datenbytes generiert die Tastaturschnittstelle eine Ebene 2 Unterbrechungsanforderung. Die Software prüft Bit 4 und Bit 5 der Eingabe-Anschlußstelle 1022H, die Unterbrechungsstatus-Anschlußstelle, um die Tastatur als Unterbrechungsanforderungsursprung zu identifizieren und festzustellen, von welcher Tastaturfunktion die Unterbrechungsanforderung generiert wurde. Eine durch Sendedaten verursachte Unterbrechung bewirkt, daß Bit 4 der Unterbrechungsstatusanschlußstelle gesetzt wird, wenn die Tastatur bereit ist, ein Byte Daten vom 8086 zu empfangen. Eine durch empfangen Daten verursachte Unterbrechung setzt Bit 5 dieser Anschlußstelle, wenn der 8086 von der Tastatur ein Byte Daten annehmen soll. (Bits 0-3 und 6-7 der Unterbrechungsstatusanschlußstelle werden für andere Geräte benutzt.) Die Tastaturausgabedaten werden gepuffert, damit der 8086 nur einmal pro 10 Millisekunden unterbrochen werden muß.

Durch Schreiben eines Bytes ausgehender Daten an E/A-Anschlußadresse 10E8H wird eine Tastatur-Sendeunterbrechungsanforderung automatisch gelöscht. Falls jedoch keine weiteren Daten zu senden sind, kann die Unterbrechungsanforderung durch Schreiben beliebiger Daten auf Ausgabe-Anschluß 10E6H, der Lösch-Sendeunterbrechung-Anschluß (Clear Transmit Interrupt Port) der Tastatur, gelöscht werden. Durch Lesen eines Bytes eingehender Daten an E/A-Anschlußadresse 10E8H wird eine Tastatur-Empfangsunterbrechungsanforderung automatisch gelöscht.

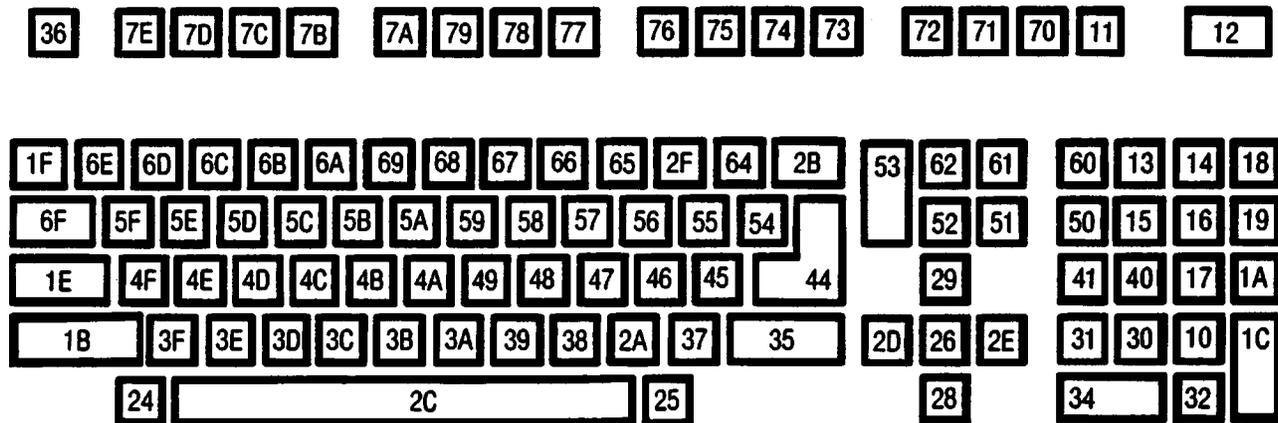


Abbildung 3-1. Codes für Standard-Tastatur

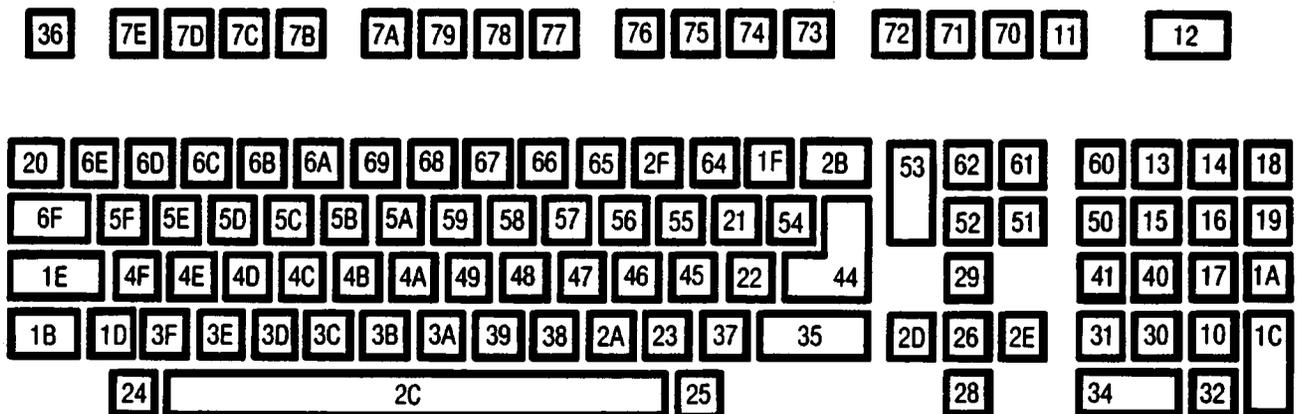


Abbildung 3-2. Codes für erweiterte Tastatur

Einige mögliche Tastenanschlagcodes und deren entsprechenden Freigabecodes werden nicht von einer Taste erstellt. Zum Beispiel wird Code 01 als Frage-Antwortbyte (query response byte) benutzt, dem immer ein oder mehrere Statusbytes folgen. Wenn der 8086 durch Senden einer der Frage-Steuerbytefolgen in Tabelle 3-1 eine Anfrage stellt, fährt er zunächst mit der Annahme von Tastatureingaben fort, bis er das 01 Frage-Antwortbyte empfängt, nimmt dann die entsprechende Anzahl von Statusbytes und daraufhin wieder normale Tastatureingaben an.

Tabelle 3-1. Tastatursteuercodes

Code	Beschreibung
	4328
00	Nicht zugeordnet.
01-05	Annullieren alle zuvor erstellten Freigabecodes und bestimmen ein bis fünf neue Freigabecodes. Mit Ausnahme der beiden Umschalttasten (die immer Freigabecodes erstellen), generiert die Tastatur bei Drücken einer Taste normalerweise nur einen Tastenanschlagcode. Falls dementsprechend programmiert, generiert die Tastatur außerdem bei Freigabe der Taste einen anderen Code. Der Freigabecode ist identisch mit dem Tastenanschlagcode, außer daß Bit 7 gesetzt ist (d. h., Zeichencode plus 80H). Zum Beispiel annulliert die Steuerbytefolge "02, 24H, 1EH" alte Freigabecodes und erstellt Freigabecodes für die Umschaltverriegelungstaste plus Positionstaste. Steuerbytefolge "04, 29H, 28H, 2EH, 2DH" annulliert alte Freigabecodes und erstellt Freigabecodes für die Nord-, Süd-, Ost- und West-Cursorsteuertasten. Jedem der Steuerbytes 01-05 muß die entsprechende Anzahl von Zeichencodes folgen.
06	Erstellen Freigabecodes für jede Taste der Tastatur.
07	Annullieren alle zuvor erstellten Freigabecodes, ohne neue Freigabecodes anzugeben. Die linke und rechte Umschalttaste generiert immer Freigabecodes.
08	Einschalt-Rückstellung.
09	Versionsebene-Frage. Sendet eine Steuerpräambel von 01, auf welche der 1-Byte PROM-Code oder die Maskenebene folgt.
0AH	Klickerton-Zeichen.
0BH	Beepton-Zeichen.
0CH	Rufen Self-Test-Modus auf. Veranlaßt, daß die Tastatur das Byte, das gerade übertragen wird, sendet und dann dieses Byte oder das zuletzt gesendete Byte nochmals überträgt. Falls keine Bytes gesendet wurden, überträgt die Tastatur ein Byte von 00.
0DH	Nicht zugeordnet.

Tabelle 3-1. Tastatursteuercodes (Fortsetzung)

Code	Beschreibung
0EH	Gerätetypfrage. Veranlaßt die Tastatur, drei Bytes zu senden: eine Steuerpräambel von 01, ein Byte, das die niederwertige und ein Byte, das die höchstwertige Konfigurationsschalteneinstellung enthält.
0FH	Lautstärke-Einstellung-Frage. Veranlaßt die Tastatur, zwei Bytes zu senden: eine Steuerpräambel von 01, der das gegenwärtige Lautstärkeregelungsbyte folgt.
10H	Schalten LED0 ein (Umschaltverriegelungstaste).
11H	Schalten LED0 ab.
12H	Schalten LED1 ein (die Leuchtdiode außen links in der obersten Reihe).
13H	Schalten LED1 ab.
14H	Schalten LED2 ein.
15H	Schalten LED2 ab.
16H	Schalten LED3 ein.
17H	Schalten LED3 ab.
18H	Schalten LED4 ein.
19H	Schalten LED4 ab.
1AH	Schalten LED5 ein.
1BH	Schalten LED5 ab.
1CH	Schalten alle sechs LEDs ein.
1DH	Schalten alle sechs LEDs ab.
1EH	LED-Statusfrage. Veranlaßt die Tastatur, zwei Bytes zu senden: eine Steuerpräambel von 01, auf die ein Byte folgt, in welchem Bits 0-5 nur dann auf eins gesetzt sind, wenn die entsprechende LED eingeschaltet ist. Bits 6 und 7 dieses Bytes werden auf Null gelöscht.
1FH 31	Nicht zugeordnet.

Tabelle 3-1. Tastatursteuercodes (Fortsetzung)

Code	Beschreibung
20H 32	Nehmen das neue Lautstärkeregelungsbyte an. In dem diesem Steuerbyte folgenden Byte müssen die beiden höchstwertigen Bits 7 und 6 auf Null gelöscht sein. Bits 5, 4 und 3 geben die neue Klickerlautstärke-Einstellung und Bits 2, 1 und 0 die neue Beeperlautstärke-Einstellung an. Die Lautstärke-Einstellungen bewegen sich zwischen 0, d. h., ganz abgeschaltet, und 7, der höchsten Lautstärke.
21-30H	Nicht zugeordnet.
31H	Nehmen ein Tongenerator-Steuerbyte an. Veranlaßt die Tastatur, das darauffolgende Byte in den Tongenerator zu laden.
32H	Nehmen zwei Tongenerator-Steuerbytes an. Veranlaßt die Tastatur, die darauffolgenden zwei Bytes in den Tongenerator zu laden.
33-FFH	Nicht zugeordnet.

Strom und Schnittstellensignale zwischen der Tastaturschnittstelle und der separaten Tastatur werden über ein 4-adriges Kabel mit einem 4-Stift-DIN-Stecker geleitet (siehe Tabelle 3-2). Die Tastaturschnittstelle basiert auf einem 6402 universellen asynchronen Empfänger/Sender (Universal Asynchronous Receiver Transmitter, UART), der mit 62,5K Baud arbeitet. Bei Einschalten oder Systemgrundstellung initialisiert die Hardware den UART für Übertragung und Empfang eines seriellen Protokolls, bestehend aus einem Startbit (auf Null gelöscht), einem 8-Bit Datenwort (niedrigstwertiges Bit zuerst) und zwei Stopbits (auf eins gesetzt) ohne Parität.

Tabelle 3-2. Tastaturschnittstellensignale

Stecker Stiftnummer	DIN-Stecker Stiftnummer	Signal
1		Negative Zuführungsleitung zum 8-Ohm Lautsprecher
2		Positive Zuführungsleitung zum 8-Ohm Lautsprecher
3	1	Erdung
4	2	Serielle Datenausgabe an die Tastatur
5	4	5-V Strom
6	3	Serielle Dateneingabe von der Tastatur

3.2 MEHRFACHTONGENERATOR

Die Tongeneratorschaltkreise haben einen digitalen Mehrfachtongenerator-Chip SN76489AN mit 3 programmierbaren Tongeneratoren sowie einem Rauschgenerator mit programmierbarer Dämpfung für die Lautstärkeregelung aller Töne und der Fähigkeit, Mehrfachtöne simultan hervorzubringen. Die Tongeneratorkanäle 0, 1 und 2 enthalten je einen unabhängigen Tongenerator und einen ausschließlich zugeordneten Dämpfer. Der Rauschgenerator auf Kanal 3 besteht aus einer Rauschquelle mit ausschließlich zugeordnetem Dämpfer. Die Dämpfer sorgen für Lautstärkeregelung durch Dämpfen oder Herabsetzen der Tonlautstärke.

Der 8086 programmiert jeden der drei Tongeneratoren auf Kanal 0, 1 oder 2 durch Laden des 10-Bit Periodenregisters des entsprechenden Kanals mit dazugehörigem 4-Bit Dämpfungsregister. Jedes Periodenregister erhält den Zeitwert für die auf dessen Kanal erzeugte Ausgabefrequenz in Einheiten von 8 Mikrosekunden. Derselbe Wert ergibt sich, wenn die Tonfrequenz durch 125 000 geteilt wird. Jedes Dämpfungsregister erhält einen Dämpfungsfaktor von inklusive 0 bis 30 dB in Einheiten von 2 dB. In Wirklichkeit schaltet der maximale Dämpfungsfaktor den Kanal ab, so daß kein Ton erzeugt wird.

Um ein Periodenregister zu laden, sendet der 8086 eine aus Steuercode 32H und zwei Periodenregister-Steuerbytes bestehende Steuerbytefolge an die Tastatur. In ersterem ist Bit 7 auf eins gesetzt, die Tongeneratorkanalnummer ist in Bits 6 und 5 enthalten, Bit 4 ist auf Null gelöscht, und die niederwertigen vier Bits des Periodenregisterwertes sind in Bits 3-0. Im zweiten Periodenregister-Steuerbyte sind Bits 7 und 6 auf Null gelöscht, und die höchstwertigen sechs Bits des Periodenregisterwertes sind in Bits 5-0.

Um ein Dämpfungsregister zu laden, sendet der 8086 eine aus Steuercode 31H sowie einem Dämpfungsregister-Steuerbyte bestehende Steuerbytefolge an die Tastatur. Im Dämpfungsregister-Steuerbyte ist Bit 0 auf eins gesetzt, die Tongeneratorkanalnummer ist in Bits 6 und 5 enthalten, Bit 4 ist auf eins gesetzt und der 4-Bit Dämpfungsfaktor ist in Bits 3-0.

Um das Kontrollregister des Rauschgenerators zu laden, sendet der 8086 eine 2-Byte-Steuerfolge, die aus Steuercode 31H und einem Rauschsteuerbyte besteht. Das Rauschsteuerbyte hat den Binärwert "11100" in Bits 7-3, wobei Bit 2 für Gauss'sches Rauschen auf eins gesetzt und für periodisches Rauschen auf Null gelöscht ist. Bits 1 und 0 des Rauschsteuerbytes bezeichnen die relative Rauschfrequenz wie folgt:

0	0	Hochfrequenzrauschen
0	1	Zwischenfrequenzrauschen
1	0	Niederfrequenzrauschen
1	1	Rauschfrequenz bestimmt durch Kanal 3 Tongeneratorausgabe

Der Ladevorgang für das Dämpfungsregister des Rauschgenerators ist derselbe wie bei den Dämpfungsregistern der anderen drei Kanäle. Der 8086 sendet eine aus Steuercode 31H und einem Dämpfungsregister-Steuerbyte bestehende 2-Byte-Steuerfolge an die Tastatur. Im Dämpfungsregister-Steuerbyte ist Bit 0 auf eins gesetzt, die Tongeneratorkanalnummer (d. h., 3 oder binäres "11") ist in Bits 6 und 5, Bit 4 ist auf eins gesetzt und der 4-Bit Dämpfungsfaktor ist in Bits 3-0. Die Dämpfungsfaktoren sind dieselben wie für die drei Tongeneratorkanäle.

KAPITEL 4
PARALLELE E/A-SCHNITTSTELLE

Die parallele E/A-Schnittstelle ist eine allgemeine, bidirektionale Anschlußstelle, die benutzt werden kann, um 8-bit Paralleldaten mit dazugehöriger Statusinformation zu senden bzw. empfangen. Diese Schnittstelle wird gewöhnlich benutzt, um einen Paralleldrucker anzuschließen und überträgt bei Druckeranwendungen nur ausgehende Daten. Einige Paralleldrucker benutzen eine Nur-Schreib-Schnittstelle und senden keine Statusinformation zurück. Andere senden bestimmte Statuskennzeichen zurück und brauchen deshalb eine bidirektionale Schnittstelle, die Zeichendaten nur in ausgehender Richtung, aber Statusinformation in beiden Richtungen überträgt. Tabelle 4-1 beschreibt die verschiedenen Statusinformationsarten, die über die parallele E/A-Schnittstelle übertragen werden können.

Tabelle 4-1. Paralleldrucker-Schnittstellensignale für
Eingabe-Anschluß 1020H und E/A-Anschluß 1024H

Anschluß	Bit	Signalname und Beschreibung
1020H	0	/POWER ON (Eingeschaltet). Wird nur von programmierbaren Druckern generiert. Wenn auf Null gelöscht, wird angezeigt, daß der Drucker eingeschaltet ist.
	1	/SMART. Von einem programmierbaren Drucker generiert. Wenn auf Null gelöscht, wird angezeigt, daß der Drucker eine bidirektionale Schnittstelle unterstützt. Drucker ohne Mikroprozessoren liefern entweder 5 V oder haben keinen Anschluß, was eine inaktive Stufe (Bit auf eins gesetzt) darstellt und eine Nur-Schreib-Schnittstelle anzeigt.
	2	/DATA AVAILABLE (Daten verfügbar). Wenn auf Null gelöscht, wird angezeigt, daß der Sendepuffer am Drucker ein Byte Daten enthält, das der 8086 lesen soll.
	3	SLCT (Anwählen). Auf eins gesetzt, wenn der Drucker angewählt ist.
	4	BUSY Flag (Belegt-Kennzeichen) (von Stift 11 und 29 der Steckverbindung). Wenn auf eins gesetzt, wird angezeigt, daß der Drucker belegt ist und keine Daten empfangen kann.

Tabelle 4-1. Paralleldrucker-Schnittstellensignale für Eingabe-Anschluß 1020H und E/A-Anschluß 1024H (Forts.)

Anschluß	Bit	Signalname und Beschreibung
1020H (Forts.)	5	/FAULT (Fehler). Wenn auf Null gelöscht, wird angezeigt, daß der Drucker off-line oder am Ende einer Seite ist oder aus einem ähnlichen Grund Bedienereingriff erfordert.
	6	PE. Wenn auf eins gesetzt, wird angezeigt, daß der Drucker Papier benötigt.
	7	ACKNOWLEDGE FLaG - Bestätigungskennzeichen (latched /ACKNLG - Signalspeicherbestätigung - von Stift 10 und 28 der Steckverbindung). Wenn auf Null gelöscht, wird angezeigt, daß der Drucker das letzte Ausgabebyte verarbeitet hat und jetzt bereit ist, ein weiteres Datenbyte anzunehmen. Gelöscht durch Schreiben beliebiger Daten auf E/A-Anschlußstelle 10ECH.
1024H	0	/USR0. Wenn auf Null gelöscht, wird bei Epson-Druckern automatischer Zeilenvorschub nach Wagenrücklauf angefordert.
	1	/USR1. Wenn auf Null gelöscht, wird ein Epson-Drucker angewählt.
	2	/RESET (Rückstellung). Wenn auf Null gelöscht, wird der Drucker in den Einschaltzustand zurückgesetzt. Die Software setzt dieses Bit, wartet mindestens 50 usec und löscht es dann, um den Drucker zu initialisieren.
	3	Nicht zugeordnet.
	4-7	SW1-4. Vier-Bit-Schaltereinstellungen. Auf Null gelöscht, wenn der Schalter auf EIN (ON), und auf eins gesetzt, wenn der Schalter auf AUS (OFF) steht. Diese Schalter befinden sich am Systemboard zwischen der 96-Stift-Steckverbindung an der Rückseite und der 26-Stift-Steckverbindung Typ D für die RS-232C Schnittstelle. SW1 liegt neben der 96-Stift-Steckverbindung und SW4 neben der RS-232C Steckverbindung. Die Systemsoftware benutzt diese Schalter, um das Standard-Baud für die 2661 EPCI festzusetzen (durch direktes Laden von SW1-4 in Bits 0-3 des EPCI-Betriebs- artregisters 2). SW1-4 gehören nicht zur Paralleldrucker-Schnittstelle.

Der 8255A Parallelperipherieschnittstelle-Chip, der zur Implementierung der parallelen E/A-Schnittstelle benutzt wird,, hat außerdem zwei weitere Funktionen: er enthält den Unterbrechungsstatus-Anschluß (Eingabe-Anschluß 1022H) und stellt der 8086 Software die 4-Bit-Hardware-Schaltereinstellung zur

Verfügung. Der 8255A hat ein Steuerwortregister, das durch Schreiben von 9BH auf Ausgabe-Anschluß 1026H initialisiert werden muß. Die Funktion der Unterbrechungsstatus-Anschlußstelle wurde in einem der vorhergehenden Kapitel beschrieben. Instruktionen für das Lesen der Hardwareschalter sind in diesem Kapitel enthalten.

Tabelle 4-2 enthält Anschlußwerte für die E/A-Anschlußstellen.

Tabelle 4-2. Anschlußwerte und Merkmale

Modus	Anschlußwerte und Merkmale
Ausgabe	<p>$V_{OL} = 0,5 \text{ V max. bei } 24 \text{ mA min.}$ $V_{OH} = 3,0 \text{ V min. bei } 2 \text{ mA min.}$</p> <p>Alle Ausgaben werden mit einem 4,7K-Ohm Arbeitswiderstand beendet.</p>
Eingabe	<p>$V_{OL} = 0,8 \text{ V max. bei } 2 \text{ mA min.}$ $V_{OH} = 2,4 \text{ V min. bei } 0,5 \text{ mA min.}$</p> <p>Alle Eingaben werden mit 4,7K-Ohm Arbeitswiderständen, einem 150-Ohm Widerstand zwischen der Puffereingabe und dem Arbeitswiderstand und einem 180-PF Kondensator zwischen Puffereingabe und Erdung beendet.</p>
Wechselstromausgabe	<p>Anstieg- und Abfallzeit weniger als 200 Nanosekunden.</p> <p>Datenanlaufzeit (bis /DSTB IN hoch) von mindestens 1,5 Mikrosekunden.</p> <p>Datenhaltezeit (bis /DSTB IN niedrig) besteht bis zum Empfang der Bestätigung oder bis das Programm die Eingabeanschlußstelle liest.</p> <p>/DSTB IN Impulsbreite von mindestens 2 Mikrosekunden.</p> <p>ACKNOWLEDGE (Bestätigung) Impulsbreite von mindestens 100 Nanosekunden.</p>
Wechselstromeingabe	<p>Anstieg- und Abfallzeit weniger als 200 Nanosekunden.</p> <p>Datenanlaufzeit (bis /DSTB OUT niedrig) von mindestens 150 Nanosekunden.</p> <p>Datenhaltezeit (bis /DSTB OUT niedrig) von 0.</p> <p>/DSTB OUT Impulsbreite von mindestens 500 Nanosekunden.</p>

Drucker, die eine bidirektionale Schnittstelle benutzen, werden gewöhnlich als programmierbare oder "intelligente" Datenendstationen bezeichnet. Es können jedoch auch andere E/A-Geräte die Standard-Druckerprotokolle implementieren und Zeichendaten an den 8086 zurücksenden. Mit entsprechender Verkabelung können z. B. zwei Systeme über die parallele E/A-Schnittstelle kommunizieren, wobei sie sich gegenseitig als Drucker erscheinen. Tabelle 4-3 enthält die Stiftzuordnungen für ein paralleles E/A-Schnittstellenkabel.

Tabelle 4-3. Parallelanschluß-Stiftzuordnungen

Stiftnummer	Signal	E/A
1,19	/DSTB IN	A
2,20	DATA 1	E/A
3,21	DATA 2	E/A
4,22	DATA 3	E/A
5,23	DATA 4	E/A
6,24	DATA 5	E/A
7,25	DATA 6	E/A
8,26	DATA 7	E/A
9,27	DATA 8	E/A
10,28	/AKNLDG	E
11,29	BUSY	E
12	PE	E
13	SLCT	E
14	/USRO/AUTO FEED XT	A
15	/POWER ON / OSCXT	E
18	/SMART / 5 V	E
31,30	/RESET	A
32,33	/FAULT	E
34,16	/DSTB OUT	A
35,17	/DAV	E
36	USR1	A

Vor Senden von Ausgabedaten über die parallele E/A-Schnittstelle prüft ein Programm zuerst das Belegt-Kennzeichen (Bit 4 der Eingabe-Anschlußstelle 1020H, das an Stift 11 und 29 der Parallelschnittstelle-Verbindung angeschlossen ist). Nach Verifizierung, daß das Belegt-Kennzeichen auf Null gelöscht ist, schreibt das Programm ein Byte Daten auf E/A-Anschlußstelle 10EAH. Das OUT 10EAH lädt acht Datenbits in die parallele E/A-Schnittstelle und löst einen Abtastimpuls aus, /DSTB IN genannt, der die Daten in den Drucker oder ein anderes an die Schnittstelle angeschlossenes Gerät eingibt. (Dateneingabe und -Ausgabeimpulssignale werden vom Standpunkt des Druckers bezeichnet.)

Anschließend überwacht das Programm das Bestätigungskennzeichen, Bit 7 der Eingabe-Anschlußstelle 1020H. Dieses von Stift 10 und 28 der Parallelschnittstelle-Verbindung signalgespeicherte (latched) Kennzeichen wird durch Schreiben beliebiger Daten an Ausgabe-Anschluß 10EAH auf eins gesetzt. Das Kennzeichen bleibt gesetzt, solange das an die parallele E/A-Schnittstelle angeschlossene Gerät weiterhin Daten annimmt und wird nur dann auf Null gelöscht, wenn das Gerät mit dem Empfang eines Bytes fertig ist. Die Software überwacht das Bestätigungskennzeichen, um festzustellen, wann das Gerät zur Annahme des nächsten Ausgabe-Bytes bereit ist. Stellt das Programm fest, daß das Bestätigungskennzeichen auf Null gelöscht ist, prüft es das Belegt-Kennzeichen nochmals und wiederholt die Ausgabefolge. Obwohl das Bestätigungskennzeichen normalerweise von dem an die parallele E/A-Schnittstelle angeschlossenen Gerät gelöscht wird, kann es auch von dem 8086 durch Schreiben beliebiger Daten auf Ausgabe-Anschluß 10ECH gelöscht werden.

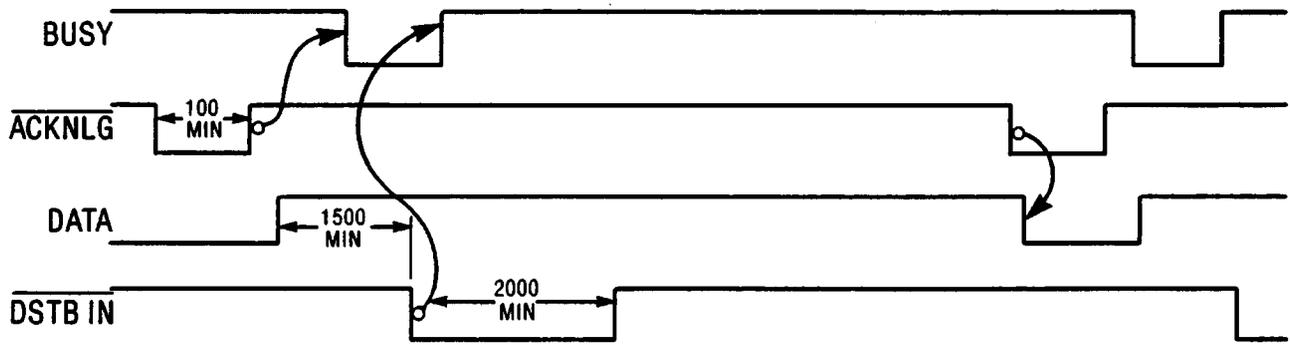
Vor Empfang von Eingabedaten über die parallele E/A-Schnittstelle prüft ein Programm zuerst das Daten-Verfügbar-Kennzeichen, (Bit 2 der Eingabe-Anschlußstelle 1020H, das an /DAV auf Stift 35 und 17 der Steckverbindung angeschlossen ist). Dieses Bit wird nur dann auf Null gelöscht, wenn das an die parallele E/A-Schnittstelle angeschlossene Gerät ein Byte Eingabedaten für den 8086 hat. Sobald Bit 2 der Eingabe-Anschlußstelle 1020H Null wird, löst das Lesen der E/A-Anschlußstelle 10EAH einen Abtastimpuls aus, /DSTB OUT genannt, der benutzt wird, um das Eingabedatenbyte anzunehmen. Jeder Lesezugriff an E/A-Anschlußstelle 10EAH fügt zwei Wartezustände ein, so daß eine /DSTB OUT Impulsbreite von mindestens 500 nsec erreicht wird. Das IN 10EAH setzt das Daten-Verfügbar-Kennzeichen außerdem auf eins zurück.

Bei unterbrechungsinitiierten Übertragungen über die parallele E/A-Schnittstelle zeigt eine Ebene 1 Unterbrechung dem 8086 an, daß das an die Schnittstelle angeschlossene Gerät ein Byte Eingabedaten hat (/DAV aktiviert auf Verbindungsstift 35 und 17) bzw. das Gerät bereit ist, ein Byte Ausgabedaten anzunehmen (latched BUSY (signalgespeichertes Belegt) zeigt an, daß BUSY auf Verbindungsstift 11 und 29 aktiviert ist, während latched /ACKNLG (signalgespeicherte Bestätigung) anzeigt, daß /ACKNLG auf Stift 10 und 28 aktiviert ist). Softwarebedienung der Paralleldruckerunterbrechung besteht aus Prüfen von Eingabe-Anschluß 1020H, um Eingabeanforderungen von Ausgabeanforderungen zu unterscheiden, sowie Lesen oder Schreiben eines Bytes an Anschlußstelle 10EAH.

Das latched /ACKNLG Signal, das eine Ausgabeunterbrechungsanforderung hervorruft, wird von einem OUT 10EAH automatisch gelöscht. Ein IN 10EAH generiert ein /DSTB OUT, das eine Eingabeunterbrechungsanforderung verursachende /DAV automatisch löscht. Der 8086 kann das über Stift 11 und 29 der Parallelschnittstelle-Verbindung hereinkommende BUSY Signal, jedoch nicht das als dritte Unterbrechungsanforderungsquelle dienende latched BUSY Signal lesen. Falls notwendig kann der 8086 jedoch das latched BUSY Signal durch Lesen der E/A-Anschlußstelle 10ECH löschen.

Abbildung 4-1 zeigt die Parallelanschluß-Zeitmessung. E/A-Geräte können den Parallelanschluß als allgemeine Schnittstelle benutzen, falls sie den in der Abbildung dargestellten Eingabe- und Ausgabe-Wechselstromzeitmeßerfordernissen entsprechen. (Die Zeiten sind in Nanosekunden angegeben.)

PARALLEL PORT DATA OUTPUT AC TIMING



PARALLEL PORT DATA INPUT AC TIMING

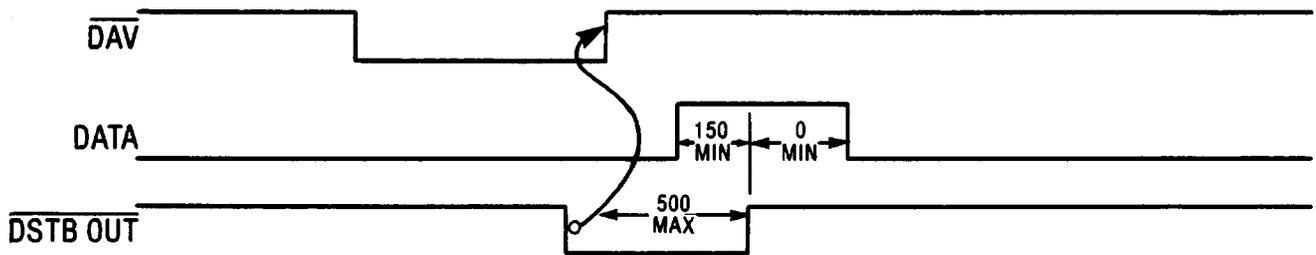


Abbildung 4-1. Parallelanschluß-Zeitmessungsdiagramm

KAPITEL 5

2661 ERWEITERTE PROGRAMMIERBARE KOMMUNIKATIONSSCHNITTSTELLE (EPCI)

Der 8086 programmiert die 2661 Erweiterte Programmierbare Kommunikationschnittstelle (EPCI) zur Unterstützung der RS-232C asynchronen seriellen Datenkommunikation im Voll- oder Halbduplexmodus. Die EPCI bietet 5- bis 8-Bit Zeichen; 1, 1,5 oder 2 Stopbits; ungerade, gerade oder keine Parität; Überlauf-, Paritäts- und Rahmenfehlererkennung; Leitungsunterbrechungs-Erkennung und -Generation; Fehlstartbit-Erkennung; automatischen seriellen Echomodus sowie Lokal- oder Remote-Loopbackbetrieb für Diagnostiken. Im Gegensatz zu manchen anderen RS-232C Schnittstellen, die oft nur 15 m (50 Fuß) Kabel betreiben, kommunizieren die EPCI und deren angeschlossenen Schaltkreise über Entfernungen von maximal 609 m (2 000 Fuß). Die EPCI hat einen Baudfrequenzgenerator, der programmiert werden kann, um interne Sende- und Empfangstaktgeber zu erstellen und operiert mit 16 verschiedenen Geschwindigkeiten zwischen 50 und 19 200 Baud.

5.1 EPCI-ARCHITEKTUR

Die EPCI enthält einen Sender und einen Empfänger, die unabhängig arbeiten. Der Sender nimmt Paralleldaten von dem 8086 an, konvertiert sie zu einem seriellen Bitstrom, fügt eventuell zusätzliche durch die programmierte Kommunikationsmethode erforderliche Bits ein und generiert einen zusammengesetzten Seriendatenstrom auf der Ausgabeleitung. Der Empfänger nimmt Seriendaten von der RS-232C Schnittstelle an, konvertiert sie zum Parallelformat, entfernt Bits, die die Kommunikationsmethode implementieren, und sendet ein assembliertes Datenzeichen an den 8086.

Das vereinfachte Blockdiagramm in Abbildung 5-1 zeigt Sender, Empfänger und Steuerschaltkreis der EPCI. Um die EPCI zu programmieren, schreibt der 8086 Daten in die beiden Betriebsartregister und setzt Baudfrequenz, Parität, Zeichenformat und zugehörige Parameter fest. Außerdem schreibt er Daten an das Befehlsregister, um verschiedene Kommunikationsoptionen freizugeben. Der Prozessor überwacht das Statusregister, um den genauen Status des Kommunikationskanals während Datenübertragung von und zu der EPCI zu bestimmen.

Sender und Empfänger enthalten zwei 8-Bit Datenregister: ein Halteregeister für Parallelinformationsaustausch mit dem Datenbus und ein Schieberegister für den Austausch von seriellen Daten mit der RS-232C Schnittstelle. Bytes ausgehender Daten kommen in das Sendedaten-Halteregister, werden dann in das Sende-Schieberegister übertragen und als serieller Bitstrom herausgeschoben. Bits eingehender Daten kommen in das Sende-Schieberegister, wo sie zu vollständigen Bytes assembliert, in das Empfangsdaten-Halteregister übertragen und schließlich auf den Datenbus weitergegeben werden.

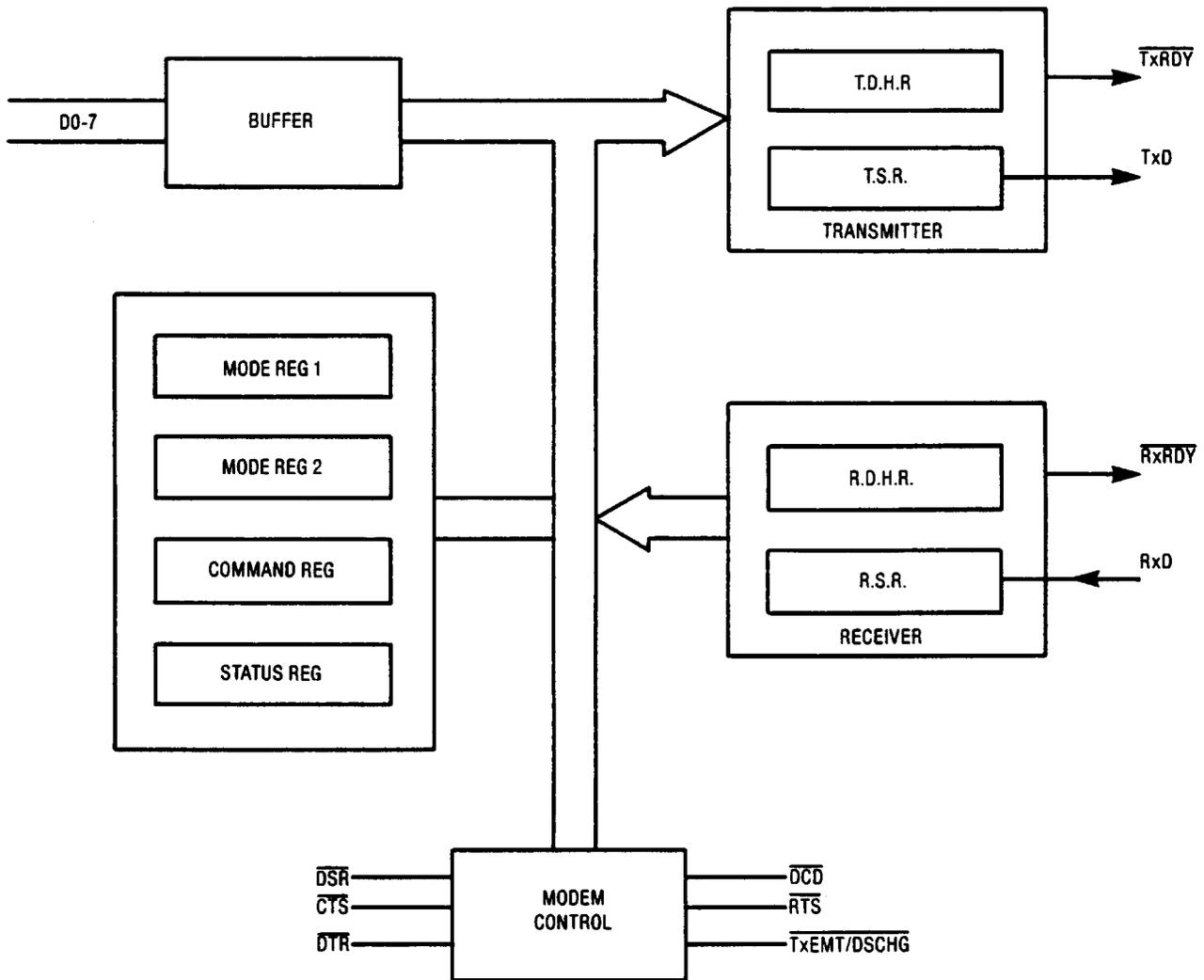


Abbildung 5-1. Blockdiagramm der EPCI-Schnittstelle

5.2 EMPFÄNGER-BETRIEB

Wenn die Data Carrier Detect (/DCD, Stift 8) (Datenträgerüberwachungs)-Eingabe von der RS-232C Schnittstelle niedrig und das Receive Enable (Empfänger Freigabe)-Bit des Befehlsregisters (RxEN, Bit 2) hoch ist, beginnt der Empfänger, Daten anzunehmen, indem er auf der Empfangsdaten (RxD)-Eingabeleitung nach einem Startbitwechsel von hoch auf niedrig sucht. Wird ein Startbitübergang gefunden, tastet der Empfänger die RxD-Leitung eine halbe Bitzeit später nochmals ab. Falls RxD jetzt hoch ist, fährt der Empfänger fort, ein Startbit zu suchen; anderenfalls hat er das Startbit gefunden und kann jetzt beginnen, die Eingabeleitung bitweise abzutasten, bis er die richtige Anzahl Datenbits, ein Paritätsbit und ein oder mehrere Stopbits assembliert hat. Er überträgt dann die Daten in das Empfangsdaten-Halteregister, setzt das Receive Ready (Empfänger Bereit) Bit (RxRDY) im Statusregister, und aktiviert die /RxRDY Ausgabeleitung, was eine Ebene 1 Unterbrechung verursacht. Der 8086 kann jetzt das Zeichen an E/A-Anschluß 1080H lesen.

Der Empfänger löscht die unbenutzten höchstwertigen Bits des eingehenden Zeichencodes auf Null und lädt das Paritätsfehler-, Rahmenfehler- und Überlauffehler-Bit in das Statusregister. Stellt der Empfänger fest, daß die Leitung für das ganze Zeichen (einschließlich Stopbits) niedrig war, signalisiert er eine Leitungsunterbrechung, indem er ein Zeichen mit Code 0 in das Empfangsdaten-Halteregister überträgt und das Rahmenfehler-Bit im Statusregister setzt. Nach einer Leitungsunterbrechung muß die RxD Eingabeleitung auf hoch zurückkehren, bevor der Empfänger beginnt, das nächste Startbit zu suchen.

5.3 SENDER-BETRIEB

Wenn die Clear to Send (Vor Senden Löschen) (/CTS, Stift 5) Eingabe niedrig und das Transmit Enable (Sender Freigabe) Kennzeichen (TxEN, Bit 0) im Befehlsregister gesetzt ist, teilt der Sender dem 8086 seine Datenannahmefähigkeit mit, indem er das Transmit Ready (Sender Bereit) Bit (TxRDY, Bit 0) im Statusregister setzt und die Transmit Ready Ausgabe (/TxRDY) aktiviert, was eine Ebene 1 Unterbrechung verursacht. Wenn dann der 8086 über E/A-Anschluß 1088H ein Zeichen in das Sendedaten-Halteregister schreibt, kehrt der Sender diese beiden Bedingungen um und löscht /TxRDY. Sobald das Sendeschieberegister frei wird, überträgt der Sender das Datenzeichen aus dem Sendedaten-Halteregister, aktiviert /TxRDY erneut und stellt somit ein ganzes Ausgabepufferungszeichen zur Verfügung.

Nach automatischem Senden eines Startbits überträgt der Sender die richtige Anzahl von Datenbits, angefangen mit dem niedrigstwertigen Bit, und fügt ein wahlweises Paritätsbit plus der richtigen Anzahl von Stopbits an. Falls im Sendedaten-Halteregister noch kein neues Zeichen verfügbar ist, hält dann der Sender die TxD Ausgabeleitung weiterhin hoch, setzt das TxEMT/DSCHG Bit im Statusregister und aktiviert die TxEMT/DSCHG Ausgabe, was eine Ebene 1 Unterbrechung verursacht. Die Übertragung wird fortgesetzt, wenn der 8086 ein neues Zeichen in das Sendedaten-Halteregister lädt. Hochsetzen des Force Break (Unterbrechungsauslösung) Kennzeichens, (Bit 3 des Befehlsregisters), erzwingt ein kontinuierliches Niedrigsignal (d. h., eine Leitungsunterbrechung) an der Sender-Ausgabe.

5.4 PROGRAMMIEREN DER EPCI

Um Datenkommunikation herzustellen, sperrt ein 8086 Programm zuerst jede gegenwärtig stattfindende Empfangs- oder Sendeoperation und setzt durch Laden der beiden Betriebsartregister und des Befehlsregisters den EPCI Operationsmodus fest. Betriebsartregister 1 muß zuerst geladen werden. Bei Benutzung von externen Sende- und Empfangstaktgebern braucht Betriebsartregister 2 nicht geladen zu werden. Das 8086 Programm greift über acht E/A-Anschlußstellen auf die internen EPCI Register zu. Nur sieben dieser Anschlußstellen werden für asynchrone Kommunikation benutzt. Tabelle 5-1 listet die E/A-Anschluß-Adreßzuordnungen auf.

Tabelle 5-1. EPCI E/A-Anschlußzuordnung

Anschluß	Adresse
Lese-Empfangs-Halteregister	1080H
Lese-Statusregister	1082H
Lese-Betriebsartregister 1 und 2	1084H
Lese-Befehlsregister	1086H
Schreib-Sende-Halteregister	1088H
Schreib-Register SYN1, SYN2 und DLE (nicht benutzt)	108AH
Schreib-Betriebsartregister 1 und 2	108CH
Schreib-Befehlsregister	108EH

5.5 EPCI BETRIEBSARTREGISTER

Beim Lesen (oder Schreiben) von Betriebsartregister 1 und Betriebsartregister 2 bezieht sich der erste Zugriff an E/A-Anschlußstelle 1084H (oder 108CH) auf Betriebsartregister 1; der nächste Zugriff an derselben Adresse bezieht sich auf Betriebsartregister 2. Ausführen eines RESET (Rückstellung) oder Lesen des Befehlsregisters initialisiert die internen Zeiger zur Adressierung von Betriebsartregister 1. Tabelle 5-2 und 5-3 listen Betriebsartregister-Bitzuweisungen auf.

Tabelle 5-2. EPCI-Betriebsartregister 1 (Eingabe-Anschluß 1084H,
Ausgabe-Anschluß 108CH)

Bit	Wert	Bedeutung
1, 0	00	Ungültig
	01	Asynchrone Kommunikation mit Taktfrequenz
	10	Asynchrone Kommunikation mit 16-facher Taktfrequenz
	11	Asynchrone Kommunikation mit 64-facher Taktfrequenz
3, 2	00	5-Bit Zeichen
	01	6-Bit Zeichen
	10	7-Bit Zeichen
	11	8-bit Zeichen
4		Geben Paritätsgeneration und -Prüfung frei, wenn auf eins gesetzt. Sperren Parität, wenn auf Null gesetzt
5		Gerade Parität, wenn auf eins gesetzt und Parität freigegeben. Ungerade Parität, wenn auf Null gesetzt
7, 6	00	Ungültig
	01	Ein Stopbit
	10	Eineinhalb Stopbits
	11	Zwei Stopbits

Tabelle 5-3. EPCI-Betriebsartregister 2 (Ausgabe-Anschluß 1084H)

Bit	Wert	Bedeutung
3, 2, 1, 0	0000	50 Baud
	0001	75 Baud
	0010	110 Baud
	0011	134,5 Baud
	0100	150 Baud
	0101	300 Baud
	0110	600 Baud
	0111	1200 Baud
	1000	1800 Baud
	1001	2000 Baud
	1010	2400 Baud
	1011	3600 Baud
	1100	4800 Baud
	1101	7200 Baud
	1110	9600 Baud
	1111	19 200 Baud
4	1	Benutzen internen Taktgeber
	0	Benutzen externen Empfangstaktgeber
5	1	Benutzen internen Sendetaktgeber
	0	Benutzen externen Sendetaktgeber
7, 6		Nicht zugeordnet.

5.6 EPCI BEFEHLSREGISTER

Bei Zugriff auf Befehlsregisterbits 0 und 2 an Eingabe-Anschluß 108EH und Ausgabe-Anschluß 1086H werden Sender und Empfänger freigegeben bzw. gesperrt (siehe Tabelle 5-4). Wird der Sender gesperrt, überträgt er vor dem Anhalten noch das im Sendedaten-Halteregister befindliche Zeichen. Die TxD Ausgabe bleibt dann im Markierungsstatus (hoch), während /TxRDY sowie /TxEMT inaktiv werden. Bei Sperren des Empfängers wird jede Eingabeoperation sofort beendet, selbst wenn gerade ein Zeichen assembliert wird.

Befehlsregisterbits 1 und 5 regeln die Data Terminal Ready (Terminal Bereit) (/DTR, Stift 20)-Ausgabe bzw. die Request to Send (Sende Anforderung) (/RTS, Stift 4)-Ausgabe. Die Daten am Ausgabestift sind das logische Komplement des Befehlsregister-Bitwertes. Das Setzen von Befehlsregisterbit 3 erwirkt niedrige TxD Ausgabe (Leeraumzustand), jedoch erst nach Übertragung des gegenwärtigen Zeichens. Später wird TxD mindestens eine Bit-Zeit lang hoch, bis das nächste Zeichen übertragen wird. Befehlsregisterbit 4 löscht alle drei Fehlerkennzeichen im Statusregister. Dieses Bit wird automatisch zurückgesetzt.

Bits 6 und 7 des Befehlsregisters regeln den EPCI Operationsmodus. Sender und Empfänger operieren unabhängig im Normalmodus, wie durch Betriebsartregister- und Statusregisterinhalt festgelegt. Im automatischen Echomodus werden eingehende Daten regeneriert, taktgesteuert und auf die TxD Leitung geführt, während normale Empfängeroperation fortgesetzt wird. Der Empfänger muß freigegeben sein (Befehlsregisterbit 2 gesetzt), jedoch Freigabe des Senders ist nicht notwendig. Kommunikation zwischen dem 8086 und dem Empfänger wird normal fortgesetzt, aber die Verbindung zwischen dem 8086 und dem Sender ist abgebrochen. Nur das erste Zeichen einer Unterbrechung wird rückgemeldet, und die TxD Ausgabe wird wieder hoch, bis der nächste gültige Start gefunden wird.

Tabelle 5-4. EPCI-Befehlsregister

Bit	Signal	Beschreibung
0	TxEN	Transmit Enable (Sender-Freigabe). Gibt den Sender frei, wenn auf eins gesetzt, und sperrt den Sender, wenn auf Null gelöscht.
1	/DTR	Data Terminal Ready (Terminal Bereit). Macht /DTR Ausgabe aktiv (niedrig), wenn auf eins gesetzt, und inaktiv, wenn auf Null gelöscht.
2	RxEN	Receive Enable (Empfänger-Freigabe). Gibt den Empfänger frei, wenn auf eins gesetzt. Sperrt den Empfänger, wenn auf Null gelöscht.
3		Erwirkt eine Leitungsunterbrechung, wenn auf eins gesetzt.
4		Setzt Statusregister-Fehlerkennzeichen für Rahmenfehler (FE, Bit 5), Überlauffehler (OE, Bit 4) und Paritätsfehler (PE, Bit 3) zurück, wenn auf eins gesetzt.
5	/RTS	Request to Send (Sendeanforderung). Macht /RTS Ausgabe aktiv (niedrig), wenn auf eins gesetzt, und inaktiv, wenn auf Null gelöscht.
7, 6		Operationsmodus: 00 - Normalbetrieb. 01 - Automatischer Echomodus. 10 - Lokal-Loopback-Testmodus. 11 - Remote-Loopback-Testmodus.

Im automatischen Echomodus stellt die EPCI vom Empfänger assemblierte Daten automatisch in das Sendedaten-Halteregister. Der Sender überträgt dann diese Daten auf der TxD Ausgabeleitung. Im automatischen Echomodus entspricht der Sendetaktgeber dem Empfangstaktgeber, und die TxRDY Ausgabe ist immer hoch. Die /TxEMT/DSCHG Ausgabe reflektiert lediglich den Zustand des Modems. Der TxEN Befehl (Befehlsregisterbit 0) wird ignoriert.

Im ersteren der beiden Diagnostikmodi, dem Lokal-Loopback-Modus, gehen alle Senderausgaben zurück zur Empfängereingabe. In diesem Modus ist /DTR mit /DCD, und /RTS mit /CTS verbunden. Der Empfangstaktgeber entspricht dem Sendetaktgeber; die /DTR, /RTS und TxD Ausgabe bleibt hoch; und die /CTS, /DCD, /DSR und RxD Eingabe wird ignoriert. Befehlsregisterbits 0 (TxEN), 1 (/DTR) und 5 (/RTS) müssen im Lokal-Loopback-Modus auf eins gesetzt sein. Befehlsregisterbit 2 (RxEN) wird ignoriert.

Im zweiten Diagnostikmodus, dem Remote-Loopback-Modus, werden vom Empfänger assemblierte Daten automatisch in das Sendedaten-Halteregister gegeben und vom Sender erneut in die TxD Ausgabe übertragen. Der Sendetaktgeber entspricht dem Empfangstaktgeber. Keine Daten werden an den 8086 gesendet, doch werden im Statusregister die drei Fehlerkennzeichen gesetzt. Die /RxRDY, /TxRDY und /TxEMT/DSCHG Ausgaben werden hoch gehalten. Befehlsregisterbit 1 (TxEN) wird ignoriert, aber alle anderen Signale funktionieren normal.

5.7 EPCI-STATUSREGISTER

Bei Zugriff auf die Statusregisterbits an Eingabe-Anschluß 1082H werden Empfänger- und Senderstatus sowie Zustand des Modems (siehe Tabelle 5-5) angezeigt. Statusregisterbit 0 (TxRDY) zeigt Senderbereitschaft an und ist nur gültig, wenn der Sender freigegeben ist. Ist es auf Null gelöscht, wird angezeigt, daß sich im Sendedaten-Halteregister ein Zeichen befindet, das noch nicht in das Sende-Schieberegister übertragen wurde. Wenn es auf eins gesetzt ist, bedeutet dies, daß das Sendedaten-Halteregister leer und zur Annahme des nächsten Zeichens von dem 8086 bereit ist. TxRDY ist anfänglich auf eins gesetzt, wenn der Sender freigegeben wird (außer wenn der 8086 vor Freigabe des Senders ein Zeichen in das Sendedaten-Halteregister geladen hat), und bleibt bei Betrieb im automatischen Echomodus oder Lokal-Loopback-Modus gesetzt.

Statusregisterbit 1 (RxRDY) zeigt den Zustand des Empfangsdaten-Halteregisters an. Wenn es auf eins gesetzt ist, bedeutet dies, daß ein Zeichen vom Empfangs-Schieberegister in das Empfangsdaten-Halteregister geladen wurde und daß dieses Zeichen für den 8086 zur Ablesung verfügbar ist. Dieses Bit wird gelöscht, wenn der 8086 das Empfangsdaten-Halteregister liest oder wenn der Empfänger gesperrt ist. Solange es auf eins gesetzt ist, bleibt die /RxRDY Ausgabe aktiv (niedrig).

Statusregisterbit 3 wird gesetzt, um anzuzeigen, daß sich der Zustand der /DSR oder /DCD Eingabeleitung geändert hat oder, daß sowohl das Sende-Schieberegister als auch das Sendedaten-Halteregister leer ist. Sobald der Sender freigegeben ist, wird dieses Bit gelöscht und erst wieder gesetzt, wenn der Sender mindestens ein Zeichen verarbeitet. Der 8086 liest das Statusregister, um festzustellen, von welchen der beiden möglichen Bedingungen /TxEMT/DSCHG aktiviert wurde. Dieses Lesen des Statusregisters löscht dann das TxEMT/DSCHG Kennzeichen. Während dieses Bit gesetzt ist, bleibt die /TxEMT/DSCHG Ausgabe niedrig. Ist Statusregisterbit 3 gesetzt, verursacht es eine Unterbrechung.

Das Überlauffehler-Bit zeigt an, daß der 8086 ein Zeichen vom Empfangsdaten-Halteregister nicht las, bevor es vom nächsten eingehenden Zeichen im Datenstrom überschrieben wurde. Das Rahmenfehler-Bit zeigt an, daß ein eingehendes Zeichen nicht von der im Befehlsregister programmierten Anzahl von Stopbits umrahmt war. Durch Sperren des Empfängers oder Setzen von Befehlsregisterbit 3 werden alle Statusregister-Fehlerbits gelöscht.

Tabelle 5-5. EPCI-Statusregister für Eingabe-Anschluß 1082H

Bit	Signal	Beschreibung
0	TxRDY	Transmit Ready (Sender Bereit). Zeigt an, daß das Sendedaten-Halteregister leer ist, wenn gesetzt; dies generiert eine Ebene 1 Unterbrechung und setzt Bit 1 der Parallelanschlußstelle B. Falls gelöscht, hält das Sendedaten-Halteregister das nächste ausgehende Zeichen.
1	RxRDY	Receive Ready (Empfänger Bereit). Zeigt an, daß das Empfangsdaten-Halteregister leer ist, wenn gesetzt; dies generiert eine Ebene 1 Unterbrechung und setzt Bit 1 der Parallelanschlußstelle B. Falls gelöscht, hält das Empfangsdaten-Halteregister das nächste eingehende Zeichen.
2	TxEMT/ DSCHG	Transmitter Empty or Data Set Change (Sender Leer oder Gerätänderung). Wenn gesetzt, wird angezeigt, daß sich der Zustand der /DSR Eingabe oder der /DCD Eingabe geändert hat oder daß das Sendedaten-Halteregister sowie das Sende-Schieberegister leer ist. Generiert eine Ebene 1 Unterbrechung und setzt Bit 1 der Parallelanschlußstelle B.
3		Paritätsfehler.
4		Überlauffehler.
5		Rahmenfehler.
6	/DCD	Data Carrier Detect (Datenträgerüberwachung). Gesetzt, um anzuzeigen, daß die /DCD Eingabe aktiv (niedrig) ist.
7	/DSR	Data Set Ready (Betriebsbereitschaft). Gesetzt, um anzuzeigen, daß die /DSR Eingabe aktiv (niedrig) ist.

5.8 RS-232C SCHNITTSTELLE

Die RS-232C Schnittstelle benötigt einen D-förmigen 25-Stift Stecker. Benutzung eines kurzen Kabels (weniger als ungefähr 15 m) wird empfohlen; doch kann auch ein längeres Kabel verwendet werden, wenn die resultierende Belastungskapazität 2500 pF (gemessen am Schnittstellenpunkt und einschließlich des Signalterminators) nicht überschreitet. In Tabelle 5-6 sind RS-232C Schnittstellensignale, deren Richtung (von der EPCI aus gesehen) und deren Stiftzuordnung am Schnittstellenkabel aufgeführt.

Tabelle 5-6. RS-232C-Schnittstellensignale

Signal	E/A	Stift	Beschreibung
		7	Betriebserde.
TxD	O	2	Transmit Data (Sendedaten). Serielle Daten-Ausgabeleitung vom Sender. Der Wert Eins oder "die Markierung" ist hoch und der Wert Null oder der "Leerraum" ist niedrig. Im Markierungszustand gehalten, wenn der Sender gesperrt ist.
RxD	I	3	Receive Data (Empfangsdaten). Seriendaten-Eingabe zum Empfänger. "Markierung" ist hoch und "Leerraum" ist niedrig.
/RTS	O	4	Request to Send (Sendeaufforderung). Die Allgemeinausgabe ist das Komplement zu Befehlsregisterbit 5.
/CTS	I	5	Clear to Send (Löschen, um zu senden). Muß niedrig sein für Senderbetrieb.
/DSR	I	6	Data Set Ready (Betriebsbereitschaft). Allgemeineingabe. Komplement ist Statusregisterbit 7.
/DTR	O	20	Data Terminal Ready (Terminal Bereit). Die Allgemeinausgabe ist das Komplement zu Befehlsregisterbit 1.
/DCD	I	8	Data Carrier Detect (Datenträgerüberwachung). Muß niedrig sein für Empfängerbetrieb. Änderung des DCD Zustands verursacht eine Unterbrechung. Das Komplement ist Statusregisterbit 6.

KAPITEL 6

DISKETTEN-STEUREINHEIT

Die Disketten-Steuereinheit (FDC) betreibt ein oder zwei Diskettenlaufwerke für doppelseitige 5 1/4-Zoll Disketten mit doppelter Aufzeichnungsdichte und 48 Spuren pro Zoll. (Für ausführlichere Information wird auf Tabelle 6-6 und Abbildung 6-1 verwiesen.) Die FDC führt 15 verschiedene Befehle aus, die von der Software durch Übertragen mehrerer Datenbytes eingeleitet werden. Einige Befehle generieren Resultate, die von der FDC durch Mehrbyte-Datenübertragungen zum Prozessor gesendet werden. Da die Befehlsausführung die Übertragung mehrerer Bytes in beiden Richtungen umfassen kann, läßt sie sich am besten in vier Phasen beschreiben. Die Befehlsfolge beginnt mit der Initialisierungsphase. Während der Initialisierung greift der 8086 auf E/A-Anschlüsse zu, um ein Laufwerk zu selektieren oder deselektieren, einen Laufwerkmotor ein- oder auszuschalten und andere Vorbereitungs-Befehlsfunktionen durchzuführen. Die Initialisierungsphase betrifft nur Hilfsstromkreise, nicht den uPD765 FDC Chip selbst.

Im nächsten Schritt, der Befehlsphase, selektiert der 8086 ein Laufwerk und einen Kopf (d.h., eine Seite) und sendet der FDC sämtliche zur Durchführung einer bestimmten Operation erforderliche Information. Auf die Befehlsphase folgt die Ausführungsphase, während welcher die FDC die angewiesene Funktion ausführt. Nach der Ausführungsphase und nach Durchführung der Funktion stellt die Resultatphase dem 8086 Hilfsstatusinformation und andere Betriebsbedingungsdaten zur Verfügung. Tabelle 6-1 listet die FDC E/A-Anschlußstellen und beschreibt deren Funktionen.

6.1 DISKETTENREGISTER

Der Software sind drei 8-bit Register in der FDC zugänglich. Vor Ausführung eines Befehls schreibt der Prozessor die Befehlsbytefolgen auf ein FDC Befehlsregister an E/A-Anschluß 1016H. Die Befehlsbytefolgen der einzelnen FDC Befehle sind unterschiedlich und können von ein bis neun Bytes lang sein. Nach Durchführung oder Abbruch eines Befehls liest der Prozessor Statusbytefolgen von einem FDC Operationsstatusregister, das sich ebenfalls an E/A-Anschluß 1016H befindet. Die meisten FDC Befehle senden sieben Resultatphasenbytes, die Information über die zuletzt durchgeführte Operation und den gegenwärtigen Status der FDC erteilen.

Das dritte FDC Register ist ein Steuereinheit-Statusregister mit acht Statuskennzeichen, von denen in dieser Implementierung nur fünf benutzt werden. Im Gegensatz zu dem FDC Operationsstatusregister, das nach Abschluß der meisten Diskoperationen gelesen werden muß, kann das FDC Steuereinheit-Statusregister jederzeit durch Lesen von E/A-Anschlußstelle 1014H geprüft

werden. Während das Operationsstatusregister hauptsächlich Information über die Plattenlaufwerke und die Auswirkung des letzten FDC Befehls auf dieselben erteilt, gibt das Steuereinheit-Statusregister vorwiegend Information über die FDC Schnittstellenschaltkreise.

Tabelle 6-1. Diskettensteuereinheit E/A-Anschlüsse

Anschluß	Beschreibung
1000H	Schreiben mit: D0 -- Auf Null gelöscht, um zu verhindern, daß der uPD765 FDC Chip ein End of Process (/EOP) (Prozeßende) Signal empfängt, wenn die 9517A-4 DMA Steuereinheit die Endzahl erreicht. Schreiben mit D0 auf eins gesetzt, um Empfang des /EOP freizugeben. D1 -- Auf eins gesetzt, um zu verhindern, daß der FDC Chip eine Kanal 2 DMA Anforderung (/DREQ2) generiert oder eine DMA Bestätigung (/DACK2) empfängt. Dies hält DMA Kanal 2 für ein anderes Gerät frei. Schreiben mit D1 auf Null gelöscht gibt Kanal 2 DMA Operation frei. D2 -- Auf eins gesetzt, um die "Türstörung" Unterbrechungsanforderung von Laufwerk 1 zu löschen. D3 -- Auf eins gesetzt, um die "Türstörung" Unterbrechungsanforderung von Laufwerk 2 zu löschen.
1004H	Lese- oder Schreibzugriff deselektiert Laufwerkeinheit 1 und löscht deren Laufwerkwahl-LED.
1006H	Lese- oder Schreibzugriff selektiert Laufwerkeinheit 1 und erleuchtet deren Laufwerkwahl-LED.
1008H	Lese- oder Schreibzugriff deselektiert Laufwerkeinheit 2 und löscht deren Laufwerkwahl-LED.
100AH	Lese- oder Schreibzugriff selektiert Laufwerkeinheit 2 und erleuchtet deren Laufwerkwahl-LED.
100CH	Lese- oder Schreibzugriff schaltet Motor in Laufwerkeinheit 1 ab.
100EH	Lese- oder Schreibzugriff schaltet Motor in Laufwerkeinheit 1 ein.
1010H	Lese- oder Schreibzugriff schaltet Motor in Laufwerkeinheit 2 ab.
1012H	Lese- oder Schreibzugriff schaltet Motor in Laufwerkeinheit 2 ein.
1014H	Lesen FDC Steuereinheit-Statusregister.

Tabelle 6-1. Diskettensteuereinheit E/A- Anschlüsse (Fortsetzung)

Anschluß	Beschreibung
1016H	Lesen FDC Operationsstatusregister. Schreiben FDC Befehlsregister.
1018H	Lese- oder Schreibzugriff hier oder an 101AH setzt den uPD765 FDC Chip zurück.
101CH	Lese- oder Schreibzugriff hier oder an 101EH erteilt Endzahl-Signal (TC) an uPD765 FDC Chip.
10FEH	Lesen Option ID. Sendet Bits 0-6 auf Null gelöscht (Systemboard-ID-Code); Bit 7 wird nur dann auf eins gesetzt, wenn die FDC eine anstehende Unterbrechungsanforderung hat.

Die FDC und der 8086 operieren asynchron; deshalb liest der Prozessor während der Befehls- und Resultatphase das FDC Hauptstatusregister vor Übertragen jedes Datenbytes auf das Befehlsregister bzw. vom Operationsstatusregister. Tabelle 6-2 zeigt die Hauptstatusregister-Bitzuordnungen an. Bits 0 und 1 sind nur gesetzt, während deren jeweilige Laufwerke eine Suchoperation durchführen. Die FDC setzt Bit 4 am Anfang der Befehlsphase bei Empfang des ersten Bytes einer Befehlsbytefolge und löscht Bit 4 am Ende der Resultatphase. Wenn dieses Bit Null ist, kann die FDC das erste Byte einer neuen Befehlsfolge annehmen.

Bits 6 und 7 sind die einzigen Hauptstatusregisterbits, die normalerweise von der Software geprüft werden. Bit 6 entscheidet die Übertragungsrichtung über den bidirektionalen Datenbus und wird gesetzt, wenn der 8086 das FDC Operationsstatusregister lesen oder Eingabedaten von der FDC übertragen kann. Ist Bit 6 gelöscht, wird angezeigt, daß der 8086 in das Befehlsregister schreiben und Ausgabedaten an die FDC übertragen kann. Bit 7 wird gesetzt, um anzuzeigen, daß die FDC zum Senden bzw. Empfang von Daten bereit ist.

Tabelle 6-2. Diskettensteuereinheit-Statusregister (Anschluß 1014H)

Bit	Bedeutung, wenn gesetzt
0	Laufwerkeinheit 1 belegt.
1	Laufwerkeinheit 2 belegt.
2-3	Nicht benutzt und immer Null.
4	FDC belegt.
5	Nicht benutzt und immer Null.
6	Richtung der Daten-E/A. Wenn gesetzt, kann der 8086 das FDC Datenregister lesen. Wenn gelöscht, nimmt die FDC Daten von dem 8086 an.
7	FDC bereit.

6.2 PROZESSOR- UND DISKETTENKOMMUNIKATION

Die Software benutzt Hauptstatusregisterbits 6 und 7 für eine Synchronisationsimpuls-Austauschprozedur, basiert auf "Bereit"- und "Richtungs"-Status. Bevor Daten an die FDC gesendet werden, liest ein Programm das Hauptstatusregister und wartet auf den Eingabe- plus Bereitstatus (Bit 6 = 0 und Bit 7 = 1), und vor Empfangen von Daten wartet es auf den Ausgabe- plus Bereitstatus (Bit 6 = 1 und Bit 7 = 1). Die FDC setzt Bit 7 für eine Dauer von zwischen 2 und 50 Mikrosekunden auf Null, während sie die Bytes einer Befehlsbytefolge annimmt und einen Befehl aufstellt. Hat die FDC ein Byte Daten, das von dem Prozessor gelesen werden soll, setzt sie Bit 6 auf eins.

Während der Befehls- und Resultatphase muß das Programm das Hauptstatusregister prüfen, ehe es jedes der maximal neun Bytes in einer der beiden Richtungen überträgt; doch während der Ausführungsphase braucht das Programm das Hauptstatusregister nicht zu lesen. Beim Ausführen eines Befehls generiert die FDC jedesmal, wenn sie ein Byte Daten braucht oder verfügbar hat, eine Kanal 2 DMA Anforderung (/DREQ2). Die DMA Steuereinheit antwortet mit einer DMA Bestätigung (/DACK) und, je nach Richtung der Übertragung, Lese- oder Schreibsignalen. Wenn die DMA Steuereinheit anzeigt, daß die Endzahl erreicht wurde (oder die Software auf E/A-Anschlüsse 101C-EH zugreift, um die Endzahl zu erwirken), signalisiert eine Ebene 2 Unterbrechungsanforderung das Ende der Ausführungsphase und den Anfang der Resultatphase. Lesen des ersten Datenbytes der Resultatphase setzt die FDC Unterbrechungsanforderung automatisch zurück.

Die meisten FDC Befehle senden während der Resultatphase sieben Bytes Daten zurück: drei Bytes Hilfsstatusinformation und vier Bytes Diskadressdaten. Die Datenmenge ist je nach Befehl unterschiedlich, doch muß das Programm alle von einem FDC Befehl generierte Daten lesen, ehe es einen neuen Befehl erteilen kann. Ein FDC Befehl ist erst beendet, wenn der 8086 alle während der Resultatphase verfügbar gemachten Daten gelesen hat.

6.3 BEFEHLS- UND RESULTATFORMATE

Die fünfzehn FDC Operationen bestehen aus drei Befehlsgruppen mit verschiedenen Befehls- und Resultatformaten. (Abschnitt 6.8 enthält eine Zusammenfassung der FDC Befehle.) Neun Lese-, Schreib- und Abtastoperationen bilden eine Gruppe, die eine 9-Byte-Standardbefehlsfolge und ein 7-Byte-Standardresultatformat benutzt. Eine spezialisierte Diskformatierungsoperation hat eine einmalige Befehlsfolge, benutzt aber das Standard-Resultatformat. Die übrigen sechs Spezialbefehle haben ihre eigenen eindeutigen Befehlsfolgen und ihre eigenen eindeutigen Resultatformate.

Die 9-Byte-Standardbefehlsfolge beginnt mit einem die durchzuführende Operation (Bits D0-4) und das Aufzeichnungsformat (D6) bestimmenden Befehlscode-Byte. Für gewisse Operationen, die das Standardbefehlsformat benutzen, zeigen Bits D5 und D7 des Befehlscode-Bytes an, ob der Befehl eine "Überspringangabe" erlaubt und ob er auf beide Spuren in einem Zylinder zugreift. Jede dieser beiden Optionen ist in einem besonderen Abschnitt dieses Kapitels beschrieben.

Disketten-Steuereinheit

Das zweite Byte einer 9-Byte-Standardbefehlsfolge enthält einen Wert von 0 zum Zugriff auf Seite 0 der Disk bzw. einen Wert von 4 zum Zugriff auf Seite 1. Bytes drei, vier und fünf einer 9-Byte-Standardbefehlsfolge bezeichnen eine Diskadresse, d. h., sie geben die Spurnummer, Seite und Sektornummer an. Der "Seite"-Wert im vierten Byte sollte 0 zum Zugriff auf Seite 0 bzw. 1 zum Zugriff auf Seite 1 sein und muß mit dem im zweiten Befehlsbyte angegebenen Wert (0 oder 4) übereinstimmen.

Der Inhalt der restlichen vier Bytes hängt von der Sektorgröße ab. Bytes sechs bis neun der Standardbefehlsfolge sollten der Reihe nach folgende Dezimalwerte enthalten:

- 1, 16, 50, 0 (für 16 Sektoren/Spur und 256 Bytes/Sektor)
- 2, 8, 80, 0 (für 8 Sektoren/Spur und 512 Bytes/Sektor)
- 3, 4, 120, 0 (für 4 Sektoren/Spur und 1024 Bytes/Sektor)

Alle Befehle senden sieben Bytes Resultatphaseninformation, mit Ausnahme der folgenden: RECALIBRATE (Nachsynchronisieren), SENSE INTERRUPT STATUS (Unterbrechungsstatus Ablesen), SPECIFY (Definieren), SENSE DRIVE STATUS (Laufwerkstatus Ablesen) und SEEK (Suchen). Die ersten drei Bytes in der Standardresultatfolge sind Statusbytes 0, 1 und 2 (siehe Tabelle 6-3, 6-4 und 6-5). Die restlichen vier Bytes bestehen aus von der Befehlsphaseneingabe herstammenden Hardware-Diagnosedaten. Obwohl diese Information von einem Programm gelesen und angenommen werden muß, um einen Diskettenbefehl zu beenden, ist sie von beschränktem Wert und wird hier nicht beschrieben.

Tabelle 6-3. Diskettensteuereinheit-Statusbyte 0 (Anschluß 1016H)

Bit	Bedeutung, wenn gesetzt
0-3	Nicht benutzt und kann willkürlich sein.
4	Geräteprüfung. Zeigt auf den RECALIBRATE Befehl hin an, daß 77 Schritimpulse von der FDC ausgegeben wurden, ohne Spur 0 zu erreichen. Die Disk hat 80 Spuren; deshalb ist ein zweiter RECALIBRATE Befehl erfolgreich.
5	SEEK (Suchen) Ende. Gesetzt nach erfolgreicher Beendigung des SEEK Befehls.
6-7	Beendigungskennzeichen: 00 - Normale Beendigung am Anfang der Resultatphase. 01 - Programmabbruch während der Befehlsausführung. 10 - Der letzte Befehl war ungültig. 11 - Nicht benutzt und kommt nie vor.

Tabelle 6-4. Diskettensteuereinheit-Statusbyte 1 (Anschluß 1016H)

Bit	Bedeutung, wenn gesetzt
0	Fehlende Adreßmarke. Gesetzt bei Nichtfinden der ID Adreßmarke, Datenadreßmarke oder Gelöschte-Daten-Adreßmarke. (Wenn nach Finden der ID Adreßmarke gesetzt, ist das Fehlende-Adreßmarke-im-Datenfeld-Kennzeichen, Bit 0 von Statusbyte 2, ebenfalls gesetzt.)
1	Nicht Einschreibbar. Gesetzt, wenn die FDC versucht, Diskdaten zu schreiben, während das Schreibschutz-Signal (/WPROT) vom Laufwerk aktiv ist.
2	Keine Daten. Während des READ DATA (Daten Lesen), WRITE DELETED DATA (Gelöschte Daten Schreiben) Befehls oder eines der Abtastbefehle bedeutet dies, daß die FDC den bezeichneten Sektor nicht finden kann. Während des READ ID (ID Lesen) Befehls bedeutet dies, daß die FDC das Vorsatz-ID-Feld nicht lesen kann. Während des READ TRACK (Spur Lesen) Befehls bedeutet dies, daß die FDC den Startsektor nicht finden kann.
3	Nicht benutzt und immer Null.
4	Überlauf. Der Prozessor hat innerhalb des zulässigen Zeitraums Daten nicht bereitgestellt oder angenommen.
5	Datenfehler. Zeigt Vorhandensein eines CRC Fehlers im Vorsatz-ID-Feld bzw. im Datenfeld an. Befindet sich der Fehler im Datenfeld, ist das Datenfehler-im-Datenfeld-Kennzeichen (Bit 5 von Statusbyte 2) ebenfalls gesetzt.
6	Nicht benutzt und immer Null.
7	Zylinderende. Konnte die bezeichnete Sektornummer auf der laufenden Spur nicht finden.

Tabelle 6-5. Diskettensteuereinheit-Statusbyte 2 (Anschluß 1016H)

Bit	Bedeutung, wenn gesetzt
0	Fehlende Adreßmarke im Datenfeld. Beim Lesen von Daten hat die FDC keine Datenadreßmarke bzw. keine Gelöschte-Daten-Adreßmarke gefunden.
1	Beschädigter Zylinder. Gesetzt, wenn die aus einem Vorsatzfeld gelesene Spurnummer FFH ist und die Befehlsbytes eine andere Spurnummer bezeichnen.
2	Abtastung Unbefriedigend. Gesetzt, wenn einer der Abtastbefehle keinen Sektor finden kann, der die bezeichnete Abtastbedingung erfüllt.
3	Abtastung Gleich Erfolgreich. Gesetzt, wenn einer der drei Abtastbefehle einen Sektor findet, dessen Daten mit den von dem Prozessor gestellten Prototypdaten übereinstimmen.
4	Falscher Zylinder. Gesetzt, wenn sich die aus einem Vorsatzfeld gelesene Spurnummer von der in den Befehlsbytes bezeichneten Spurnummer unterscheidet.
5	Datenfehler im Datenfeld. Gesetzt durch einen CRC Fehler in dem 256-Byte-Datenfeld.
6	Kontrollmarke. Gesetzt, wenn während des Daten-Lesen-Befehls oder eines der Abtastbefehle ein Sektor entdeckt wird, der eine Gelöschte-Daten-Adreßmarke enthält.
7	Nicht benutzt und immer Null.

6.4 LESE- UND SCHREIBZUGRIFF

Zum Lesen oder Schreiben von Diskdaten wählt die Software zuerst die entsprechende Diskeinheit und den Kopf und führt dann, falls notwendig, einen SEEK(Such)-Befehl aus, um den Kopf auf die richtige Spur einzustellen. Wird die erste Spur für einen Lese- oder Schreibzugriff gefunden, erteilt die Software einen Lese- oder Schreibbefehl und leitet die Übertragung ein. Auf die Befehlsphase folgt automatisch die Ausführungsphase, wenn die FDC eine gültige Befehlsfolge empfängt. Bei Ausführung eines Lese- oder Schreibbefehls werden Daten von der FDC über DMA Kanal 2 auf eine bzw. von einer Disk übertragen. Ein Diskettenbefehl enthält keine genaue Angabe der zu übertragenden Datenmenge. Zur Beendigung einer Datenübertragung benutzt die Software stattdessen eines der folgenden vier Mechanismen:

- End-of-Operation (Ende der Operation) (/EOP). Signal von der DMA Steuereinheit, das anzeigt, daß die richtige Anzahl von Bytes übertragen wurde.

- Terminal Count (Endzahl) (/T/C). Wird generiert, wenn ein Programm einen der E/A-Anschlüsse 101C-EH liest oder beschreibt; beendet die Operation sofort. /T/C bietet die einfachste Beendigungsweise einer Operation und die einzige Möglichkeit, eine Operation in der Mitte eines Sektors zu beenden.
- Der Indeximpuls, der das Ende der laufenden Spur anzeigt. Ein unerwarteter Indeximpuls verursacht einen Programmabbruch.
- Lesen des Sektors, der im siebten Byte der Standardbefehlsfolge als letzter Sektor bezeichnet ist (Sektor 16, 8 oder 4, bei Sektorgrößen von 256, 512 bzw. 1024 Bytes). Lesen eines höhernumerierten Sektors hat denselben Effekt. Dieser Befehlsbeendigungsmechanismus verursacht ebenfalls einen Programmabbruch und setzt das Zylinderende-Kennzeichen (Bit 7 von Statusbyte 1).

Zwei dieser Befehlsbeendigungsmechanismen verursachen eine normale Beendigung, während zwei einen Programmabbruch hervorrufen. Die Programmabbruchmechanismen senden einen Fehlercode zurück, um anzuzeigen, daß der letzte Sektor oder das Spurende unerwartet erreicht wurden.

6.5 DISKETTEN-STEUREINHEITSUNTERBRECHUNGEN

FDC Ebene 2 Unterbrechungsanforderungen treten bei allen FDC Befehlen am Anfang der Resultatphase auf, mit Ausnahme von SEEK und RECALIBRATE (die keine Resultatphase haben), SENSE INTERRUPT STATUS, SENSE DRIVE STATUS, SPECIFY sowie einem ungültigen Befehl. Lesen des ersten Datenbytes der Resultatphase löscht die FDC Stufe 2 Unterbrechungsanforderung automatisch. Im Falle eines SEEK oder RECALIBRATE Befehls, der theoretisch mit einem anderen Befehl überlappen kann, findet die Unterbrechung nach vollendeter Befehlsausführung statt. Jeder SEEK oder RECALIBRATE Operation muß ein SENSE INTERRUPT STATUS Befehl folgen. Nach einem SEEK meldet der SENSE INTERRUPT STATUS die aktuelle Spur, auf der die Köpfe positioniert sind.

Die FDC generiert außerdem eine Ebene 2 Unterbrechungsanforderung, wenn eine der Laufwerkturen geöffnet wird. Sogenannte "Türstörungs"-Unterbrechungen können durch Prüfen von Bits 3, 4 und 5 der Systemstatusanschlußstelle 10E0H von der die Ausführungsphase beendenden FDC Unterbrechungsanforderung unterschieden werden. Bit 3 dieser Anschlußstelle ist nur während der die Ausführungsphase eines FDC Befehls beendenden Unterbrechungsanforderung auf eins gesetzt. Bit 4 ist nur dann auf eins gesetzt, wenn Laufwerk 1 eine Türstörungs-Unterbrechungsanforderung generiert, und Bit 5 ist nur bei einer Türstörung an Laufwerk 2 gesetzt. Durch Setzen von Bits 2 und 3 an Schreibausgabe-Anschluß 1000H wird die Türstörungs-Unterbrechungsanforderung von Diskettenlaufwerk 1 bzw. 2 gelöscht. Beide Arten von Diskettenunterbrechungen setzen außerdem Bit 6 der Statusunterbrechungs-Anschlußstelle 1022H, und dieses Bit kann geprüft werden, um Diskettenunterbrechungsanforderungen von anderen Ebene 2 Unterbrechungsanforderungen zu unterscheiden.

6.6 MEHRSPURBEFEHLE

Ein Disk-Lese-/Schreibkopf kann nur durch einen SEEK oder RECALIBRATE Befehl von einer Spur auf eine andere versetzt werden. Folglich operieren FDC Lese- oder Schreibbefehle innerhalb einer bestimmten Spur gewöhnlich auf einer byte- oder sektorweisen Basis. Befehlsphasendaten spezifizieren einen Startsektor innerhalb der Spur, auf welcher der Kopf positioniert ist. Das erste Byte dieses Sektors ist das erste geschriebene oder gelesene Byte. Aufeinanderfolgende Bytes werden übertragen, indem von einem Sektor zum Anfang des nächsten Sektors gegangen wird, bis eine der vier zuvor beschriebenen Bedingungen den Befehl beendet.

Bestimmte Lese- und Schreibbefehle können entweder spurweise oder zylinderweise operieren, wenn ein Zylinder aus zwei korrespondierenden Spuren mit identischen Spurnummern auf beiden Seiten einer Disk besteht. Befehle, die Mehrspuroperation erlauben, sind READ DATA (Daten Lesen), READ DELETED DATA (Gelöschte Daten Lesen), WRITE DATA (Daten Schreiben), WRITE DELETED DATA (Gelöschte Daten Schreiben) und alle drei SCAN(Abtast)-Befehle.

Mehrspuroperation wird angefordert, indem das höchstwertige Bit 7 des Befehlscode gesetzt wird (d. h., dem Wert des ersten Befehlsbytes wird A0H hinzugefügt). Die Übertragung wird dann nicht am Ende der laufenden Spur beendet, sondern am Anfang des ersten Sektors auf der anderen Seite der Disk fortgesetzt und am Ende des Zylinders beendet. Die zwei Spuren in einem Zylinder können in beliebiger Reihenfolge gelesen oder geschrieben werden. Genau wie bei Einspuroperationen wird eine Mehrspurübertragung durch /EOP und /T/C sofort beendet.

6.7 ÜBERSPRINGANGABE

Der uPD765 Chip unterstützt zwei Sektorenarten, die sich durch zwei verschiedene Adreßmarken unterscheiden. Normale Sektoren haben normale Adreßmarken, während "Gelöschte-Daten"-Sektoren eindeutige "Gelöschte-Daten"-Adreßmarken besitzen. Wenn ein Befehl, der normale Daten erwartet, auf gelöschte Daten stößt, bricht er ab. Dies geschieht auch, wenn ein Befehl, der gelöschte Daten erwartet, auf normale Daten stößt. Die Überspringangabe ändert die Befehlsausführung, so daß die von dem Befehl nicht erwartete Sektorart ignoriert wird. Befehle, bei denen die Überspringangabe erlaubt ist, sind: READ DATA (Daten Lesen), READ DELETED DATA (Gelöschte Daten Lesen), WRITE DATA (Daten Schreiben), WRITE DELETED DATA (Gelöschte Daten Schreiben), READ TRACK (Spur Lesen) und alle drei SCAN(Abtast)-Befehle.

Die Überspringangabe wird durch Setzen von Bit 5 des ersten Befehlsbytes angefordert (d. h., dem Befehlscode wird 40H hinzugefügt). Wenn dann der Befehl einem Sektor begegnet, der die falsche Art Daten enthält, sendet er keinen Fehlercode, sondern überspringt diesen Sektor und fährt am Anfang des nächsten Sektors mit der normalen Ausführung fort.

6.8 DISKETTEN-STEUERBEFEHLSÜBERSICHT

Die Diskettensteuercodes und die von ihnen durchgeführten Operationen werden nachstehend beschrieben.

42H -- READ TRACK (Spur Lesen)

Benutzt 9-Byte-Standardbefehlsformat. Führt dieselbe Funktion aus wie READ DATA, bricht aber selbst im Falle eines Fehlers nicht ab, bis das Ende der Spur (oder des Zylinders) erreicht wird. Im Gegensatz zu READ DATA sendet READ TRACK den gesamten Spurinhalte, einschließlich Zwischenraumbytes, Adreßmarken und anderen auf der Disk gespeicherten Formatierungsinformationen sowie Daten vom Datenfeld zurück. Hilft bei der Wiederherstellung von Daten, wenn ein CRC Fehler oder eine andere Bedingung normalen READ DATA Zugriff verhindert.

Benutzt 7-Byte-Standardresultatformat. Setzt das No Data (Keine Daten) Kennzeichen (Bit 2 von Statusbyte 1) und bricht ab, wenn der bezeichnete Startsektor nicht gefunden wird. Zeigt CRC Fehler im Vorsatz- oder Datenfeld durch Setzen von Bit 5 des Statusbytes 1 an, fährt aber mit der normalen Ausführung fort und meldet diese Fehler erst in der Resultatphase. Setzt das Missing Address (Fehlende Adresse) Kennzeichen (Bit 0 von Statusbyte 1) und bricht ab, wenn sich auf der Spur keine Adreßmarke befindet.

03H -- SPECIFY (Definieren)

Das erste Befehlsbyte enthält nur den Befehlscode, 3. Das zweite Befehlsbyte gibt die Kopfladezeit in Bits 0-3 und die Schrittfrequenz in Bits 4-7 an. Die Kopfladezeit muß nichtnull sein und bewegt sich in einem Bereich von 32 bis 480 Millisekunden in Inkrementen von 32 Millisekunden (1=32 Millisekunden, 2=64 Millisekunden, ..., F=480 Millisekunden). Die Schrittfrequenz ist der Zeitabstand zwischen fortlaufenden Schritimpulsen. Sie bewegt sich in einem Bereich von 32 bis 2 Millisekunden in 2-Millisekunden-Dekrementen und wird wie folgt codiert: 0=32 Millisekunden, 1=30 Millisekunden, Millisekunden 2=28, ..., F=2 Millisekunden. Im dritten und letzten Befehlsbyte ist Bit 0 gelöscht, und die Kopfladezeit wird in Bits 1-7 angegeben. Die Kopfladezeit darf nicht Null sein und bewegt sich in einem Bereich von 4 bis 508 Millisekunden in 4-Millisekunden-Inkrementen. Der empfohlene Wert für das zweite Befehlsbyte ist DFH, während der empfohlene Wert für das dritte Befehlsbyte 08 ist. Der SPECIFY Befehl sendet während der Resultatphase keine Daten zurück.

04 -- SENSE DRIVE STATUS (Laufwerkstatus Ablesen)

Das erste Befehlsbyte enthält nur den Befehlscode, 4. Das zweite (und letzte) Befehlsbyte ist willkürlich und kann der Kopfwahlwert (0 oder 4) sein, der bei anderen Befehlen als zweites Befehlsbyte benutzt wird. Die Resultatphase sendet ein Byte wie folgt formatiert zurück:

<u>Bit</u>	<u>Bedeutung, wenn gesetzt</u>
0-3	Nicht benutzt und kann willkürlich sein.
4	Spur 0 Kennzeichen. Gesetzt, wenn die Köpfe im gewählten Laufwerk auf Spur 0 eingestellt sind.
5	Nicht benutzt und immer auf eins gesetzt.
6	Schreibschutz-Kennzeichen. Gesetzt, wenn das Schreibschutz-Signal (/WPROT) des gewählten Laufwerks aktiv ist.
7	Nicht benutzt und immer Null.

45H -- WRITE DATA (Daten Schreiben)

Benutzt 9-Byte-Standardbefehlsformat. Liest die Disk-ID-Felder, um den im fünften Befehlsbyte bezeichneten Startsektor zu finden, nimmt dann Daten von DMA Kanal 2 an und schreibt sie auf die Disk. Geht vom Ende eines Sektors zum Anfang des nächsten Sektors. Endet am Spur- oder Zylinderende nach Empfang eines DMA End-of-Process (/EOP) (Prozeßende) Signals bzw. wenn die Software auf E/A-Anschluß 101C-EH zugreift, um die Endzahl zu erwirken. Füllt unspezifizierte Bytes am Ende des letzten Sektors mit Nullen auf, falls /EOP oder die Endzahl in der Mitte eines Sektors auftritt.

Benutzt 7-Byte-Standardresultatformat. Setzt bei Nichtfinden des Startsektors das No-Data-Kennzeichen (Bit 2 von Statusbyte 1). Setzt das Data Error-(Datenfehler)-Kennzeichen (Bit 5 von Statusbyte 1) bei einem Vorsatzfeld-CRC-Fehlerauftritt. Setzt das Data-Error- und Data-Error-in-Data-Field-Kennzeichen (Bit 5 von Statusbyte 2) bei einem Datenfeld-CRC-Fehlerauftritt. Bei jedem dieser Fehler wird der Befehl abgebrochen.

46H -- READ DATA (Daten Lesen)

Benutzt 9-Byte-Standardbefehlsformat. Liest die ID-Felder, um den im fünften Befehlsbyte bezeichneten Startsektor zu finden, liest dann die Daten von der Disk und überträgt sie über DMA Kanal 2. Geht vom Ende eines Sektors zum Anfang des nächsten Sektors. Endet am Spur- oder Zylinderende nach Empfang eines DMA End-of-Process (/EOP) Signals bzw. wenn die Software auf E/A-Anschluß 101C-EH zugreift, um die Endzahl zu erwirken.

Benutzt 7-Byte-Standardresultatformat. Setzt bei Nichtfinden des Startsektors das No-Data-Kennzeichen (Bit 2 von Statusbyte 1). Setzt das Data-Error-Kennzeichen (Bit 5 von Statusbyte 1) bei einem Vorsatzlesefehler und setzt außerdem das Data-Error-in-Data-Field Kennzeichen (Bit 5 von Statusbyte 2) im Falle eines Vorsatz-CRC-Fehlers. Bei jedem dieser Fehler wird der Befehl abgebrochen.

Nach Lesen einer "Gelöschte Daten" Adreßmarke, mit dem Überspring-Kennzeichen (Bit 5 des ersten Befehlsbytes) auf Null, setzt der Befehl das Kontrollmarke-Kennzeichen (Bit 6 von Statusbyte 2) und endet normal nach Lesen des Sektors. War das Überspring-Kennzeichen gesetzt, überspringt der Befehl den "Gelöschte Daten" Sektor und liest stattdessen den nächsten Sektor.

- 07 -- RECALIBRATE (Nachsynchronisieren)
Das erste Befehlsbyte enthält nur den Befehlscode, 7. Das zweite (und letzte) Befehlsbyte enthält Null. Bewegt die Köpfe am gewählten Laufwerk nach außen, bis Spur 0 erreicht wird, und endet mit den Köpfen auf Spur 0. Der RECALIBRATE Befehl hat keine Resultatphase; stattdessen generiert er nach Beendigung eine Ebene 2 Unterbrechungsanforderung, und die Software führt dann einen SENSE INTERRUPT STATUS Befehl aus, um den RECALIBRATE Status zurückzubringen. Die Disk hat 80 Spuren, doch erwartet der uPD765 FDC Chip nur 77 Spuren; folglich müssen zwei aufeinanderfolgende RECALIBRATE Befehle erteilt werden, um Spur 0 zu erreichen. Ein von dem ersten RECALIBRATE Befehl zurückgesendeter Fehler kann ignoriert werden.
- 08 -- SENSE INTERRUPT STATUS (Unterbrechungsstatus Ablesen)
Benutzt ein besonderes 1-Byte-Befehlsformat, das nur aus dem Befehlscode, 8, besteht. Sendet während der Resultatphase zwei Bytes zurück: Statusbyte 0, gefolgt von der Position (laufende Spurnummer) des Lese-/Schreibkopfes für die gewählte Laufwerkeinheit.
- 49H -- WRITE DELETED DATA (Gelöschte Daten Schreiben)
Identisch mit dem WRITE DATA Befehl, außer daß die normale Adreßmarke am Anfang jedes Datenfeldes durch eine besondere "Gelöschte Daten" Adreßmarke ersetzt wird.
- 4AH -- READ ID FIELD (ID-Feld Lesen)
Benutzt nur die ersten zwei Bytes des 9-Byte-Standardbefehlsformats. Sendet alle Daten von dem ersten auf der laufenden Spur gefundenen ID-Feld unter Benutzung des 7-Byte-Standardresultatformats. Setzt das Missing-Address-Mark-Kennzeichen (Bit D0 in Statusbyte 1), falls sich auf der Spur keine Adreßmarke befindet. Setzt das No-Data-Kennzeichen (Bit D2 in Statusbyte 2), wenn keine Daten gefunden werden. Jede dieser Bedingungen bricht den Befehl ab.
- 4CH -- READ DELETED DATA (Gelöschte Daten Lesen)
Identisch mit dem READ DATA Befehl, außer daß der "normale" und der "Gelöschte Daten" Sektor die Rolle vertauschen. Wenn die FDC eine normale Datenadreßmarke findet, liest sie alle Daten im Sektor, setzt das Kontrollmarke-Kennzeichen (Bit 6 von Statusbyte 2) und bricht den Befehl ab. Falls jedoch das "Überspring"-Bit des ersten Befehlswortes (Bit 5) gesetzt ist und eine normale Datenadreßmarke gefunden wird, überspringt die FDC diesen Sektor und liest stattdessen den nächsten Sektor.
- 4DH -- FORMAT TRACK (Spur Formatieren)
Benutzt ein besonderes 6-Byte-Befehlsformat, in welchem das erste Befehlsbyte 4D enthält; das zweite Befehlsbyte enthält "0", um Seite 0 zu wählen bzw. "4", um Seite 1 zu wählen. Das dritte, vierte und fünfte Befehlsbyte enthält jeweils folgende Dezimalwerte:
- | | |
|-----------|---|
| 1, 16, 50 | (für 16 Sektoren/Spur und 256 Bytes/Sektor) |
| 2, 8, 80 | (für 8 Sektoren/Spur und 512 Bytes/Sektor) |
| 3, 4, 120 | (für 4 Sektoren/Spur und 1024 Bytes/Sektor) |
- Das sechste (und letzte) Befehlsbyte enthält den Anfangswert aller Datenfeldbytes. Formatiert eine ganze Spur durch Schreiben von Zwischenräumen, Adreßmarken, ID-Feldern und Datenfeldern in der gewählten Sektorgröße.

Während der Ausführungsphase liefert die Software vier Bytes Daten für das ID-Feld jedes Sektors: die Spurnummer im ersten Byte, die Seitennummer (0 oder 1) im zweiten Byte, die Sektornummer im dritten Byte sowie ein viertes Byte, das denselben Wert enthält wie das dritte Befehlsbyte (d. h., 1, 2 oder 3, je nach Sektorgröße).

Benutzt das 7-Byte Standardresultatsformat, doch sind die vier Bytes Diskadreßdaten bedeutungslos.

0FH -- SEEK (Suchen)

Benutzt ein besonderes 3-Byte-Befehlsformat, in dem das erste Befehlsbyte F enthält. Das zweite Befehlsbyte enthält "0", um Seite 0 zu wählen bzw. "4", um Seite 1 zu wählen. Das dritte Byte enthält die Zielspurnummer. Setzt die Übertragungsrichtung fest und gibt Schritimpulse in der von dem letzten SPECIFY Befehl festgesetzten Schrittfrequenz aus, bis der Kopf die neue Spurposition erreicht.

Der SEEK Befehl hat keine Resultatphase; stattdessen generiert er nach Beendigung eine Ebene 2 Unterbrechungsanforderung, und die Software führt dann einen SENSE INTERRUPT STATUS Befehl aus, der Statusbyte 0 sowie die laufende Spurposition sendet. Ein erfolgreiches SEEK setzt das Seek End (Suchen Ende) Kennzeichen (Bit D5 in Statusbyte 0).

51H -- SCAN EQUAL (Abtastung Gleich)

Benutzt 9-Byte-Standardbefehlsformat, außer daß das neunte Befehlsbyte "1" enthält, um jeden Sektor abzutasten oder "2", um jeden zweiten Sektor abzutasten. Greift auf die Disk zu, als ob er einen READ DATA Befehl durchführen würde und nimmt Bytes von DMA Kanal 2 an, als ob er einen WRITE DATA Befehl durchführen würde. Vergleicht jedes Byte von der Disk mit dem entsprechenden Byte von der DMA Steuereinheit. Setzt das Scan Hit (Abtastung Erfolgreich)-Kennzeichen (Bit D3 von Statusbyte 2) und endet normal, falls alle Bytepaare übereinstimmen und somit die Abtastbedingung erfüllt wurde. Wiederholt andernfalls die Abtastung am nächsten Sektor (bzw. übernächsten Sektor) in der Spur. Setzt das Scan Not Satisfied (Abtastung Unbefriedigend)-Kennzeichen (Bit D2 von Statusbyte 2) und endet normal, falls der letzte Sektor in der Spur abgetastet und die Abtastbedingung nicht erfüllt wurde. Benutzt 7-Byte-Standardresultatformat in beiden Fällen.

5BH -- SCAN LOW OR EQUAL (Abtastung Weniger oder Gleich)

Identisch mit SCAN EQUAL, außer daß die Abtastbedingung bei vorzeichenloser Einerkomplement-Arithmetik "weniger als oder gleich" ist.

5DH -- SCAN HIGH OR EQUAL (Abtastung Größer oder Gleich)

Identisch mit SCAN EQUAL, außer daß die Abtastbedingung bei vorzeichenloser Einerkomplement-Arithmetik "größer als oder gleich" ist.

6.9 DISKETTENAUFZEICHNUNGSFORMAT

Tabelle 6-6 und Abbildung 6-1 beschreiben bzw. illustrieren das Diskettenaufzeichnungsformat.

Tabelle 6-6. Diskettenaufzeichnungsformat

Feld Name	Größe (Bytes)	Daten Wert	Beschreibung
GAP 4A	80	4EH	Präambel. Markiert den Anfang der Spur und gewährt Tunnel-Lösch-Erholzeit.
SYNC	12	00	Synchronisationsfeld für Datentrennzeichen.
IAM	3	C2H	Indexadressmarke. Identifiziert den Anfang einer Spur. Hat fehlenden Taktübergang zwischen dem dritten und vierten Bit jedes Bytes; folglich ist der Taktwert 14.
	1	FCH	Unterscheidet die Indexadressmarke, der ein Byte folgt, das FCH enthält, von der ID-Adressmarke, der ein Byte folgt, das FEH enthält, sowie der Datenadressmarke, der ein Byte folgt, das FBH enthält.
GAP 1	50	4EH	Abstand vor dem ersten Sektor in der Spur.
SYNC	12	00	Synchronisationsfeld für das Datentrennzeichen. Anfang des Sektors. Die Felder ab SYNC bis einschließlich Gap 3 werden in jedem Sektor wiederholt.
IDAM	3	A1H	ID-Adressmarke. Identifiziert den Anfang des Sektor-ID-Feldes. Hat fehlenden Taktübergang zwischen dem vierten und fünften Bit jedes Bytes; folglich ist der Taktwert 0AH.
	1	FEH	Unterscheidet die ID-Adressmarke von der Index- und Datenadressmarke.
ID	4		ID-Feld enthält Zylinder- oder Spurnummer (0-79), Kopf oder Seite (0 oder 1), Sektornummer (1-16) sowie Sektorgrößencode (1, 2 oder 3 für 256, 512 bzw. 1024 Bytes). Jedes dieser Feldern ist ein Byte lang.
CRC	2		CRC Daten für die vorhergehenden acht Bytes.
GAP 2	22	4EH	Abstand zwischen ID und Datenfeldern.
SYNC	12	00	Synchronisationsfeld. Erlaubt unabhängige Synchronisierung der Daten jedes Sektors.

Tabelle 6-6. Diskettenaufzeichnungsformat (Fortsetzung)

Feld Name	Größe (Bytes)	Daten Wert	Beschreibung
DAM	3	A1H	Datenadreßmarke. Hat fehlenden Taktübergang zwischen dem vierten und fünften Bit jedes Bytes; folglich ist der Taktwert 0AH.
	1	FBH	Unterscheidet die Datenadreßmarke von der Index- und ID-Adreßmarke.
DATA			Beliebige Daten.
CRC	2		CRC Daten für Datenfeld und vier vorhergehende Bytes.
GAP 3	80	4EH	Letztes Feld im Sektor. Verschafft Abstand vor Anfang des folgenden Sektors und gewährt somit Tunnel-Lösch-Erhol- und Systemverarbeitungszeit.
GAP 4B		4EH	Postambel zwischen dem Ende des letzten Sektors und dem Ende der Spur. Ermöglicht Laufwerksmotor-Geschwindigkeitsänderung.

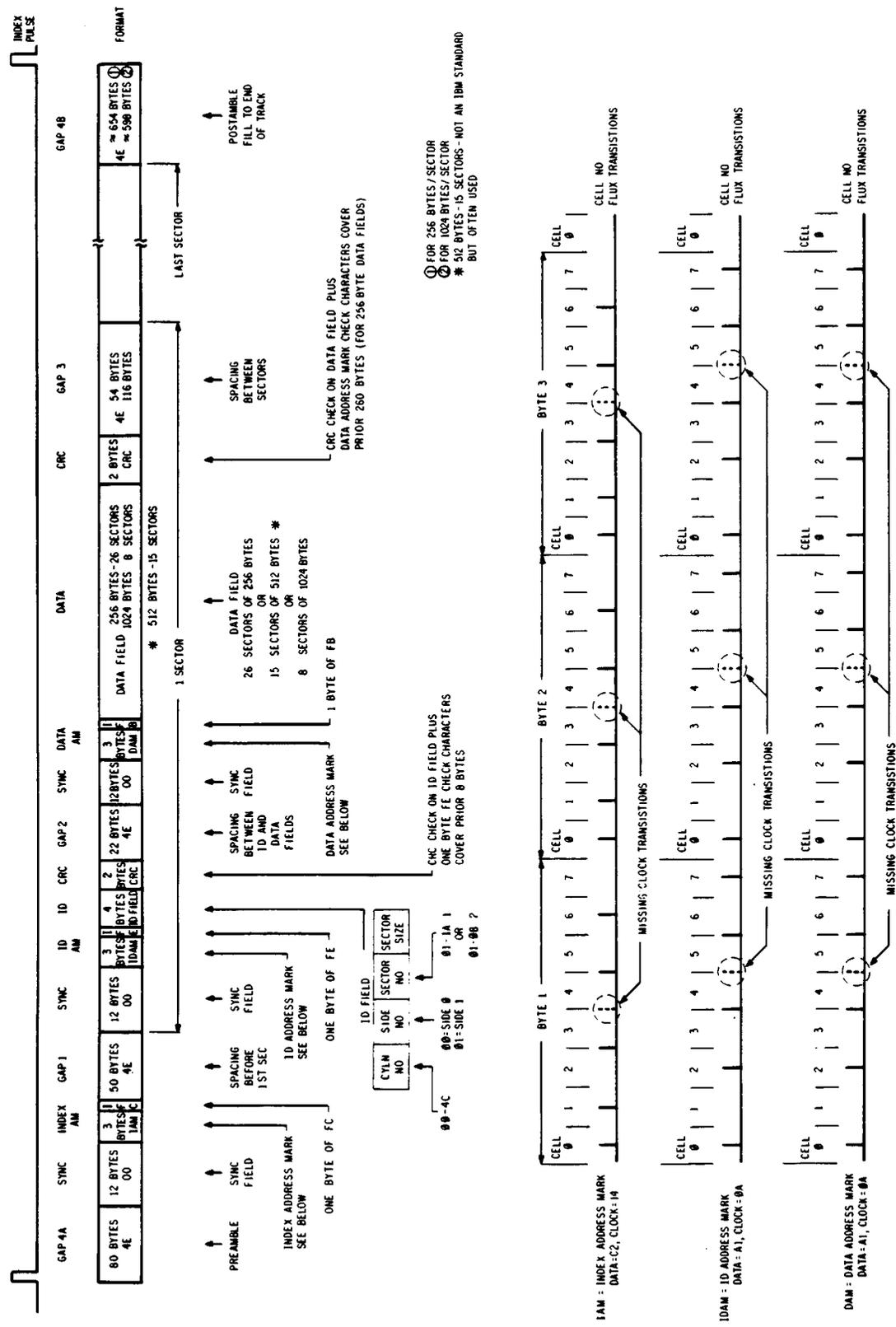


Abbildung 6-1. Diskettenaufzeichnungsformat (doppelte Aufzeichnungsdichte)

KAPITEL 7

VIDEO-STEUEREINHEIT MIT NIEDRIGEM AUFLÖSUNGSVERMÖGEN

Die Videosteuerunitsoption mit niedrigem Auflösungsvermögen enthält einen MC6845-1 Videozeitgeber- und Steuereinheit-Chip zur Ansteuerung eines konventionellen Monochromfernsehempfängers, eines Farbfernsehempfängers sowie eines Monochrom-Video-Monitors oder eines rot-grün-blauen (RGB) Farbmonitors. Abbildung 7-1 zeigt ein Blockdiagramm einer Videosteuerunit mit niedrigem Auflösungsvermögen. Der MC6845-1 Videosteuerunit-Chip ist das Kernstück der Videosteuerunit; zusätzliche Schaltkreise dienen der Videospeicherverwaltung und implementieren die Video-Ausgabe-Optionen.

Alle vier Ausgabe-Optionen mit niedrigem Auflösungsvermögen benutzen eine Horizontalfrequenz von 15,70 kHz und eine Vertikalfrequenz von 60 Hz und haben eine Bildschirmkapazität von 25 Textzeilen mit entweder 40 oder 80 Zeichen pro Zeile, je nachdem, ob ein Fernsehempfänger oder ein Video-Monitor benutzt wird (s. Tabelle 7-1). Ein Video-Monitor-Bildschirm kann 40 oder 80 Spalten Text anzeigen, während ein Fernsehempfänger nur ein 40-Spalten-Anzeigeformat benutzt.

Tabelle 7-1. Video-Ausgabe-Option für niedrige Auflösung

Ausgabegerät	Bildschirmgröße	Zeichengröße
Fernsehempfänger	320 x 225 Bildpunkte 40 x 25 Zeichen	8 x 9 Bildpunkte (4 Bits/Bildpunkt)
Video-Monitor	640 x 225 Bildpunkte 80 x 25 Zeichen	8 x 9 Bildpunkte (2 Bits/Bildpunkt)

7.1 VIDEO-SPEICHERORGANISATION

Video-Bildschirmeinheiten sind in 40 oder 80 Spalten eingeteilt. Eine Spalte ist ein acht Bildpunkte breiter vertikaler Streifen, der sich von oben nach unten über den Bildschirm erstreckt. Obwohl nicht erforderlich, paßt im allgemeinen ein Zeichen ohne weiteres in eine Spalte, und bestimmte Hardwarefähigkeiten, wie horizontales Scrolling (Bildschirmerweiterung), operieren spaltenweise. Ein Video-Monitor hat 80 Spalten, die je acht Bildpunkte breit sind, während ein Fernsehempfänger 40 Spalten hat, die ebenfalls je acht Bildpunkte breit sind. Folglich sind die Spalten auf einem Fernsehbildschirm doppelt so breit wie die Spalten auf einem Video-Monitor-Bildschirm gleicher Größe. Außerdem ist ein Bildpunkt auf einem Fernsehschirm doppelt so breit wie der Bildpunkt eines Video-Monitors; jedoch sind die Bildpunkte auf beiden Geräten in der Höhe gleich. Falls gewünscht, kann der Video-Monitor das 40-Spaltenformat des Fernsehempfängers benutzen.

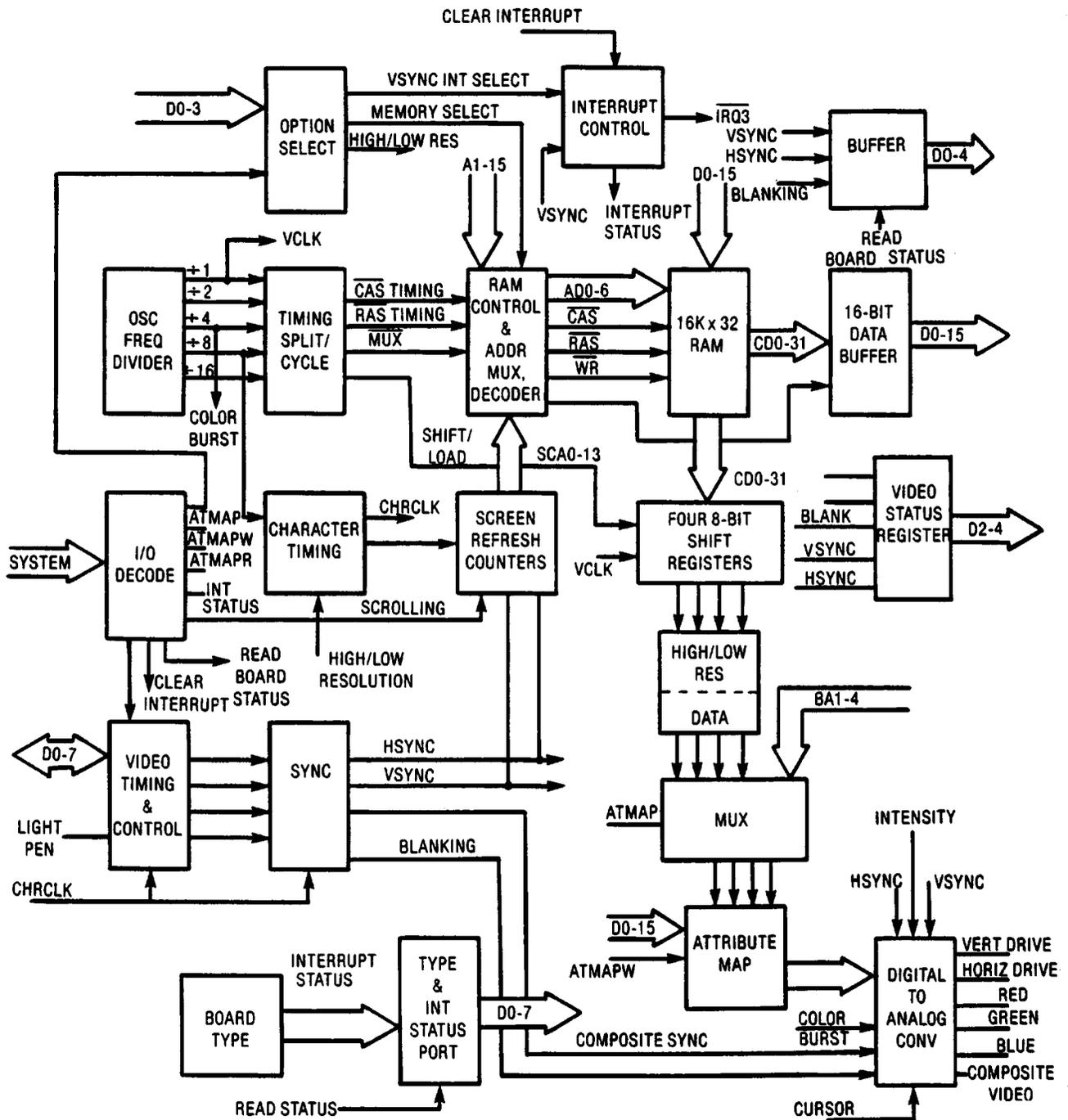


Abbildung 7-1. Video-Steuereinheit-Blockdiagramm (niedrige Auflösung)

Video-Steuereinheit mit niedrigem Auflösungsvermögen

Der 32K-Wort Videospeicherraum für niedrige Auflösung besteht aus zwei Bitmap-Speicherebenen, die eine 80-Spalten-Anzeige ansteuern, bzw. vier Speicherebenen, die halb so viele Bildpunkte erstellen und eine 40-Spalten-Anzeige ansteuern. Der Videospeicher muß wortadressiert sein; Byte-Adressen können nicht benutzt werden und nur geradzahlige Adressen sind zulässig. Direktspeicherzugriff bezieht sich nur auf Bytedaten und kann nicht zur Informationsübertragung vom und zum Videospeicher benutzt werden.

Wie in Abbildung 7-2 und 7-3 dargestellt, bezieht sich jede Byteadresse auf einen horizontalen Streifen von acht aufeinanderfolgenden Bildpunktstellen im Videospeicherraum. Abbildung 7-2 illustriert die Videospeicheradressierung für eine 80-Spalten-Anzeigeadresse. Bei einer 80-Spalten-Anzeige bestimmt das niederwertige Adreßbit eine der beiden Speicherebenen. Die nächsten sieben Bits wählen eine von 128 Spalten (von denen nur jeweils 80 angezeigt werden). Die acht höchstwertigen Bits wählen eine von 256 Abtastzeilen (von denen nur jeweils 225 angezeigt werden).

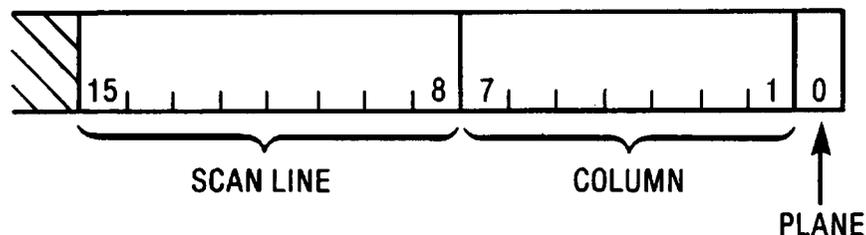


Abbildung 7-2. 80-Spalten-Anzeigeadresse

In Abbildung 7-3 wird die Videospeicheradressierung für eine 40-Spalten-Anzeige dargestellt. Bei der 40-Spalten-Anzeige belegt die doppelte Anzahl von Speicherebenen nur die Hälfte der Spalten. Da der Videospeicher wortadressiert ist, muß Zugriff auf beide 80-Spalten-Anzeige-Ebenen gleichzeitig erfolgen. Bei einer 40-Spalten-Anzeige wird auf Ebene 0 und 1 bzw. Ebene 2 und 3 gleichzeitig zugegriffen.

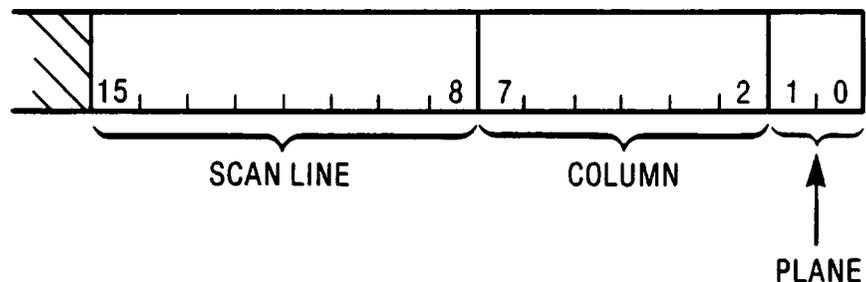


Abbildung 7-3. 40-Spalten-Anzeigeadresse

Alle acht aufeinanderfolgenden Bildpunkte in einem Videospeicher-Byte belegen dieselbe Zeichenspalte und dieselbe Abtastzeile auf einem Bildschirm. In gewisser Hinsicht ist jede Videospeicher-Byteadresse ein Zeichenspalte-Abtastzeile-Koordinatensatz. In einem Videospeicherwort sind die acht Bildpunkte für eine Speicherebene in dem niederwertigen Byte, während die acht Bildpunkte für eine andere Ebene im höchstwertigen Byte enthalten sind. Gleichzeitiger Zugriff auf beide Bytes dieses Wortes ist erforderlich.

Der Videospeicher hält 128 Spalten, die je 256 Abtastzeilen tief sind. Weil ein Bildschirm vertikal nur 225 Abtastzeilen und horizontal höchstens 80 Spalten faßt, können nur 18 000 Videospeicherwörter auf einmal auf den Bildschirm bezogen werden (im Falle einer 80-Spalten-Anzeige). Die restlichen 14,768 Wörter des 32K-Wort-Videospeichers beziehen sich auf keine sichtbare Stelle und werden nicht angezeigt.

In Abbildung 7-5 wird die Video-Speicherorganisation für eine 80-Spalten-Anzeige dargestellt. Die Vordergrundspeicherebene enthält 128 mal 256 Bytes an geradzahigen Adressen; die Hintergrundebene enthält Bytes an ungeraden Adressen. Die sichtbare Region mißt 80 mal 225 Bytes. Jedes Byte in einer geradzahigen Spalte kann auf die obere linke Ecke des Bildschirms bezogen werden. Wird eine Adresse größer als 1F60H auf die obere linke Ecke des Bildschirms bezogen, erfolgt ein Anzeige-Wraparound (siehe Abbildung).

7.2 HORIZONTALES UND VERTIKALES SCROLLING

Die Software identifiziert den sichtbaren Teil des Videospeichers durch Laden des Scroll-Registers mit den codierten Spalte- und Abtastzeile-Koordinaten des Bytes, das in der oberen linken Ecke des Bildschirms angezeigt werden soll. Dieses Byte enthält die acht Bildpunkte in Speicherebene 0, die an Spalte 0 der Abtastzeile 0 auf dem Bildschirm erscheinen sollen (siehe Abbildung 7-4). Wird der Wert des Scroll-Registers geändert, "rollt" das Anzeigefenster horizontal oder vertikal innerhalb des Videospeichers ab. Das Scroll-Register nimmt nur die sechs höchstwertigen Bits der 7-Bit-Spaltennummer an; folglich entspricht die obere linke Ecke der Anzeige immer einer durch vier teilbaren Videospeicheradresse. Dies bedeutet, daß geradzahlige Spalten im Videospeicher geradzahlige Spalten auf einem 80-Spalten-Bildschirm belegen müssen.

Die Videospeicheradressierung für das Scroll-Register ist in Abbildung 7-4 dargestellt. Das Scroll-Register identifiziert die oben an der Anzeige zu erscheinende Abtastzeile (EBH für Zeile 0, ECH für Zeile 1, usw.) sowie die am linken Rand der Anzeige zu erscheinende Spalte (0, 1, usw.). Eine 80-Zeichen-Anzeige muß mit einer geradzahigen Spalte beginnen; folglich werden nur die sechs höchstwertigen Bits einer 7-Bit-Spaltennummer gebraucht. Der Wert EBOOH beginnt die Anzeige an der niedrigsten Videospeicheradresse (Speicherspalte 0 der Speicherabtastzeile 0).

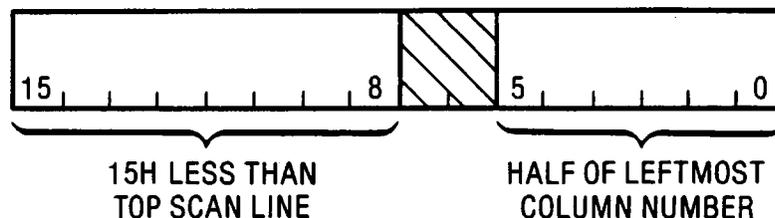


Abbildung 7-4. Scroll-Register

Der Scroll-Registerwert EBOOH positioniert das Anzeige-"Fenster" an der niedrigsten Videospeicheradresse, wie in Abbildung 7-5(a) dargestellt. Wird der Scroll-Registerinhalt um eins inkrementiert, rollt das Anzeige-Fenster zwei Zeichenspalten nach rechts ab (d. h., der angezeigte Text scheint sich zwei Zeichenspalten nach links zu verschieben). Bei einer 80-Spalten-Anzeige rollt das Fenster nach 24 solchen Inkrementen 48 Spalten nach rechts ab und befindet sich in der in Abbildung 7-5(b) angezeigten Position. Inkrementieren des Scroll-Registers über EB18H verschiebt das Anzeige-Fenster wieder um zwei Spalten nach rechts, doch erfolgt jetzt ein Wraparound im Videospeicher, so daß die außen rechts stehende Anzeigespalte Zeichen enthält, die ursprünglich am linken Rand der Anzeige waren.

Wird das Scroll-Register wieder auf EBOOH initialisiert, wie in Abbildung 7-5(a) dargestellt, und der Scroll-Registerinhalt um 100H erhöht, rollt das Anzeige-Fenster jetzt eine Abtastzeile nach unten (d. h., der angezeigte Text scheint sich um eine Abtastzeile nach oben zu verschieben). Nach neun solchen Erhöhungen enthält das Scroll-Register F400H und das Fenster ist über eine Zeichenreihe nach unten abgerollt. Der Videospeicher faßt 256 Abtastzeilen, von denen nur 225 auf dem Bildschirm erscheinen; folglich enthält das Scroll-Register 0A00H, nachdem dem ursprünglichen Scroll-Registerinhalt 100H insgesamt 3mal hinzugefügt wurde, und das Anzeigefenster ist in der in Abbildung 7-5(c) dargestellten Position. Inkrementieren des Scroll-Registers über 0A00H verschiebt das Anzeige-Fenster wieder nach unten, doch erfolgt jetzt ein Wraparound im Videospeicher, so daß die unterste Abtastzeile der Anzeige Bildpunkte enthält, die ursprünglich am obersten Rand der Anzeige waren.

Abbildung 7-5(d) kombiniert die beiden oben erwähnten Beispiele und zeigt den Effekt der Verschiebung des Anzeige-Fensters um 24 Zeichenspalten nach rechts und 31 Abtastzeilen nach unten. Dieses Diagramm entspricht einem Scroll-Registerwert von 0A18H. Abbildung 7-5(e) und 7-5(f) enthalten ein Beispiel eines an einer willkürlichen Videospeicherstelle positionierten Anzeige-Fensters mit genügend Pufferraum, um Daten horizontal oder vertikal anzufügen.

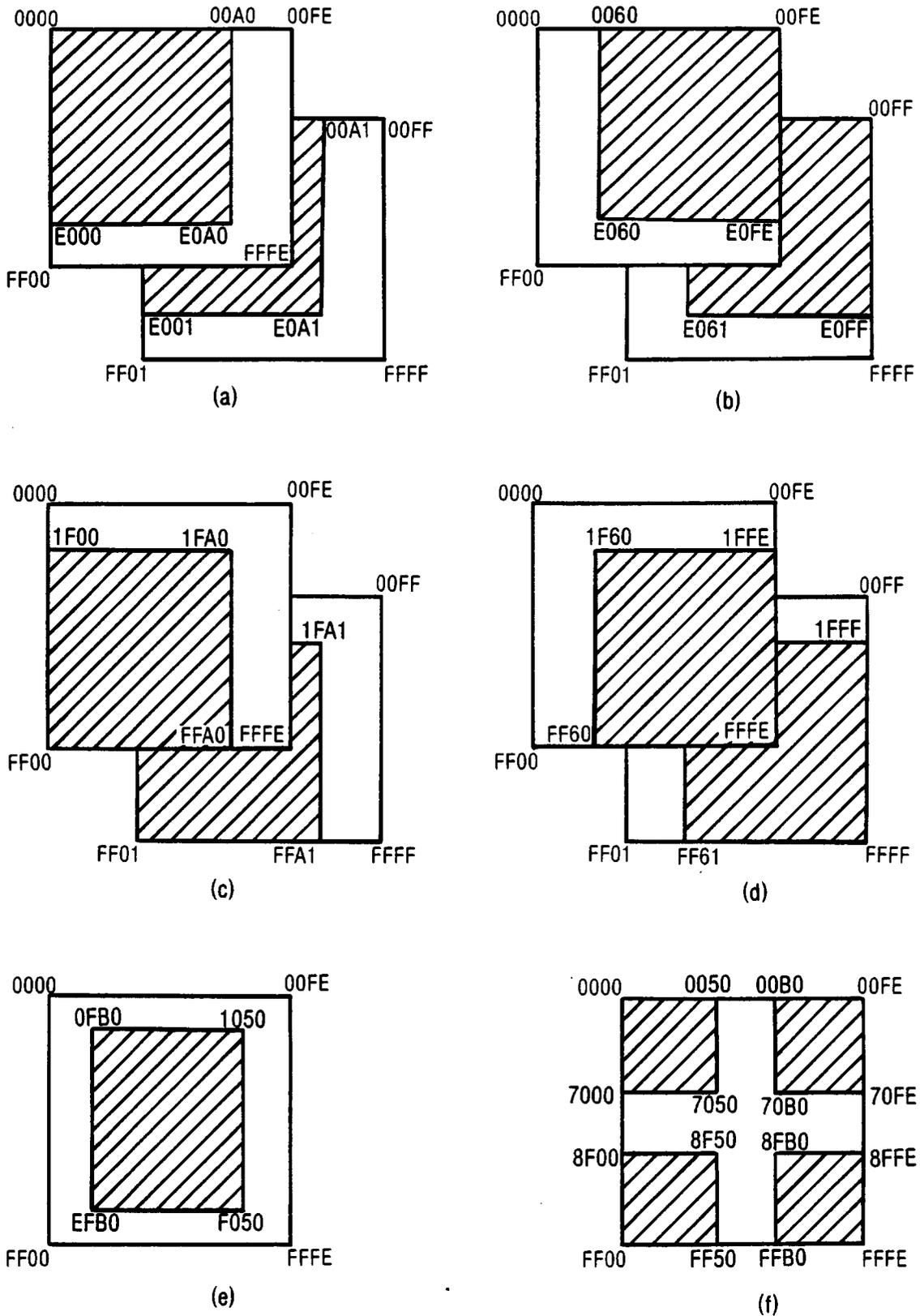


Abbildung 7-5. Video-Speicherorganisation für 80-Spalten-Anzeige

Video-Steuereinheit mit niedrigem Auflösungsvermögen

7.3 VIDEO-DARSTELLUNGSATTRIBUTE

Eine Nachschlagetabelle oder "Attribut-Verzeichnis" (attribute map) wandelt die zwei Bits eines 80-Spalten-Anzeigebildpunktes (bzw. die vier Bits eines 40-Spalten-Anzeigebildpunktes) in ein 4-Bit "Farb"-Attribut um. Um einen Bildpunkt auf dem Bildschirm einzuzeichnen, assembliert die Hardware zuerst die zwei bzw. vier Bildpunktbits, deren Wert (N) zwischen inklusive 0 und 15 liegt. Der Schaltkreis liest dann die N-Eintragung in der Nachschlagetabelle und benutzt sie als "Farb"-Attributwert.

Bit 3 des 4-Bit-Farbattributs einer Nachschlagetableneintragung ist gesetzt, wenn die blaue Farbkathode an ist; Bit 7 und 11 sind gesetzt, wenn die grüne bzw. rote Farbkathode an ist, und Bit 15 ist gesetzt, um bei allen drei Farbkathoden hohe Intensität (statt normaler Intensität) anzuzeigen. Die vier Farbcodebits implementieren eine Palette von 16 verschiedenen Farben:

0000 Schwarz	8000H Grau
0008 Blau	8008H Leuchtendes Blau
0080H Grün	8080H Leuchtendes Grün
0088H Zyanblau	8088H Leuchtendes Zyanblau
0800H Rot	8800H Leuchtendes Rot
0808H Magentarot	8808H Leuchtendes Magentarot
0880H Braun	8880H Gelb
0888H Weiß	8888H Leuchtendes Weiß

Bei einer 40-Spalten-Anzeige mit 4 Bits Nachschlagetableneingabe von vier Videospeicherebenen können alle 16 Farben gleichzeitig dargestellt werden. Bei einer 80-Spalten-Anzeige mit lediglich zwei Bits pro Bildpunkt können nur jeweils vier verschiedene Farben angezeigt werden.

Wird ein Monochrom-Fernsehempfänger oder -Monitor für 40-Spalten-Ausgabe benutzt, wählen die vier Bits einer Attribut-Verzeichnis-Eintragung einen von 16 Grautönen. Die 16 Grautöne umfassen das ganze Schwarz-Weiß-Spektrum von Tiefschwarz bis Tiefweiß, jedoch nicht in exakt aufsteigender Sequenz nach numerischem Wert. Bei einem 80-Spalten-Anzeigeformat stellt ein Schwarzweiß-Videomonitor vier der 16 im niedrigen Auflösungsformat verfügbaren Grautöne dar, jedoch mit der doppelten Anzahl von Bildpunkten in horizontaler Richtung.

Falls gewünscht, kann ein Schwarzweiß-Video-Monitor im Fernsehempfängermodus operieren und alle 16 Grautöne mit niedrigerer Auflösung generieren. Im Grunde ist der Programmdialog in jedem Fall derselbe: sechzehn Ausgabe-Anschlußstellen dienen der Eingabe von Nachschlagetablendaten und normale Speicherbezugsinstruktionen greifen auf Videospeicherwörter zu.

7.4 PROGRAMMIEREN DER VIDEO-STEUEREINHEIT

Die Software kommuniziert mit der Video-Steuereinheit mit niedrigem Auflösungsvermögen über die in Tabelle 7-2 beschriebenen E/A-Anschlußstellen. In dieser Tabelle sind alle Anschlußadressen als Offsets der Adresse des Fachs, in der das Board installiert ist, angegeben. Die Videosteuereinheit-E/A-Anschlüsse sind 8 Bits breit, mit Ausnahme des Scroll-Registers, das 16 Bits breit ist. Das niederwertige Adreßbit A0 ist nicht decodiert; folglich haben alle Videosteuereinheit-Anschlußstellen geradzahlige Adressen. Bit 0 der E/A-Anschlußstelle 1x10H ist ein Videospeicher-Freigabekennzeichen das zur Aktivierung des Videosteuereinheitsboards auf eins gesetzt sein muß. Dieses Bit erlaubt die Installierung mehrerer Videosteuereinheiten, von denen jedoch nur jeweils eine aktiv sein kann.

Tabelle 7-3 enthält weitere Einzelheiten über die durch Steuereinheitadreßregister- bzw. Datenregister-Anschlußstellen 1x00H und 1x02H zugänglichen internen Register des MC6845-Steuereinheit-Chips. Diese Tabelle enthält die erforderlichen Dezimalwerte für Daten, die in bestimmte Steuereinheit-Chip-Register geladen werden müssen. Falls nicht anders angezeigt, nehmen alle Steuereinheit-Chip-Register 8-Bit Daten an.

Tabelle 7-2. Video-Steuereinheit E/A-Anschlüsse für niedrige Auflösung

Anschluß	Beschreibung
1x00H	Schreiben Steuereinheit-Adreßregister. Bits 0-4 adressieren eines der in Tabelle 7-3 aufgelisteten 18 Steuereinheitsregister. Dieses Steuereinheitsregister wird beim nächsten Schreiben auf das Steuereinheitsdatenregister geladen.
1x02H	Schreiben Steuereinheitsdatenregister. Das von dem Steuereinheit-Adreßregister adressierte Steuereinheitsregister empfängt maximal acht auf diese Anschlußstelle geschriebene Bits.
1x10H	Schreiben Optionsregister. Bestimmte Bits aktivieren bzw. sperren bestimmte Optionen: <ul style="list-style-type: none"> D0 -- Wenn auf eins gesetzt, ist der Videospeicher dem 8086 zugänglich. Wenn auf Null gelöscht, hat der 8086 keinen Zugriff auf den Videospeicher. Erlaubt den Gebrauch einer anderen Videosteuereinheit, während diese Steuereinheit installiert, jedoch inaktiv ist. D2 -- Zeigen 80 Spalten an, wenn auf eins gesetzt. Zeigen 40 Spalten an, wenn auf Null gelöscht. D3 -- Vertikale Synchronisierung (/VSYNC) generiert eine Ebene 3 Unterbrechungsanforderung am Anfang des vertikalen Leerintervalls, wenn auf eins gesetzt. <p>Der Einschalt(Standard)-Wert ist Null; d. h., alle Optionen sind gesperrt.</p>

Video-Steuereinheit mit niedrigem Auflösungsvermögen

Tabelle 7-2. Video-Steuereinheit-E/A-Anschlüsse für niedrige Auflösung
(Fortsetzung)

Anschluß	Beschreibung
1x20H	Schreiben Scroll-Register (16 Bits). Empfängt die 16-Bit codierten Zeichen- und Abtastzeilen-Koordinaten des Videospeicherbytes, das als Ebene 0 in der oberen linken Ecke des Bildschirms (Spalte 0 und Abtastzeile 0) erscheinen soll. Bits 15 bis 8 empfangen Abtastzeile minus 15H. Bits 7 und 6 werden nicht benutzt. Bits 5 bis 0 empfangen Spaltennummer, geteilt durch 2. Das Scroll-Register muß wortadressiert sein.
1x30H	Lesen Video-Statusregister. Die Bit-Zuordnungen sind wie folgt: D0-1 -- nicht zugeordnet D2 -- Die Anzeige ist leer, wenn auf eins gesetzt. Während des vertikalen Leerintervalls kann ein Programm die Nachschlagetabelle ohne Flackereffekt ändern. D3 -- Vertikale Synchronisierung (/VSYNC) ist aktiv, wenn auf eins gesetzt. D4 -- Horizontale Synchronisierung (/HSYNC) ist aktiv, wenn auf eins gesetzt. D5-7 -- nicht zugeordnet
1x40-5EH	Schreiben Video-Attributverzeichnis-Eintragung. Die Nachschlagetabelle enthält sechzehn 4-Bit Werte an E/A-Anschlußstellenadressen 40H, 42H, ..., 5EH. Nur die ersten vier dieser Adressen sind im 80-Spalten-Anzeigemodus aktiv (40H, 42H, 44H und 46H).
1x70H	Schreiben beliebige Daten, um das anstehende Unterbrechungskennzeichen zu löschen (Bit 7 der Anschlußstelle 1xFEH).
1xFEH	Lesen Optionsboard-ID und Unterbrechungsstatus. Sendet 10H auf D0-6, mit D7 hoch, wenn der Board eine anstehende Unterbrechungsanforderung hat. Die einzig mögliche Unterbrechungsanforderung tritt am Anfang eines vertikalen Synchronisierungsintervalls auf, wenn Bit 3 an E/A-Anschluß 1x10H gesetzt ist.

Tabelle 7-3. Interne Register des Video-Steuereinheit-Chips
für niedrige Auflösung

Register Adresse	Inhalt		Registerbeschreibung
	40-Spalten	80-Spalten	
0	38H	71H	Horizontal-Summen-Register. Bestimmt die Horizontalfrequenz. Enthält eins weniger als die Summe der angezeigten Zeichenzeiteinheiten plus der nicht angezeigten (zurückverfolgten) Zeichenzeiteinheiten.
1	28H	50H	Horizontal-Anzeigeregister. Bestimmt die Anzahl von Zeichen auf einer Anzeigezeile.
2	2EH	5CH	Horizontal-Sync-Positionsregister. Bestimmt die horizontale Position der Anzeige auf dem Bildschirm. Erhöhen dieses Wertes verschiebt die Anzeige nach links.
3	74H	78H	Sync-Breitenregister. Bits 0-3 bezeichnen die HSYNC Breite in Zeichentaktimpuls-Einheiten. Bits 4-7 bezeichnen die VSYNC Breite in Rasterpunkt-Einheiten.
4	1CH	1CH	Vertikal-Summen-Register (7 Bits). Enthält eins weniger als die Anzahl von Abtastzeilen pro vertikalem Auffrischungszyklus.
5	1	1	Vertikal-Summen-Einstell-Register (5 Bits). Bestimmt die Anzahl der zur Durchführung eines vertikalen Auffrischungszyklus erforderlichen zusätzlichen Abtastzeilen (die unten am Bildschirm eine partielle Zeichenzeile bilden).
6	19H	19H	Vertikal-Angezeigeregister (7 Bits). Bestimmt die Anzahl der Zeichenzeilen, die auf dem Bildschirm angezeigt werden.
7	1AH	1AH	Vertikal-Sync-Positionsregister (7 Bits). Bestimmt die vertikale Position der Anzeige auf dem Bildschirm. Erhöhen dieses Wertes verschiebt die Anzeige nach oben.

Tabelle 7-3. Interne Register des Video-Steuereinheit-Chips
für niedrige Auflösung (Forts.)

Register Adresse	Inhalt		Registerbeschreibung
	40-Spalten	80-Spalten	
8	0	0	Zeilensprung- und Schräglauf-Register (2 Bits). Nullwert fordert Anzeige ohne Zeilensprung und Schräglauf an.
9	8	8	Maximal-Abtastzeilen-Adreßregister (5 Bits). Eins weniger als die Anzahl von Abtastzeilen in einer Zeichenzelle.
AH	67H	67H	Cursor-Start-Register (7 Bits). Regelt Cursorformat. Bits 0-4 enthalten die Nummer der höchsten Abtastzeile im Cursor, ab Abtastzeile 0 am Anfang der Zeichenzelle abwärts gezählt. Bits 5-6 enthalten: 00 - Cursoranzeige ohne Blinken 01 - Cursorunterdrückung 10 - Cursorblinken mit Hochfrequenz 11 - Cursorblinken mit Niederfrequenz
BH	8	8	Cursor-End-Register (5 Bits). Enthält die Nummer der niedrigsten Abtastzeile im Cursor, ab Abtastzeile 0 am Anfang der Zeichenzelle abwärts gezählt.
CH DH	0	0	Hohes und niedriges Startadreßregister (6 bzw. 8 Bits). Lokalisiert die erste Zeichenposition, die der Cursor belegen kann.
EH FH			Hohes und niedriges Cursor-Register (6 bzw. 8 Bits). Anzahl der dem Cursor auf dem Bildschirm vorangehenden Zeichen (d. h., 0-998 oder 0-1998, je nach Auflösung). Die Cursor-Position hängt nicht von den angezeigten Daten ab; deshalb bleibt der Cursor am Bildschirm während Scrolling stationär.
10-11H			Nicht benutzt.

7.5 VIDEO-MONITOR-SCHNITTSTELLE

Obwohl kommerziell erhältliche RGB Video-Monitors verschiedene Kabel- und Steckerarten gebrauchen, benötigen sie alle ähnliche Schnittstellensignale. Hat der Monitor einen SYNC Polaritätsselektor, muß er auf positive Polarität eingestellt sein. An dem Video-Optionsboard für niedrige Auflösung liefert eine D-förmige 9-Stift-Steckverbindung die sieben zur Ansteuerung des RGB Video-Monitors erforderlichen Signale. Die Stiftzuordnungen an dem D-förmigen Stecker sind wie folgt:

1	Erdung	6	Intensität
2	Erdung	7	Nicht benutzt
3	Rote Ausgabe	8	Horizontale Synchronisierung
4	Grüne Ausgabe	9	Vertikale Synchronisierung
5	Blaue Ausgabe		

KAPITEL 8

VIDEO-STEUEREINHEIT MIT MITTLEREM AUFLÖSUNGSVERMÖGEN

Die Video-Steuereinheit mit mittlerem Auflösungsvermögen erzeugt Transistor-Transistor-Logik (TTL) zur Ansteuerung eines Monochrom-Video-Monitors. Die Steuereinheit benutzt eine Horizontalfrequenz von 18,824 kHz und eine Vertikalfrequenz von 60 Hz und hat eine Auflösung von 800 mal 300 Bildpunkten für die Darstellung von Textzeichen sowie Grafiken nach dem Bitmapping-Verfahren. Die Video-Steuereinheit für mittlere Auflösung wird auf zwei Schaltboards implementiert: einem Video-Zeichenboard, der unabhängig operieren kann, und einem wahlweisen Bitmap-Grafikboard, der mit einem Zeichenboard gepaart werden muß.

Abbildung 8-1 zeigt ein Blockdiagramm der Video-Steuereinheit-Schaltkreise für mittlere Auflösung. Das Zeichenboard (oben in der Abbildung) implementiert die meisten Zeichendarstellungsfunktionen, während das wahlweise Grafikboard (unten in der Abbildung) außerdem Bitmapped Grafikfunktionen unterstützt. Diese Boards sind durch Bandkabel verbunden. Interne Adreß- und Datenbusse auf einem wahlweisen Board können an die Systemadreß- und -Datenbusse angeschlossen werden. (Abbildung 8-2 über Attributlogik stellt eine detaillierte Ansicht des rechten oberen Teils der Abbildung 8-1 dar.)

Darstellungen mittlerer Auflösung sind in eine aus 25 Reihen von je 80 Spalten bestehende Standardmatrix eingeteilt und positionieren von der Software bestimmte Zeichen oder beliebige Symbole innerhalb einer 10- mal 12-Bildpunkt Zeichenzelle. Über jede Zeichenzelle kann ein Cursor gestellt werden. Obwohl Cursor-Größe und -Form programmierbar sind, belegt der Cursor normalerweise alle 20 Bildpunkte in den beiden unteren Reihen einer Zeichenzelle. Es können zwei verschiedene Blinkwiederholfrequenzen programmiert werden. Zwischen Blink-Zyklen, wenn der Cursor nicht sichtbar ist, erscheint der überlagerte Teil des Zeichens als wäre der Cursor nicht vorhanden. Der Cursor kann nur jeweils eine Zeichenzelle belegen.

Ein programmierbares Unterstreichungszeichen belegt alle zehn Bildpunkte in der untersten Reihe einer Zeichenzelle, wenn dies von der Software bestimmt wird, während ein programmierbares Überstreichungszeichen alle zehn Bildpunkte in der obersten Reihe belegt. Die Software kann jeder beliebigen Zeichenkombination in einer Anzeige Unter- und Überstreichungsattribute zuweisen. Wenn nebeneinanderstehende Zeichen unterstrichen werden, bilden die Unterstreichungen in der Anzeige eine fortlaufende horizontale Linie unter sämtlichen unterstrichenen Zeichen. (Dasselbe gilt für nebeneinanderstehende überstrichene Zeichen.)

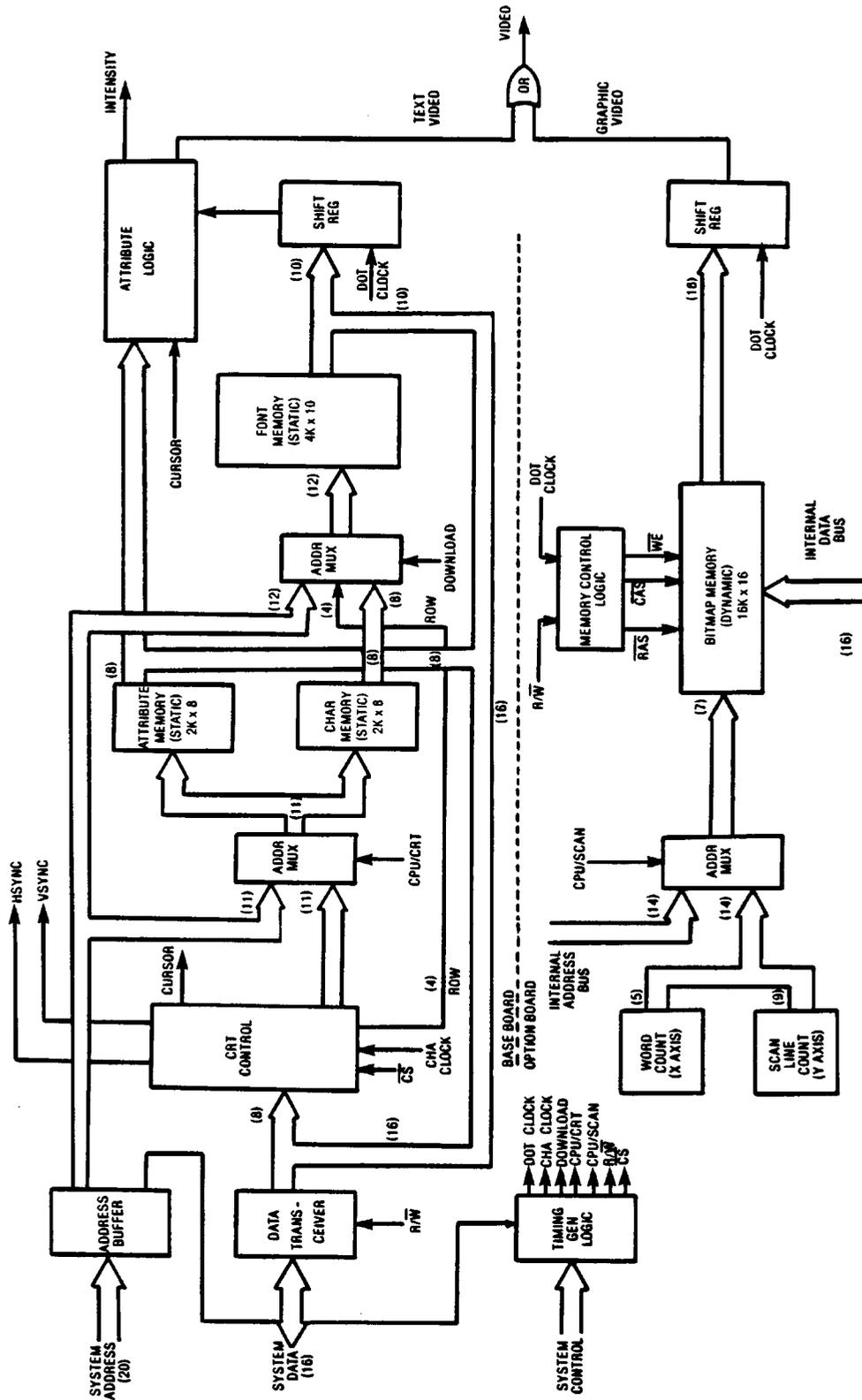


Abbildung 8-1. Video-Steuereinheit-Blockdiagramm (mittlere Auflösung)

Video-Steuereinheit mit mittlerem Auflösungsvermögen

Die Hoch- und Tiefstellungsfähigkeiten der Hardware modifizieren das normale Aussehen eines Symbols oder Zeichens. Wie bei der Unter- und Überstreichung, können mehrere Zeichen in beliebiger Kombination hoch- bzw. tiefgestellt werden. Bei Tiefstellung rollt das Zeichen innerhalb der Zeichenzelle eine Abtastzeile nach unten ab. Bei Hochstellung rollt die Zeichenzellenanzeige zwei Abtastzeilen nach oben ab. Es findet kein Wraparound statt. Falls die Bildpunkte eines Zeichens normalerweise in der untersten Reihe der Speicherzelle gesetzt sind, rollen sie bei Tiefstellung des Zeichens von der untersten Zellenreihe ab und verschwinden; falls die Bildpunkte eines Zeichens in den beiden obersten Reihen der Anzeige bestimmt sind, verschwinden sie bei Hochstellung des Zeichens.

8.1 FONT-TABELLE

Eine Font-Tabelle assoziiert jeden möglichen Zeichencode (Byte) mit dem willkürlichen Zeichenzellen-Anzeigemuster, das dem Zeichencode zugeordnet ist. Die von dem 8086 geladene 4K mal 10-Bit Font-Tabelle legt maximal 256 verschiedene Zeichen oder Symbole fest und bestimmt jeden der 120 Bildpunkte in einer 10- mal 12-Bildpunkt-Zeichenzelle zur Unterstützung von Unterlängen echter Kleinbuchstaben, Akzentzeichen, Fremdsprachenfonts und willkürlichen grafischen Symbolen. Wie bei allen Speichern der Video-Steuereinheit für mittlere Auflösung, müssen Font-Tabellestellen an geradzahligen Speicherplätzen wortadressiert sein.

Der 8086 kann jederzeit einen Teil der Font-Tabelle fortschreiben und ermöglicht somit flimmerfreien Betrieb, ohne den Zugriff auf die Font-Tabelle zu beeinträchtigen; außerdem kann die Font-Tabelle von dem 8086 gelesen und geschrieben werden. Die Font-Tabelle ist auf Adressen F2000-4000H im Videospeicher-Adressraum bezogen, ist wortadressiert und enthält 256 16-Wort Eintragungen. Die N-Eintragung bestimmt die Form des Zeichens mit Zeichencode N. Das Wort an der niedrigsten Adresse einer Font-Tabelleneintragung bestimmt die oberste Abtastzeile einer tiefgestellten Zeichenanzeige. Sukzessive höhere Adressen bestimmen sukzessive niedrigere Abtastzeilen, bis zum fünfzehnten Wort einer Eintragung, das die unterste Zeile einer hochgestellten Zeichenanzeige abgrenzt. Das sechzehnte Wort an der höchsten Font-Tabelleneintragungsadresse wird nicht benutzt.

Abbildung 8-2 enthält das Font-Tabellenadressformat zur Erstellung oder Änderung des einem Zeichencode zugewiesenen Symbols. Die Abbildung zeigt das Bitmap von 800 mal 300 Bildpunkten, den Rahmenpuffer, der einen vollen Bildschirm Zeichentext faßt, sowie die Font-Tabelle, die Form und Aussehen des Zeichens bestimmt. Der Bitmap-Speicher (rechts in der Abbildung) enthält 328 Reihen von je 50 Wörtern, doch belegt der sichtbare Teil nur die ersten 300 Reihen. In der Font-Tabelle (links in der Abbildung) bestimmen 15 Wörter von je 10 Bits die Form des Zeichens. Nur 12 Wörter von je 10 Bildpunkten erscheinen jeweils in der 10- mal 12-Bildpunkt Zeichenzelle. Alle Adressen sind hexadezimale Wortadressen.

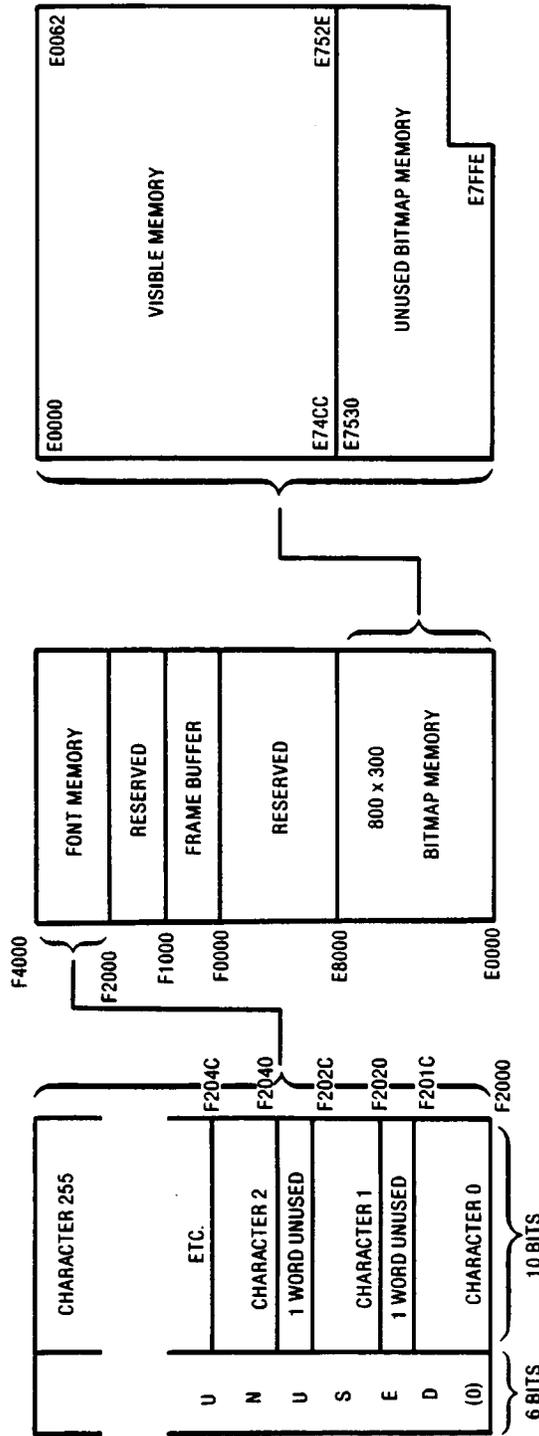


Abbildung 8-2. Video-Speicherorganisation

Video-Steuereinheit mit mittlerem Auflösungsvermögen

Weil ein Zeichen bei Tiefstellung eine Abtastzeile nach unten und bei Hochstellung zwei Abtastzeilen nach oben verschoben wird, besteht das Zeichen in Wirklichkeit aus 15 Bildpunktreihen, von denen nur 12 in dem 12 Bildpunkte hohen Zeichenzellen-"Fenster" sichtbar sind. Die Zeichenzellenanzeige für ein tiefgestelltes Zeichen zeigt z. B. die obersten 12 Reihen der vollständigen Font-Tabellendefinition dieses Zeichens an. Annullieren der Tiefstellung ergibt eine normale Zeichenanzeige; das Zeichen scheint innerhalb des Zeichenzellenfensters um eine Abtastzeile nach oben abzurollen, wobei die oberste Bildpunktreihe außer Sicht gerät und unten eine dreizehnte Zeile hereingeschoben wird. Hochstellung desselben Zeichens verschiebt zwei weitere Bildpunktreihen nach oben und aus dem Zeichenzellenfenster hinaus, während zwei neue Reihen --die vierzehnte und fünfzehnte-- von unten hereingeschoben werden. Nur jeweils 12 der 15 Bildpunktreihen in einer Font-Tabelleneintragung sind auf der Anzeige sichtbar. Die mittleren neun Reihen sind immer sichtbar, werden aber bei Hoch- und Tiefstellung innerhalb des Zeichenzellenfensters auf- und abwärts verschoben.

In Abbildung 8-3 wird Zeichendefinition illustriert. Die Font-Tabelleneintragung bestimmt die Form des Zeichens mittels eines 10- mal 15-Bildpunkt Modells, das die Video-Steuereinheit in die 10- mal 12-Bildpunkt Zeichenzelle kopiert. Die Zeichenform ist vollständig willkürlich. Hoch- und Tiefstellungsattribute bestimmen, wie die Font-Tabelleneintragung in der Zeichenzelle verzeichnet wird.

In der Font-Tabelleneintragung wird das Zeichen als "umgekehrt" und tiefgestellt definiert. Das heißt, die erste (niedrigste) Reihe der 16-reihigen Font-Tabelleneintragung definiert den horizontalen Bildpunktstreifen, der bei Tiefstellung des Zeichens oben an der Zeichenzelle erscheint. Die zweite Reihe der Eintragung definiert die Bildpunktreihe, die bei normaler Zeichenanzeige oben erscheint. Die vierte Reihe definiert die bei einer hochgestellten Anzeige oben erscheinende Reihe und die zwölfte Reihe belegt bei einer Tiefstellung die unterste Reihe. Bei normaler Anzeige wird die dreizehnte Reihe der Font-Tabelleneintragung unten in das Zeichenzellenfenster eingeschoben, während bei Hochstellung die vierzehnte und fünfzehnte Reihe nachgeschoben wird. Die sechzehnte Reihe einer Font-Tabelleneintragung wird nicht benutzt und kann nicht angezeigt werden. Bildpunkte, die durch höchstwertige Bits eines jeden Wortes in einer Font-Tabelleneintragung definiert werden, werden links von den durch niederwertige Bits definierten Bildpunkten angezeigt.

8.2 RAHMENPUFFER

Maximal 2000 Zeichen sichtbaren Textes stehen in einem 2K-Wort Rahmenpuffer, der in den höchstwertigen Bytes mit Zeichencodes und in den niederwertigen Bytes mit Zeichenattribut-Bits formatiert wird. Der Rahmenpufferspeicher bezieht sich auf F0000H (obere linke Ecke der Anzeige) bis F0FFEH (untere rechte Ecke der Anzeige) im Videospeicher-Adreßraum. Da jedes Wort im Rahmenpuffer einer bestimmten 10- mal 12-Bildpunkt Zeichenzelle auf dem Bildschirm entspricht, kann der 8086 ein Anzeigezeichen einfach durch Schreiben eines neuen 16-Bit Codes an die entsprechende Rahmenpufferadresse ändern.

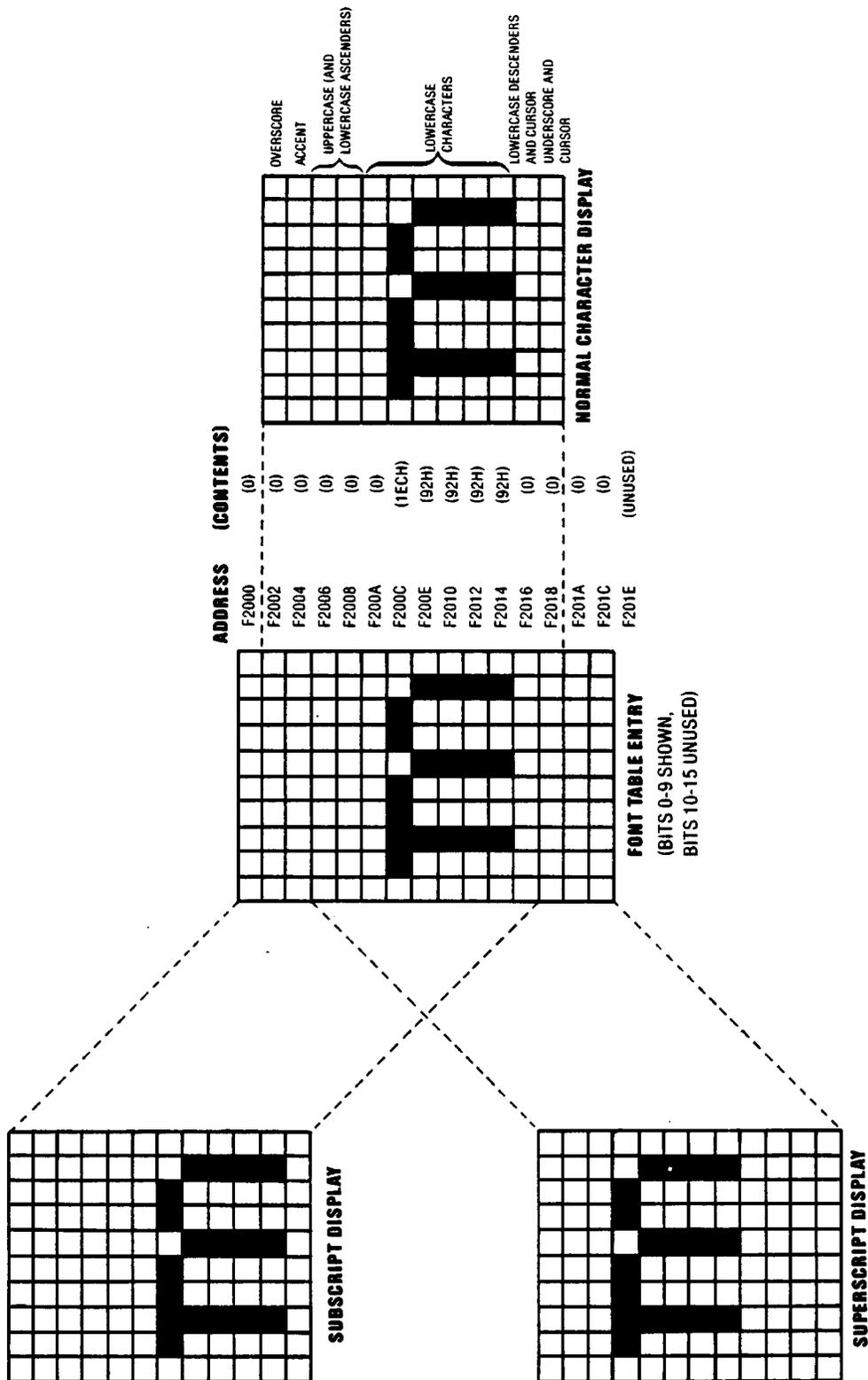


Abbildung 8-3. Zeichendefinition

Um eine Zeichenanzeige zu erstellen, tastet die Videospeicher-Steuer-einheit die ersten 2000 Wörter im Rahmenpuffer ab und benutzt jeden in den Rahmenpuffer eingegebenen Zeichencode als Adresse einer Font-Tabelleneintragung. Die Font-Tabellendaten bestimmen die zu erscheinende Form, indem sie das dem Zeichencode zugewiesene Bildpunktmuster definieren. Wenn z. B. das Wort an Rahmenpufferadresse F0794H im höchstwertigen Byte den Zeichencode OFH enthält, zeichnet die Steuereinheit das in der sechzehnten Font-Tabelleneintragung definierte Bildpunktmuster in die zehnte Zeichenzelle auf der dreizehnten Zeile der Anzeige ein.

Rahmenpuffereintragungen müssen an geradzahligen Stellen wortadressiert sein. Rahmenpuffer-Speicherzugriff beeinflußt die CRT-Anzeige nicht und erlaubt flimmerfreien Betrieb ohne Beeinträchtigung der Rahmenpufferfortschreibung. Der 8086 kann den Rahmenpuffer lesen, um festzustellen, welche Zeichen auf dem Bildschirm angezeigt werden. Textzeichen und Grafikdarstellungen können auf dem Bildschirm gemischt angezeigt werden; doch werden Text und Grafiken vor der Anzeige ODER-verknüpft und folglich muß jeder Bildpunkt entweder dem Text oder der Grafik, jedoch nicht beiden, zugeordnet sein.

In Abbildung 8-4 wird die Rahmenpuffer- und Fonttabelle-Adressierung dargestellt. Die Rahmenpufferadresse wählt eine von 2048 Zeichenpositionen (die ersten 2000 sind auf den Bildschirm bezogen, wobei 0 oben links und 1999 unten rechts steht). Das adressierte Wort im Rahmenpuffer liefert dann den 8-Bit Zeichencode plus acht Attribut-Bits für diese Bildschirmposition. Die Font-Tabellenadresse wählt eins von 256 Zeichen und eine von 16 Reihen (die ersten 15 werden benutzt, die sechzehnte Reihe ist reserviert). Das adressierte Wort liefert dann einen horizontalen Streifen von 10 Bildpunkten innerhalb der Zeichenzelle.

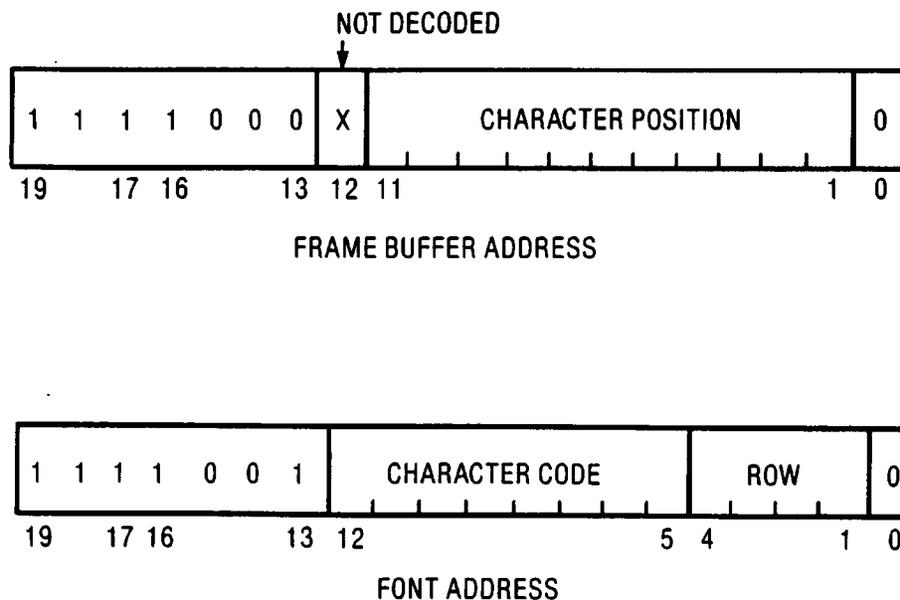


Abbildung 8-4. Rahmenpuffer- und Fonttabelle-Adressierung

8.3 BITMAP-SPEICHER

Der 800- mal 328-Bildpunkt Bitmap-Speicher enthält eine sichtbare Region, die 800 mal 300 Bildpunkte mißt und auf den Bildschirm bezogen ist sowie eine nicht sichtbare Region, die 800 mal 28 Bildpunkte mißt und normalerweise nicht benutzt wird. Der Bitmap-Speicher belegt im Videospeicherraum eine 16K-Wort Region zwischen E0000H und E7FFFH (siehe Abbildung 8-2).

Der gesamte 16K-Wort Videospeicher kann als Matrix betrachtet werden, die 328 Reihen von je 50 Wörtern enthält. Eine Videospeicherreihe entspricht einer Abtastzeile in der Anzeige, und lediglich die ersten 300 Reihen werden auf den Bildschirm bezogen. Wie in Abbildung 8-2 dargestellt, belegt der sichtbare Teil des Videospeichers alle 50 Wörter in jeder der ersten 300 Reihen. Jedes Wort in dieser Region des Bitmap trägt einen horizontalen Streifen von 16 Bildpunkten zur Anzeige bei. Die restlichen 28 Reihen (578H Wörter) des Bitmap-Speichers sind nicht auf den Bildschirm bezogen und tragen nicht zur Anzeige bei. Der Bitmap-Speicher muß an geradzahligen Stellen wortadressiert sein. In einem Bitmap-Speicherwort belegt der linke Bildpunkt das höchstwertige Bit und der rechte Bildpunkt das niederwertige Bit. Der 8086 kann den Bitmap-Speicher jederzeit modifizieren, ohne die CRT-Anzeige zu unterbrechen.

8.4 ZEICHEN-ATTRIBUTE

Acht Zeichenattribute können einzeln oder in Kombination gewählt werden, um das normale Aussehen eines Zeichens zu modifizieren. Die Attribute haben keinen Effekt auf grafische Darstellungen. Sie werden auf zeichenweiser Basis durch Setzen bestimmter Bits im niederwertigen Byte der Rahmenpuffereintragung gewählt. (Abschnitt 8.5 enthält eine Aufstellung der Zeichenattribute mit Bit-Zuordnungen.) Attribute können kombiniert werden, um verschiedene Zeichenanzeigemodi oder Fonts auf dem Bildschirm darzustellen. Zum Beispiel kann ein Programm lediglich durch Anwendung der Attribute Erhellen, Unterstreichen und Negativ acht verschiedene Zeichenanzeigemodi definieren:

Normal	Negativ
Erhellen	Erhellen Negativ
Unterstreichen	Unterstreichen Negativ
Erhellen Unterstreichen	Erhellen Unterstreichen Negativ

Die Videosteuerereinheit-Hardware unterstützt alle der 256 möglichen Attributkombinationen; einige Kombinationen führen jedoch zu Unstimmigkeiten oder Konflikten, die deren Anwendung beeinträchtigen können. Hat ein Zeichen z. B. die Attribute Erhellen, Negativ und Blinken, ist der Cursor nicht sichtbar, wenn er auf diesem Zeichen positioniert ist. Im allgemeinen nimmt der Cursor in einer Zeichenzelle nur Hintergrundbildpunkte ein. In diesem Fall erscheinen Cursor sowie Zeichenhintergrund als blinkende Punkte von hoher Intensität, die u. U. nicht unterschieden werden können.

Abbildung 8-5 zeigt die Schaltkreisintegration von Fonttabelleindaten, Attributwerten und Bitmap-Grafiken. Jeder Zeichenbildpunkt wird mit dem Blink-Attribut durch UND verknüpft. Das Resultat wird dann mit dem Negativ-Attribut durch exklusives ODER verknüpft. Diese Ausgabe wird zur Bildpunktintensitätsangabe (normal oder erhellt) mit dem Erhellungs-Attribut durch UND verknüpft sowie zur Bildpunktwertangabe (gesetzt oder auf Null gelöscht) mit dem entsprechenden Bitmap-Bit durch ODER verknüpft.

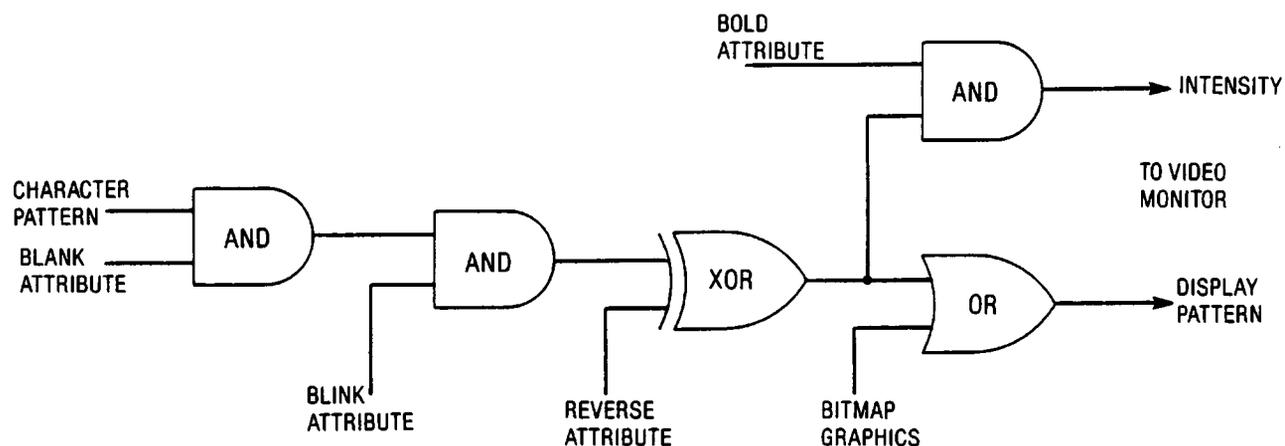


Abbildung 8-5. Zeichenattribut-Logik

Die Attribute Erhellen, Leer, Negativ und Blinken modifizieren die Art, in der die Font-Tabelleneintragung eines Zeichens (einschließlich dessen Unterstreichungs- bzw. Überstreichungs-Attributs) auf dem Bildschirm erscheint. Dagegen bestimmt das Hochstellungs- und Tiefstellungs-Attribut, welcher Teil der Font-Tabelleneintragung erscheint. Ein auf dem Bildschirm angezeigtes Bildpunktmuster wird eine Abtastzeile nach unten verschoben, um ein tiefgestelltes Zeichen zu erstellen bzw. zwei Zeilen nach oben verschoben, um ein hochgestelltes Zeichen zu erstellen.

Das Tiefstellungs-Attribut verschiebt das Zeichen in der Zeichenzelle eine Abtastzeile nach unten, während das Hochstellungs-Attribut das Zeichen zwei Abtastzeilen nach oben verschiebt. Wird das Tiefstellungs- sowie das Hochstellungs-Attribut gewählt, wird das Zeichen eine Abtastzeile nach oben versetzt. Diese Attributkombination wird im allgemeinen nicht benutzt.

8.5 ZEICHENATTRIBUT-BIT-ZUORDNUNG FÜR MITTLERE AUFLÖSUNG

Das niederwertige Byte des 16-Bit Zeichencodes in der Rahmenpuffereintragung bestimmt das Zeichenattribut. Nachstehend folgt eine Beschreibung der den einzelnen Bits zugeordneten Zeichenattribute.

BIT 0 -- BLINKEN

Wenn Bit 0 auf eins gesetzt ist, blinkt das Zeichen (einschließlich Unterstreichungs- und Überstreichungs-Attributen) mehrmals pro Sekunde. Das Leer-Attribut unterdrückt Blinken.

BIT 1 -- NEGATIV

Normalerweise erscheint das Zeichen hell auf dunklem Hintergrund. Ist Bit 1 auf eins gesetzt, wird jeder Bildpunkt umgekehrt, um ein dunkles Zeichen (einschließlich dunkler Unterstreichungs- und Überstreichungs-Attribute) auf hellem Hintergrund zu erzeugen.

BIT 2 -- LEER

Das normale Aussehen eines Zeichens wird durch dessen Font-Tabelleneintragung definiert. Ist Bit 2 auf eins gesetzt, erscheint das Zeichen (einschließlich Unterstreichungs- und Überstreichungs-Attributen) als Zwischen- oder Leerraum, als wäre keiner der Bildpunkte in der Font-Tabelleneintragung gesetzt. Jeder Bildpunkt in einem Leerzeichen besitzt dieselbe Intensität wie der Hintergrund. Deshalb erscheint bei zusätzlichem Wählen des Negativ-Attributs ein Leerzeichen als Negativ-Zwischenraum, wobei alle Bildpunkte gesetzt sind.

BIT 3 -- ERHELLEN

Ist Bit 3 auf eins gesetzt, erscheint das Zeichen (einschließlich Unterstreichungs- und Überstreichungs-Attributen) in einem Anzeigemodus von hoher Intensität. Wird außerdem das Negativ-Attribut-Bit gewählt, ist dann der Hintergrund von hoher Intensität. Falls das Leer-Attribut ebenfalls gewählt wird, hat Erhellen keinen Effekt.

BIT 4 -- ÜBERSTREICHEN

Wenn auf eins gesetzt, wird jeder Bildpunkt in der obersten Reihe der Zeichenzelle angezeigt, als wäre er in der Font-Tabelleneintragung des Zeichens gesetzt. Das Überstreichungs-Attribut wird von den Hoch- und Tiefstellungsattributen nicht beeinflusst. Wird das Negativ-Attribut gewählt, erscheint die Überstreichung in Negativdarstellung. Wird das Attribut Erhellen gewählt, ist die Überstreichung von hoher Intensität. Falls das Leer-Attribut gewählt wird, ist die Überstreichung ebenfalls leer. Ein unterstrichenes Zeichen kann auch überstrichen werden.

BIT 5 -- UNTERSTREICHEN

Wenn auf eins gesetzt, wird jeder Bildpunkt in der untersten Reihe der Zeichenzelle angezeigt, als wäre er in der Font-Tabelleneintragung des Zeichens gesetzt. Das Unterstreichungs-Attribut wird von den Hoch- und Tiefstellungsattributen nicht beeinflusst. Wird das Negativ-Attribut gewählt, erscheint die Unterstreichung in Negativdarstellung. Wird das Attribut Erhellen gewählt, ist die Unterstreichung von hoher Intensität. Falls das Leerzeichen-Attribut gewählt wird, ist die Unterstreichung ebenfalls leer. Ein überstrichenes Zeichen kann auch unterstrichen werden.

BIT 6 -- TIEFSTELLUNG

Wenn auf eins gesetzt, rollt die Zeichenanzeige in der Zeichenzelle eine Abtastzeile nach unten ab. Die unterste Bildpunktreihe in einer normalen Zeichenanzeige wird unten aus der Zeichenzelle herausgeschoben und verschwindet. Eine neue Bildpunktreihe, die in der Font-Tabelleneintragung des Zeichens definiert ist, wird oben in die Zeichenzelle hineingeschoben. Bei einem konventionellen tiefgestellten Zeichen ist diese Reihe gewöhnlich leer. Das Tiefstellungs-Attribut bestimmt lediglich, wie eine Font-Tabelleneintragung in einer Zeichenzelle verzeichnet wird und ist von anderen Attributen völlig unabhängig.

BIT 7 -- HOCHSTELLUNG

Wenn auf eins gesetzt, rollt die Zeichenanzeige in der Zeichenzelle zwei Abtastzeilen nach oben ab. Die beiden obersten Bildpunktzeilen in einer normalen Zeichenanzeige werden oben aus der Zeichenzelle herausgeschoben und verschwinden. Neue Bildpunktzeilen, die in der Font-Tabelleneintragung des Zeichens definiert sind, werden unten in die Zeichenzelle hineingeschoben. Bei einem konventionellen hochgestellten Zeichen sind diese zwei Reihen gewöhnlich leer. Das Hochstellungs-Attribut bestimmt lediglich, wie eine Font-Tabelleneintragung in einer Zeichenzelle verzeichnet wird und ist von anderen Attributen völlig unabhängig.

8.6 PROGRAMMIEREN DER VIDEO-STEUREINHEIT

Die Software kommuniziert mit der Video-Steuereinheit für mittlere Auflösung über die in Tabelle 8-1 beschriebenen E/A-Anschlußstellen. Alle Videosteuereinheit-Anschlußstellen für mittlere Auflösung sind 8 Bits breit. Tabelle 8-2 beschreibt die internen Register in dem MC6845 Steuereinheit-Chip, die über Adreß- und Steuereinheitsregister-Anschlußstellen an Offsets 0 und 2 zugänglich sind. Die Tabelle enthält die erforderlichen Werte für die Daten, die in bestimmte Steuereinheitsregister geladen werden müssen. Falls nicht anders angezeigt, nehmen alle Steuereinheitsregister 8-Bit Daten an.

Tabelle 8-1. Video-Steuereinheit-E/A-Anschlüsse für mittlere Auflösung

Anschluß	Beschreibung
1x00H	Schreiben Steuereinheitsadreßregister. Bits 0-4 adressieren eines der in Tabelle 8-2 aufgeführten 18 Steuereinheitsregister. Nächstes Schreiben auf das Steuereinheitsdatenregister lädt dann dieses Steuereinheitsregister.
1x02H	Schreiben Steuereinheitsdatenregister. Das von dem Steuereinheitsadreßregister adressierte Steuereinheitsregister empfängt maximal 8 auf diese Anschlußstelle geschriebene Bits.

Tabelle 8-1. Video-Steuereinheit-E/A-Anschlüsse für mittlere Auflösung
(Fortsetzung)

Anschluß	Beschreibung
1x10H	<p>Schreiben Optionsregister. Bestimmte Bits aktivieren oder sperren bestimmte Optionen:</p> <p>D0 -- Videospeicher für 8086 zugänglich, wenn auf eins gesetzt. Wenn auf Null gelöscht, ist der Videospeicher dem 8086 nicht zugänglich. Erlaubt Benutzung einer anderen Videosteuereinheit, während diese Steuereinheit installiert, aber inaktiv ist.</p> <p>D3 -- Wenn gesetzt, generiert vertikale Synchronisierung eine Ebene 3 Unterbrechungsanforderung am Anfang des vertikalen Austastintervalls.</p> <p>Der Einschalt(Standard)-Wert ist Null (alle Optionen sind gesperrt).</p>
1xFEH	<p>Lesen Optionsboard-ID. Das Zeichenboard sendet ID-Code 11H auf D0-6, falls er an kein Grafik-Board angeschlossen ist, oder ID-Code 15H auf D0-6, falls er mit einem Grafik-Board verkabelt ist. In beiden Fällen ist D7 nur während des vertikalen Austastintervalls auf eins gesetzt. Schreibzugriff auf diese Anschlußstelle löscht auch eine anstehende Unterbrechungsanforderung. Grafik-Option sendet ID-Code 14H auf D0-6.</p>

Tabelle 8-2. Interne Register des Video-Steuereinheit-Chips für mittlere Auflösung

Adresse	Inhalt	Beschreibung
0	65H	Horizontal-Summen-Register. Bestimmt die Horizontalfrequenz. Enthält eins weniger als die Summe der angezeigten Zeichenzeiteinheiten plus der nicht-angezeigten (zurückverfolgten) Zeichenzeiteinheiten.
1	50H	Horizontal-Anzeige-Register. Bestimmt die Anzahl von Zeichen auf einer Anzeigezeile.
2	57H	Horizontal-Sync-Positionsregister. Bestimmt die horizontale Position der Anzeige auf dem Bildschirm. Erhöhen dieses Wertes verschiebt die Anzeige nach links.
3	3FH	Sync-Breitenregister. Bits 0-3 bestimmen die HSYNC Breite in Zeichentaktimpuls-Einheiten. Bits 4-7 bestimmen die VSYNC Breite in Rasterpunkt-Einheiten.
4	19H	Vertikal-Summen-Register (7 Bits). Enthält eins weniger als die Anzahl von Abtastzeilen pro vertikalem Auffrischungszyklus.

Tabelle 8-2. Interne Register des Video-Steuereinheit-Chips
für mittlere Auflösung (Forts.)

Adresse	Inhalt	Beschreibung
5	4	Vertikal-Summen-Einstell-Register (5 Bits). Bestimmt die Anzahl der zur Durchführung eines vertikalen Auffrischungszyklus erforderlichen zusätzlichen Abtastzeilen (die unten am Bildschirm eine partielle Zeile bilden).
6	19H	Vertikal-Anzeige-Register (7 Bits). Bestimmt die Anzahl der Zeichenzeilen, die auf dem Bildschirm angezeigt werden.
7	19H	Vertikal-Sync-Positionsregister (7 Bits). Bestimmt die vertikale Sync-Position auf dem Bildschirm. Erhöhen dieses Wertes verschiebt die Anzeige nach oben.
8	0	Zeilensprung- und Schräglauf-Register (2 Bits). Nullwert fordert Anzeige ohne Zeilensprung und Schräglauf an.
9	BH	Maximal-Abtastzeilen-Adreßregister (5 Bits). Eins weniger als die Anzahl von Abtastzeilen in einer Zeichenzelle.
AH	6AH	Cursor-Start-Register (7 Bits). Regelt Cursorformat. Bits 0-4 enthalten die Nummer der höchsten Abtastzeile im Cursor, ab Abtastzeile 0 am Anfang der Zeichenzelle abwärts gezählt. Bits 5 und 6 enthalten: 00 - Cursoranzeige ohne Blinken 01 - Cursorunterdrückung 10 - Cursorblinken mit Hochfrequenz 11 - Cursorblinken mit Niederfrequenz
BH	BH	Cursor-End-Register (5 Bits). Enthält die Nummer der niedrigsten Abtastzeile im Cursor, ab Abtastzeile 0 am Anfang der Zeichenzelle abwärts gezählt.
CH DH	0	Hohes und niedriges Startadreßregister (6 bzw. 8 Bits). Bestimmt die erste Auffrischungsadresse nach dem vertikalen Austastintervall.
EH FH		Hohes und niedriges Cursor-Register (6 bzw. 8 Bits). Anzahl der dem Cursor auf dem Bildschirm vorangehenden Zeichen (0-1999).
10H-11H		Nicht benutzt.

KAPITEL 9

REMOTE-TELEKOMMUNIKATIONS-STEUEREINHEIT (RTC)

Die beiden Remote-Telekommunikations-Steuereinheit(RTC)-Optionsboards bilden die Grundlage für eine Gruppe von mikroprozessorbasierten Telekommunikations-Steuereinheiten. Das 8232 Optionsboard implementiert die physische Verknüpfungsschnittstelle RS-232C für Lokal-Datenkommunikation, während das 8252 Board die X.21 Schnittstelle für ein leitungsvermitteltes, synchrones, öffentliches Datennetz bzw. ein Datenpaketvermittlungsnetz zur Verfügung stellt. Beide RTC-Optionen bieten synchrone Datenkommunikation von hoher Geschwindigkeit (19,2K Baud und höher) sowie volle Funktionsfähigkeit für höhere Netzwerkprotokolle und unterstützen eine Hierarchie von Datenkommunikationsprotokollen, die sich auf das gesamte Spektrum der Datenkommunikationsnormen beziehen.

9.1 8086 SCHNITTSTELLE ZUR RTC

Der 8086 initialisiert die RTC durch Ausführen einer OUT-Instruktion, die ein Zurücksetzen der RTC-Software verursacht. Bei nachfolgenden Operationen kommunizieren der 8086 und der Z80A Mikroprozessor in der RTC auf drei verschiedene Arten : durch Austausch von Statusinformation, Unterbrechungsanforderungen oder Daten. Der 8086 kann ein 16-Bit Register mit RTC-Statuskennzeichen lesen, während die RTC den 8086-Status aus einem 8-Bit Statusregister liest. Auch kann der 8086 auf eine Ausgabeanschlußstelle zugreifen, die eine Z80A Unterbrechungsanforderung auf dem RTC-Board verursacht, und der Z80A des RTC-Boards kann den 8086 unterbrechen.

Die häufigste Kommunikationsart zwischen dem 8086 und der RTC besteht aus Datenübertragungen. Zwei Register (die sog. Eingangs- und Ausgangsdaten-Register) bilden einen bidirektionalen Datenweg für Programmdatenübertragungen oder DMA-Übertragungen. Der 8086 empfängt Daten von der RTC bzw. sendet Daten an die RTC über einen DMA-Kanal. Die RTC dagegen besitzt zwei DMA-Kanäle: einen, um Daten von dem 8086 zu empfangen und einen, um Daten an den 8086 zu senden. Die E/A-Anschlußstellen erlauben dem 8086 und dem Z80A, Programmdatenübertragungen über dieselben Datenwege auszuführen, die von der DMA-Schnittstelle benutzt werden.

Um ausgehende Daten zu senden, schreibt der 8086 auf das Ausgangsdaten-Register, das von dem Z80A gelesen wird; um eingehende Daten zu empfangen, liest der 8086 das von dem Z80A geschriebene Eingangsdaten-Register. Das Eingangs- und Ausgangsdaten-Register ist vom Systemstandpunkt aus benannt. Bei eingehenden Daten z. B. handelt es sich um Daten, die von der Kommunikationsverknüpfung hereinkommen und über die RTC nach innen zum Hauptspeichersystem gehen. In der RTC dagegen liest der Z80A, der auf die 8086 Schnittstelle zurückgreift, immer das Ausgangsdaten-Register und schreibt auf das Eingangsdaten-Register.

Eingangs- und Ausgangsdatenregister sind 16-Bit Register, die nur 8-Bit Daten annehmen und empfangen. Für Programmdatenübertragungen werden diese Register als 8-Bit E/A-Anschlußstellen behandelt. Schreibt der 8086 eines der Bytes des Ausgangsdatenregisters, wird dies das nächste Byte, das dem Z80A zur Ablesung verfügbar ist. Wenn der Z80A ein Byte auf das Eingangsdaten-Register schreibt, wird dieses geschriebene Byte im anderen Byte wiederholt, und der 8086 kann beide lesen. DMA-Übertragungen benutzen dieses Konzept zur Multiplexübertragung höchst- und niederwertiger Bytes von D0-15 auf den 8-Bit RTC-Board.

Nach einem Lesevorgang an Offset 10FEH (die höchste E/A-Anschlußadresse des 8232), sendet das 8232 Board den Options-ID-Code 1CH auf D0-6, während das 8252 Board den Options-ID-Code 1E sendet. Der auf D0-6 von Anschluß-Offset 10FEH gesendete Options-ID-Code ist der einzige Unterschied zwischen diesen beiden RTC-Optionsboards und wird von der Hardware durchgeführt. Wenn die beiden Boards die 7-Bit Options-ID-Codes auf D0-6 senden, wird D7 nur hoch gesteuert, wenn die Boards eine anstehende 8086 Unterbrechungsanforderung haben. (In Abschnitt 9.2 sind sämtliche RTC E/A-Anschlüsse aufgelistet, die dem 8086 zugänglich sind.) Die RTC decodiert nur die niederwertigen vier Bits eines E/A-Anschlußadressenoffsets.

9.2 E/A-ANSCHLÜSSE DER REMOTE-TELEKOMMUNIKATIONS(RTC)-STEUEREINHEIT

Nachstehend werden die Remote-Telekommunikations- Steuereinheit-Anschlußstellen beschrieben, die dem 8086 zugänglich sind.

Anschluß 1xF0H

Lesen RTC-Statusregister. Der 8086 kann das nieder- oder höchstwertige Byte dieser 16-Bit Anschlußstelle oder sämtliche 16 Statusbits lesen. Nur Bits 10 und 11 des RTC-Statusregisters werden von der Hardware gesetzt. Die Bit-Zordnungen sind wie folgt:

- D4-7 -- Gesetzt, wenn die auf dem RTC-Board laufende Z80A Software ein OUT 52 ausführt.
- D10 -- Ausgangsdaten-Register leer. Gesetzt, wenn der Z80A (oder die DMA) eines der beiden Bytes des Ausgangsdaten-Registers, Anschluß 1xF8H, liest. Es kann sein, daß das restliche Byte keine Daten enthält. Gelöscht, wenn der 8086 (oder die DMA) eines der beiden Bytes des Ausgangsdaten-Registers schreibt. Generiert eine DMA-Anforderung, wenn D2 an Ausgabeanschluß-Offset F2H gesetzt ist.

Remote-Telekommunikations-Steuereinheit (RTC)

- D11 -- Eingangsdaten-Register voll. Gesetzt, um anzuzeigen, daß das Eingangsdaten-Register, Anschluß 1xF4H, ein einzelnes Byte Daten enthält, das im höchstwertigen Byte dieser Anschlußstelle wiederholt wird. Gelöscht, wenn der 8086 (oder die DMA) das Eingangsdaten-Register liest. Generiert eine DMA-Anforderung, wenn D3 an Ausgabeanschluß-Offset F2H gesetzt ist.
- D0-3 -- Nicht zugeordnet.
- D8-9 -- Nicht benutzt.
- D12-15 -- Nicht benutzt.

Schreiben 8086 Statusregister. Lädt D0-7 in das 8086 Statusregister auf der RTC.

Anschluß 1xF2H

Schreiben, um Ausgangsdaten-Register und DMA-Kanäle freizugeben. Normalerweise sind Bit D0 und D1 während RTC-Operation gesetzt. Wenn gelöscht, sperren sie die Programmausgabe (d.h., die OUT 1xF8H Instruktion) Fähigkeit der Datenweg-Hardware für Diagnostik, haben aber keinen Effekt auf DMA-Übertragungen. Außerdem ist normalerweise nur jeweils Bit D2 oder D3 gesetzt. Löschen von D2 sowie D3 sperrt DMA-Übertragungen zwischen RTC und Systemspeicher. Die Standardbedingung nach einer Rückstellung ist D0-3 auf Null gelöscht. Die Bit-Zuordnungen sind wie folgt:

- D0 -- Gesetzt, um das niederwertige Byte des Ausgangsdaten-Registers zu initialisieren. Gelöscht, um das niederwertige Byte des Ausgangsdaten-Registers zu sperren. Wenn gelöscht, ist Ausgabeanschluß-Offset F8H gesperrt. Hat keinen Effekt auf DMA.
- D1 -- Gesetzt, um das höchstwertige Byte des Ausgangsdaten-Registers zu initialisieren. Gelöscht, um das höchstwertige Byte des Ausgangsdaten-Registers zu sperren. Wenn gelöscht, ist Ausgabeanschluß-Offset F8H gesperrt. Hat keinen Effekt auf DMA.
- D2 -- Ausgangs-DMA-Freigabe. Wenn gesetzt, generiert die RTC jedesmal automatisch eine DMA-Anforderung, wenn D10 des RTC-Statusregisters gesetzt ist, was bedeutet, daß eine Hälfte des Ausgangsdaten-Registers leer ist und ein Byte Daten annehmen kann. Die Software setzt dieses Bit, wenn die System-DMA-Steuereinheit zur Übertragung ausgehender Daten (d. h., DMA-Lesezyklus) programmiert ist.
- D3 -- Eingangs-DMA-Freigabe. Wenn gesetzt, generiert die RTC jedesmal automatisch eine DMA-Anforderung, wenn D11 des RTC-Statusregisters gesetzt ist, was bedeutet, daß das Eingangsdaten-Register ein Byte Daten enthält. Die Software setzt dieses Bit, wenn die System-DMA-Steuereinheit zur Übertragung eingehender Daten (d. h., DMA-Schreibzyklus) programmiert ist.

Remote-Telekommunikations-Steuereinheit (RTC)

D4-7 -- Nicht zugeordnet.

Anschluß 1xF4H

Lesen Eingangsdaten-Register und löschen Bit 11 des RTC-Statusregisters (Anschluß 1xF0H). Das 16-Bit Eingangsdaten-Register hält nur ein Byte Daten, und Bits 0-7 gleichen immer Bits 8-15. Wenn der Z80A ein Byte des Eingangsdaten-Registers schreibt, wird dieses Byte automatisch in das andere Byte hineinkopiert. Somit kann der 8086 höchst- und niederwertige Bytes durch Lesen des entsprechenden Registerteils erhalten.

Schreiben Unterbrechungsprioritätsebene und DMA-Kanalzuweisung. Diese Information muß vor Freigabe von 8086 Unterbrechungen zur Verfügung stehen und kann jederzeit geändert werden. Normalerweise ist nur jeweils Bit D1, D2 oder D3 gesetzt. Die Bit-Zuordnungen sind wie folgt:

- D1 -- Weist DMA-Kanal 1 und Unterbrechungsebene 5 zu, wenn gesetzt. (D2 und D3 sollten gelöscht sein.)
- D2 -- Weist DMA-Kanal 2 und Unterbrechungsebene 6 zu, wenn gesetzt. (D1 und D3 sollten gelöscht sein.)
- D3 -- Weist DMA-Kanal 3 und Unterbrechungsebene 7 zu, wenn gesetzt. (D1 und D2 sollten gelöscht sein.)
- D0 -- Nicht zugeordnet.
- D4-7 -- Nicht zugeordnet.

Anschluß 1xF6H

Schreiben beliebige Daten, um durch Kanal 0 des sekundären CTC eine Z80A Unterbrechungsanforderung zu generieren.

Anschluß 1xF8H

Schreiben Ausgangsdaten-Register. Wie das Eingangsdaten-Register hält das 16-Bit Ausgangsdaten-Register nur jeweils ein Byte Daten. Je nachdem, ob die ausgehenden Daten von einem höchst- oder niederwertigen Speicherbyte herkommen, schreibt der 8086 entweder das höchstwertige oder niederwertige Byte dieses Registers, jedoch nicht beide. Normalerweise alternieren Daten zwischen höchst- und niederwertigen Bytes.

Anschluß 1xFAH

Schreiben beliebige Daten, um eine 8086 Unterbrechungsanforderung von der RTC zu bestätigen. Veranlaßt die RTC, die Unterbrechungsanforderung zu entfernen.

Anschluß 1xFCH

Schreiben beliebige Daten zur Rückstellung der RTC.

Remote-Telekommunikations-Steuereinheit (RTC)

Anschluß 1xFEH

Lesen Options-ID-Code (D0-6 wird 1CH bei dem 8252 Board bzw. 1EH bei dem 8232 Board) und Unterbrechungsstatus (D7 gesetzt, wenn die RTC eine anstehende 8086 Unterbrechungsanforderung hat).

Lediglich auf der 8252 (X.21) Option. Schreiben mit:

- D4 -- auf eins gesetzt, um Ebene 2 Unterbrechungen zu generieren.
- D5 -- auf eins gesetzt, um Ebene 3 Unterbrechungen zu generieren.
- D6 -- auf eins gesetzt, um Ebene 4 Unterbrechungen zu generieren.

Normalerweise ist jeweils nur eines von Bits 4-6 gesetzt, und Bits 1-3 der Anschlußstelle 1xF4H sind auf Null gelöscht, wenn eines dieser Bits gesetzt ist. (Ist eines der Bits 1-3 der Anschlußstelle 1xF4H auf eins gesetzt, was bedeutet, daß die DMA belegt ist, bestimmt der DMA-Kanal die Unterbrechungsprioritätsebene).

9.3 RTC-ARCHITEKTUR

Ausgehende Paralleldaten fließen von dem Systembus durch das Ausgangsdaten-Register zum RTC-Speicher und weiter zum Serien-Eingabe/Ausgabe(SIO)-Chip, der die ausgehenden Daten zum Serienformat konvertiert und an die RS-232C oder X.21 Schnittstellenverbindung sendet. Serielle Daten von der Kommunikationsschnittstelle gehen auf dem Eingangsdatenweg zuerst zum SIO-Chip, der sie zum ParallelfORMAT konvertiert, und dann durch den RTC-Speicher zum Eingangsdaten-Register.

Abbildung 9-1 stellt die RTC-Architektur dar. Das Ausgangs- und Eingangsdaten-Register links in der Abbildung verbindet die RTC mit dem Systembus. Der SIO-Chip, der rechts in der Abbildung durch zwei separate Kanäle dargestellt ist, verbindet die RTC mit der Kommunikationsverknüpfung. Der RTC-Speicher ist durch vier DMA-Kanäle an die 8086 Schnittstelle und den SIO-Chip angeschlossen.

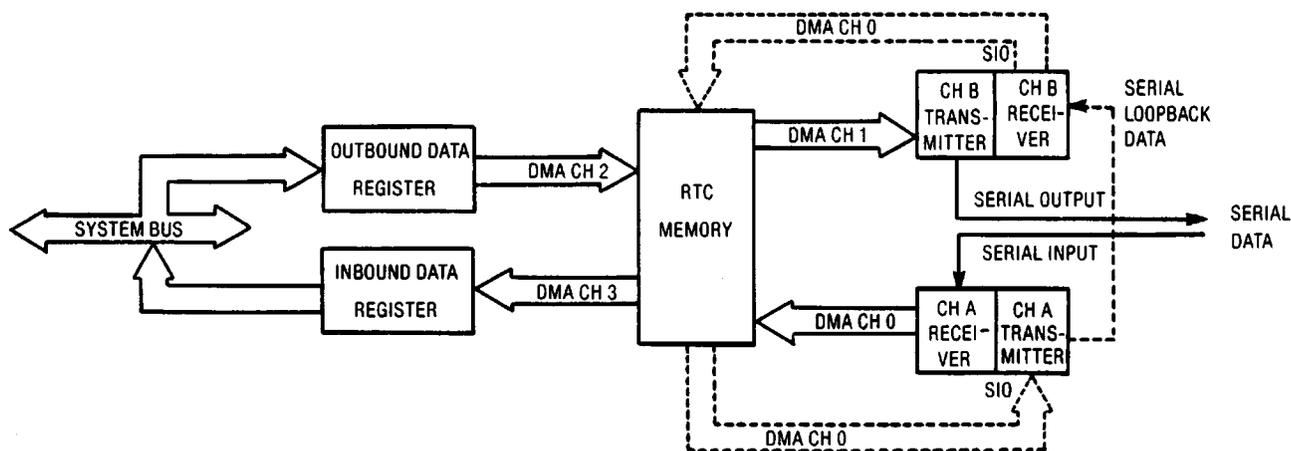


Abbildung 9-1. RTC-Architektur

Der SIO-Chip enthält zwei unabhängige Vollduplex-Kanäle. Kanal A empfängt die Eingabe von der RS-232C oder X.21 Kommunikationsschnittstelle und überträgt die Loopback-Ausgabe an SIO-Kanal B, während Kanal B die Ausgabe an die entsprechende Kommunikationsschnittstelle überträgt und die Loopback-Eingabe von Kanal A empfängt. Die gestrichelten Linien rechts in Abbildung 9-1 zeigen den gegen den Uhrzeigersinn verlaufenden Loopback-Datenweg für diagnostische Loopback-Operation an. Der normale Datenweg bewegt sich im Uhrzeigersinn und ist mit ununterbrochenen Linien eingezeichnet.

Die 9517-1 DMA-Steuereinheit führt schnelle, bidirektionale 1-Byte-Datenübertragungen zwischen Eingangs- und Ausgangsdaten-Register, RTC-Speicher und SIO-Chip durch. Beim Empfang von Daten überträgt ein DMA-Schreibzyklus eingehende Daten vom SIO-Empfänger-Kanal A zum RTC-Speicher über DMA-Kanal 0. Beim Senden von Daten erhält SIO-Sender-Kanal B ausgehende Daten vom RTC-Speicher durch einen DMA-Lesezyklus auf DMA-Kanal 1. Simultane Übertragungen in beiden Richtungen unterstützen Vollduplex-Kommunikation. Während der Loopback-Operation überträgt DMA-Kanal 1 Daten zu SIO-Kanal A statt B, und DMA-Kanal 0 sendet Daten von Kanal B statt A.

9.4 RTC-SPEICHER

Der RTC-Speicher besteht aus 4K Bytes EPROM für Ureingabe- und Diagnostikprogramme sowie aus 60K Bytes RAM. EPROM belegt die niedrigsten 4K Bytes Adreßraum. RAM beginnt an Speicheradresse 1000 und ist als 9-Bit Speicher mit acht Datenbits und einem Paritätsbit strukturiert. RAM-Paritätsfehler triggern eine unausblendbare Z80A Unterbrechung. Die E/A-Hardware auf den RTC-Boards benutzt E/A-bezogene Anschlußadressierung. Tabelle 9-1 listet die RTC-Anschlußadressen auf.

9.5 DIREKTSPEICHERZUGRIFF

Vier DMA-Datenwege von hoher Geschwindigkeit reduzieren Prozessor-Belastung, wenn Daten zu und von dem RTC-Speicher übertragen werden. Der Kanal 0 Weg überträgt eingehende Daten vom SIO-Chip zum RTC-Speicher. Ein Puffer-Belegt-Signal vom niedrigst- oder höchstwertigen Byte einer der beiden SIO-Empfänger-Kanäle veranlaßt eine Kanal 0 DMA-Anforderung. Auf DMA-Kanal 1 überträgt ein entsprechender Datenweg ausgehende Daten vom RTC-Speicher zum SIO-Chip. Ähnlich wie bei Kanal 0 DMA-Anforderungen, leitet ein Puffer-Belegt-Signal eines der beiden SIO-Sender eine Kanal 1 DMA-Anforderung ein.

Auf DMA-Kanal 2 verbindet ein dritter Datenweg das Ausgangsdaten-Register mit dem RTC-Speicher. Die Hardware generiert automatisch eine Kanal 2 DMA-Anforderung, wenn vom Systembus ein Byte Daten empfangen wird, das vom Ausgangsdaten-Register zum RTC-Speicher übertragen werden soll. Bei DMA-Kanal 3 ist der RTC-Speicher durch einen entsprechenden Datenweg mit dem Eingangsdaten-Register verbunden. Auch hier generiert die Hardware automatisch eine Kanal 3 DMA-Anforderung, wenn eines der beiden Bytes eingehender Daten auf den Systembus gesteuert wird und neue Daten vom RTC-Speicher angenommen werden können.

Remote-Telekommunikations-Steuereinheit (RTC)

Tabelle 9-1. RTC Z80A E/A-Anschlußadressen

Anschluß	Beschreibung
00-03	SIO-Chip-Register.
10H-1FH	DMA-Steuereinheit-Chip-Register.
20H-23H	Primäre CTC-Register.
30H	Schreiben ein Datenzeichen, um die Erkennungstabelleneintragung dieses Zeichens zu löschen (zur Freigabe der Zeichenerkennungsunterbrechung).
31H	Schreiben ein Datenzeichen, um die Erkennungstabelleneintragung dieses Zeichens zu setzen (zum Sperren der Zeichenerkennungsunterbrechung).
40H	<p>Lesen Options-Schalter. Lädt Konfigurationsoptions-Schaltereinstellungen in den Akkumulator, wobei Schalter 1 das niedrigstwertige und Schalter 8 das höchstwertige Bit ist.</p> <p>Schreiben mit:</p> <p>D0 - 0 um externen Taktgeber zu wählen (synchrone Operation). 1 für internen Taktgeber (asynchrone Operation). (Siehe Beschreibung des Taktmodus-Flipflop.)</p> <p>D1 - 0 um serielle Daten im NRZ-Modus zu senden. 1 um NRZI-Modus zu wählen.</p> <p>D4 - 0 um /SRTS auf eins zu setzen. 1 um /SRTS auf Null zu setzen.</p> <p>D7 - Gesetzt, um eine 8086 Unterbrechungsanforderung zu generieren.</p> <p>(Der Standardwert ist in jedem Fall Null.)</p>
44H	<p>Lesen 8086 Statusregister.</p> <p>Schreiben beliebige Daten, um RTC zurückzusetzen.</p>
48H	Schreiben beliebige Daten, um "DTE Ready" (C=OFF und T=0) lediglich auf dem 8252 (X.21) Optionsboard anzuzeigen. Die Einschaltstandardbedingung ist "DTE Uncontrolled Not Ready" (C=OFF und T=1).

Tabelle 9-1. RTC Z80A E/A-Anschlußadressen (Forts.)

Anschluß	Beschreibung
4CH	<p>Lesen ACU-Statusregister lediglich auf 8232 (RS-232C) Option. Die Bit-Zuordnungen sind wie folgt:</p> <p>D0 - Wahl Erfolglos und Wiederholung. D1 - Wählzeichen-Übernahmebereitschaft. D2 - Funktionsbereitschaft. Eingeschaltet, wenn gesetzt. D3 - Anrufursprungsstatus. D4 - Übertragungsleitung belegt. D5-7 - Nicht zugeordnet.</p> <p>Schreiben ACU-Befehlsregister lediglich auf 8232 (RS-323C) Option. Die Bit-Zuordnungen sind wie folgt:</p> <p>D0-3 - Wählzeichenbits 0-3. D4 - Wählzeichen übernehmen. D5 - Wählzeichen-Anforderungskennzeichen. D6-7 - Nicht zugeordnet.</p> <p>Schreiben mit Bit 7 auf eins gesetzt, um Unterbrechungserkennung lediglich auf dem 8252 (X.21) Board freizugeben. Ist die Unterbrechungserkennung freigegeben, steuern die Schaltkreise auf dem 8252 Board die empfangenen Daten und den Taktgeber zum SIO-Kanal B Empfänger, der normalerweise nur für Loopback-Testing benutzt wird. SIO-Kanal B entdeckt dann das kontinuierliche Niedrigsignal, das mindestens 16 Bit-Zeiten lang ist und eine Unterbrechung signalisiert.</p>
50H	Lesen Ausgangsdaten-Register.
51H	Schreiben niederwertiges Byte des RTC-Statusregisters. Zugeordnete Bits im höchstwertigen Byte werden von der Hardware gesetzt.
52H	Schreiben D4-7 in Bits 12-15 des RTC-Statusregisters.

Tabelle 9-1. RTC Z80A E/A-Anschlußadressen (Forts.)

Anschluß	Beschreibung
54H	<p>Freigabe Eingangsdaten-Register. Bits D4 und D5 sind normalerweise während RTC-Operation gesetzt. Wenn gelöscht, sperren sie die Programmausgabe (d. h., die OUT 56H Instruktion) Fähigkeit der Datenweg-Hardware für Diagnostik, haben aber keinen Effekt auf DMA-Übertragungen. Die Bit-Zuordnungen sind wie folgt:</p> <p>D4 -- Gesetzt, um das niederwertige Byte des Eingangsdaten-Registers zu initialisieren. Gelöscht, um das niederwertige Byte des Eingangsdaten-Registers zu sperren. Wenn gelöscht, ist Ausgabeanschluß 56H für niederwertige Byteausgabe gesperrt. Hat keinen Effekt auf DMA.</p> <p>D5 -- Gesetzt, um das höchstwertige Byte des Eingangsdaten-Registers zu initialisieren. Gelöscht, um das höchstwertige Byte des Eingangsdaten-Registers zu sperren. Wenn gelöscht, ist Ausgabeanschluß 56H für höchstwertige Byteausgabe gesperrt. Hat keinen Effekt auf DMA.</p> <p>D0-3 -- Nicht zugeordnet.</p> <p>D6-7 -- Nicht zugeordnet.</p>
56H	Schreiben Eingangsdaten-Register. OUT 54H, mit D4 und D5 gesetzt, sollte dem ersten OUT 56H vorausgehen.
60H-63H	Sekundäres CTC-Register
70H	<p>Lesen, um LED-Anzeiger zu kippen. Durch Lesen wird ein Byte von 0 gesendet und die LED eingeschaltet (falls ausgeschaltet) bzw. ausgeschaltet (falls eingeschaltet). Die Anfangseinstellung steht auf "ein".</p> <p>Schreiben beliebige Daten, um falsche (d. h., ungerade) Paritätsgenerierung freizugeben.</p>
71H	Schreiben beliebige Daten, um korrekte (d. h., gerade) Paritätsgenerierung freizugeben. Wird nicht auf Anschluß-Offset 70H geschrieben, ist korrekte Parität die Standardeinstellung.

9.6 PRIMÄRER UND SEKUNDÄRER-ZÄHLER/ZEITGEBER-CHIP (CTC)

Der Primäre CTC wird benutzt, um Z80A Unterbrechungsanforderungen zu generieren, wenn einer der vier DMA-Kanäle eine DMA-Übertragungsoperation beendet bzw. wenn die Zeichenerkennungslogik einem Sonderzeichen begegnet. Er verfügt außerdem über einen programmierbaren Baudfrequenz-Taktgeber und führt allgemeine Zähl- oder Zeitmessungsfunktionen durch. Der Sekundäre CTC generiert Z80A Unterbrechungsanforderungen für das Eingangs- und Ausgangsdaten-Register und die programmierte Unterbrechungsanforderungs-Anschlußstelle. Infolgedessen entstehen Primäre CTC-Ereignisse auf dem RTC-Board und Sekundäre CTC-Ereignisse in dem 8086. Wird der CTC erwähnt, handelt es sich um den Primären CTC; andernfalls wird der Sekundäre CTC ausdrücklich angegeben.

CTC-Kanal 0 ist programmiert, um im Zählermodus mit einem Anfangswert von 1 zu operieren und wird nur zum Generieren von Zeichenerkennungs-Unterbrechungsanforderungen benutzt. Die Ausgabe von der Zeichenerkennungs-Nachschlagetabelle wird von der DMA-Steuerlogik gesteuert und während DMA-Schreibzyklen auf die Zählereingabe von CTC-Kanal 0 angewandt. Eine aktive Eingabe bedeutet, daß das auf SIO-Kanal A zuletzt empfangene Zeichen als Sonderzeichen erkannt wurde. Dadurch wird der Kanal 0 Zählerstand auf Null gesetzt und die Zeichenerkennungs-Unterbrechungsanforderung getriggert.

CTC-Kanal 1 ist ein programmierbarer Baudfrequenzgenerator, der als Zeitgeber operiert und den SIO-Kanal A Empfangstaktgeber sowie den SIO-Kanal B Sendetaktgeber nur dann erzeugt, wenn das Taktmodus-Flipflop gelöscht ist, um interne Taktoperation mit einem asynchronen Modem zu wählen. Nach Wahl kann CTC-Kanal 1 auch einen internen Baudfrequenztaktgeber für Loopback-Operation, einen internen Taktgeber für CRC-Zeichengenerierung oder einen Baudfrequenz-taktgeber für synchrone oder asynchrone Nullmodemanwendungen generieren. Operiert CTC-Kanal 1 als Zähler, registriert er RS-232C Sendetaktimpulse und generiert einen Taktgeber zum Prüfen der Markierungszeichen bei SDLC oder HDLC Protokollen.

CTC-Kanal 2 empfängt /EOP Signale von der DMA-Steuereinheit und generiert DMA-Prozeßende-Unterbrechungsanforderungen. Wie CTC-Kanal 0, der eine ähnliche Zeichenerkennungs-Unterbrechungsanforderungsfunktion ausführt, operiert CTC-Kanal 2 im Zählermodus mit einem Anfangszählwert von 1.

CTC-Kanal 3 steht als allgemeiner Zeitgeber zur Verfügung. Außerdem sind Kanal 2 und 3 hintereinandergeschaltet, um einen erweiterten Zeitgeber mit Kanal 3 als höchstwertige Stufe zu implementieren. Der erweiterte Zeitgeber kann für längere Zeitüberschreitungen oder andere Sonderfunktionen benutzt werden, wenn keine DMA-Übertragungen angefordert sind.

Die vier primären CTC-Eingabe-Kanäle müssen bei Operation im Zählermodus zur Annahme aktiv-niedriger Trigger-Eingaben programmiert sein. Die sekundären CTC-Eingabe-Kanäle müssen bei Operation im Zählermodus auf Kanal 1 und 2 zur Annahme aktiv-hoher Trigger-Eingaben programmiert sein. Kanal 0 des sekundären CTC muß zur Annahme aktiv-niedriger Trigger-Eingaben programmiert sein.

9.7 DMA-PROZESSENDE-UNTERBRECHUNGEN

CTC Kanal 2 ist für Operation im Zählermodus mit einem Anfangszählerwert von 1 programmiert, empfängt /EOP (Prozeßende) Signale von dem DMA-Steuereinheit-Chip und generiert jedesmal eine Z80A Unterbrechungsanforderung, wenn /EOP anzeigt, daß eine DMA Übertragungsoperation beendet ist. Um die /EOP Unterbrechung zu behandeln, prüft die Software das interne Statusregister der DMA-Steuereinheit und identifiziert den DMA-Kanal (oder die Kombination von Kanälen), der (die) die Endzahl erreicht hat.

Eine /EOP-Signalspeicher-Schaltung verhindert, daß der CTC einen zweiten /EOP Impuls übergeht, der nach Generieren einer CTC-Unterbrechungsanforderung, jedoch vor Neuinitialisierung des CTC zur Verarbeitung des nächsten /EOP Impulses auftreten könnte. Wenn eine Unterbrechungsbehandlungsroutine ein IN 18 ausführt, um das Statusregister der DMA-Steuereinheit zu lesen, erkennt der besondere Schaltkreis auf dem RTC-Board die IN 18 Instruktion, löscht die alte /EOP Anzeige und bereitet Signalspeicherung eines neuen /EOP Signals vor. Wenn die Unterbrechungsbehandlungsroutine die Verarbeitung einer /EOP Unterbrechung beendet, löst die /EOP-Signalspeicher-Schaltung in Beantwortung des zweiten /EOP Signals eine CTC-Anforderung der nächsten Unterbrechung aus.

9.8 TAKTMODUS UND INTERNE ZEITMESSUNG VERGLICHEN MIT EXTERNER ZEITMESSUNG

Bei Einschalten des Stroms nimmt das Taktmodus-Flipflop den Standardwert an, um synchrone Operation zu einer von externen Sende- und Empfangstaktgebern im Modem bestimmten Geschwindigkeit einzuführen. In diesem Operationsmodus sind die Empfangstaktgeber(RC)- und Sendetaktgeber(TC)-Leitungen von der Kommunikationsschnittstelle mit dem SIO-Kanal A Sendetaktgeber (TxCA) bzw. den SIO-Kanal B Empfangstaktgeber (RxCB) verbunden. RC entsteht auf Stift 17 der RS-232C Steckverbindung oder Stift 6 der X.21 Steckverbindung, während TC auf Stift 15 der RS-232C Steckverbindung oder Stift 13 der X.21 Steckverbindung entsteht. Eine OUT 40 Instruktion mit D0 auf 0 gelöscht setzt das Taktmodus-Flipflop, um diese Standardbedingung festzulegen.

Auf dem RTC-232C Board löscht eine OUT 40 Instruktion, mit D0 auf 1 gesetzt, das Taktmodus-Flipflop, um asynchrone Operation zu einer programmierten, durch die Taktausgabe von CTC-Kanal 1 bestimmten Baudfrequenz einzuführen. Die Empfangs- und Sendetaktgeberleitungen von der Kommunikationsschnittstelle sind unterbrochen, und der CTC-Kanal 1 Taktgeber liefert TxCA und RxCB. (Der CTC-Kanal 1 Taktgeber betreibt auch Stift 11 und 19 der RS-232C Steckverbindung, um für das Nullmodem von Wang sowie den RxCA und TxCB Taktgeber, die bei Loopback-Operation benutzt werden, einen Taktgeber zu stellen. Diese Kanal 1 Taktwege von dem CTC sind immer freigegeben und erfordern keine OUT 40 Instruktion.)

9.9 SEKUNDÄRE SENDEANFORDERUNG

Ausführung der OUT 40 Instruktion mit D4 auf 0 gelöscht setzt das Sekundäre Sendeanforderung-Signal (/SRTS auf Stift 11 und 19 der RS-232C Steckverbindung) auf Markierungszustand. Ist D4 jedoch auf eins gesetzt, wird /SRTS auf Leerraumzustand gesetzt. Dies ermöglicht Sekundärkanalunterbrechungsübertragung, wenn ein Halbduplex-Modem an den RTC-232C Board angeschlossen ist. Braucht ein externes Modem ein aktives Sekundärsendeanforderungssignal auf Stift 19 (außer einer Sekundärkanalunterbrechungsübertragung), belegt ein Überbrückungsdraht Stift 19 für ausschließlichen Gebrauch als normale /SRTS Leitung. Weil Bits D0 und D4 die RS-232C Schnittstelle konfigurieren, werden sie von der OUT 40 Instruktion auf 8252 Boards nicht benutzt.

9.10 SONDERZEICHENERKENNUNG

Ein 256-Bits mal 1-Bit statisches RAM enthält eine Nachschlagetabelle, die feststellt, ob es sich bei einem von SIO-Kanal A empfangenen Zeichen um eines der Sonderzeichen handelt, die eine Unterbrechungsanforderung verursachen können. Die Nachschlagetabelle RAM bezieht die Adresse von dem 8-Bit Datenbus und die Daten von der niederwertigen Adreßleitung (A0). Bei Initialisierung der Zeichenerkennungstabelle identifizieren deshalb Akkumulatordaten die Nachschlagetabelleneintragung, während der Z80A ein OUT 30 oder OUT 31 ausführt. Ein OUT 30 löscht die vom Akkumulatorinhalt adressierte Eintragung (und fordert dadurch jedesmal bei Erkennung des entsprechenden Zeichens eine Unterbrechung an). Ein OUT 31 setzt diese Nachschlagetabelleneintragung (und unterdrückt Unterbrechungsanforderungen bei Erkennung des entsprechenden Zeichens).

Jedes eingehende, auf SIO-Kanal A empfangene Zeichen wird über den Datenbus auf das Zeichenerkennungs-RAM bezogen. Die entsprechende 1-Bit Nachschlagetabelleneintragung setzt oder löscht ein Flipflop. DMA-Schaltungen takten das Flipflop während eines DMA-Schreib-Zyklus, um die CTC-Kanal 0 Zählereingaben zu triggern, falls die Nachschlagetabelleneintragung Null war, was ein Sonderzeichen anzeigt, das eine Unterbrechung triggern soll. CTC-Kanal 0 ist im Zählermodus mit einem Anfangswert von 1 programmiert und wird nur benutzt, um die tatsächliche Unterbrechungsanforderung zu generieren.

9.11 Z80A-UNTERBRECHUNGEN

Unausblendbare Unterbrechungen (NMIs) zeigen Paritätsfehler an, die mit Ausnahme des Busanforderungs(/BUSRQ)-Signals von der DMA-Steuereinheit höchste Priorität haben. Der ausblendbare Unterbrechungsmodus 2 und Vektorunterbrechungen sind nach den NMIs von höchster Priorität. Die einzigen Vektorunterbrechungsanforderungsquellen sind der SIO-Chip und der CTC, die kettengeschaltet sind und eine Unterbrechungsschachtelungsmethode bieten, die bei gleichzeitiger Bedienungsanforderung von beiden Chips automatisch das Gerät höchster Priorität wählt. Eine RETI Instruktion beendet eine Unterbrechungsbehandlungsroutine durch Neuinitialisieren der Kette für weitere Behandlung geschachtelter Prioritätsunterbrechungen. Die nachstehenden möglichen RTC-Z80A Vektorunterbrechungen sind nach Priorität aufgelistet:

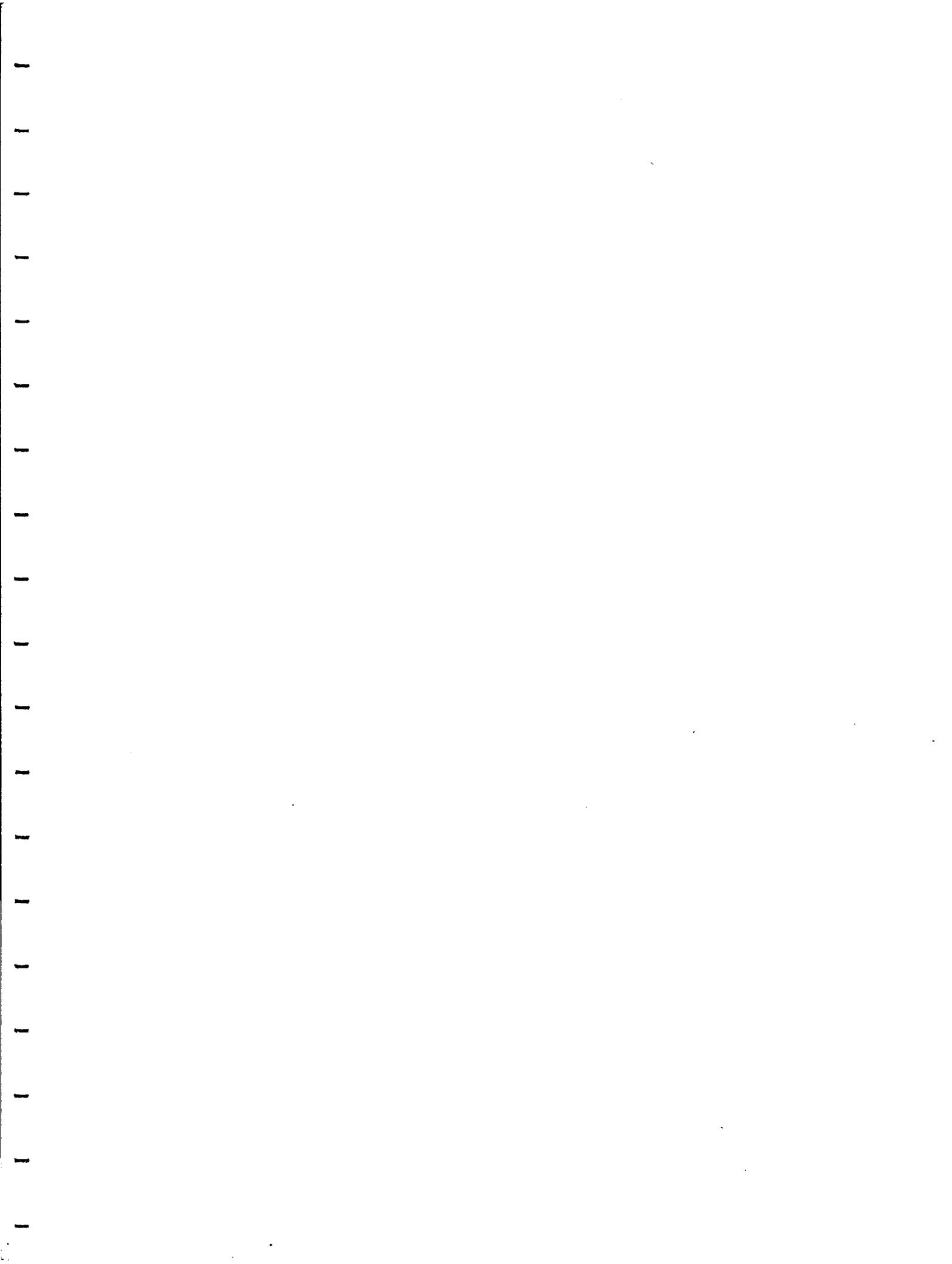
1. SIO-Kanal A Empfänger (höchste Priorität).
2. SIO-Kanal A Sender (nur für Loopback-Operation benutzt).
3. SIO-Kanal A Status (nicht benutzt bei BISYNC). Ein Glockenzeichensignal dient als externes/Status-Signal.
4. SIO-Kanal B Empfänger (nur für Loopback-Operation benutzt).
5. SIO-Kanal B Sender.
6. SIO-Kanal B Status (nicht benutzt bei BISYNC).
7. Primärer CTC-Kanal 0 (Zeichenerkennungsunterbrechung oder Allgemeinzeitgeber).
8. Primärer CTC-Kanal 1 (SIO Empfangs- und Sendetaktgeber oder Zähler zum Prüfen von SDLC und HDLC Markierungszeichen).
9. Primärer CTC-Kanal 2 (Prozeßende für alle vier DMA-Kanäle).
10. Primärer CTC-Kanal 3 (Softwarezeitgeber).
11. Sekundärer CTC-Kanal 0 (Z80A Unterbrechungsanforderung vom 8086).
12. Sekundärer CTC-Kanal 1 (Z80A Unterbrechung, wenn 8086 Ausgangsdaten-Register schreibt).
13. Sekundärer CTC-Kanal 2 (Z80A Unterbrechung, wenn 8086 Eingangsdaten-Register liest).
14. Sekundärer CTC-Kanal 3 (nicht zugeordnet, niedrigste Priorität).

9.12 AUTOMATISCHE ANRUF EINRICHTUNG

Auf dem 8232 (RS-232C) Optionsboard wird die Datenübertragung von einer automatischen Anrufleinrichtung (ACU) mittels des Fernsprechnetzes vollständig automatisiert. Vier Binärsignalleitungen (D0-3 oder NB1, 2, 4 und 8) zu der ACU übertragen einen definierten Zeichensatz von 16 Codes. Codes 0 bis 9 entsprechen den Ziffern Null bis neun. Codes 10 bis 13 entsprechen dem Stern (*), Pfund-Zeichen (#), Nummernende (EON) bzw. Trennsteuerzeichen (SEP). Codes 14 und 15 sind nicht definiert. Nach Senden der letzten Ziffer der gewählten Nummer sendet die RTC ein EON. In Antwort auf das EON überträgt die ACU sofort den Kommunikationskanal an das Modem, ohne auf ein Antwortsignal von dem angerufenen Modem zu warten. SEP signalisiert eine Pause zwischen aufeinanderfolgenden Ziffern. Z. B. kann die ACU in Antwort auf SEP wieder auf einen Wählton warten, ehe sie die Schaltung PND auf ON schaltet. (In Tabelle 9-2 wird die ACU-Schnittstelle beschrieben.)

Tabelle 9-2. Automatische Anrufleinrichtung-Schnittstelle

Name	Stift	E/A	Beschreibung
NB1	14	O	Wählzeichenbit 0.
NB2	15	O	Wählzeichenbit 1.
NB4	16	O	Wählzeichenbit 2.
NB8	17	O	Wählzeichenbit 3.
DPR	2	O	Wählzeichen übernehmen. Teilt der ACU mit, daß sie den 4-Bit Code auf NB1, 2, 4 und 8 lesen kann, dessen Zustand sich nicht ändern darf, während DPR aktiv ist.
CRQ	4	O	Wahlanforderung. Fordert die ACU auf, einen Anruf anzumelden. Muß aktiv bleiben, um die Leitung offen zu halten (d. h., muß abgehoben sein). Die ACU bricht den Anruf ab, wenn CRQ vor Aktivwerden von COS oder DSC inaktiv wird.
ACR	3	I	Wahl Erfolglos und Wiederholung. Wenn aktiv, bestimmt, daß zwischen aufeinanderfolgenden Ereignissen in der Anrufprozedur eine vorgeschriebene Zeit abgelaufen ist und teilt dadurch der RTC mit, wenn der Aufruf abgebrochen werden soll. Der Anruf wird durch Eingriff der RTC abgebrochen.
PND	5	I	Wählzeichen-Übernahmebereitschaft. Wenn aktiv, wird angezeigt, daß die ACU bereit ist, die nächste 4-Bit Ziffer von der RTC anzunehmen. Wenn inaktiv, wird dadurch dem 8086 mitgeteilt, daß er DPR sperren und NB1, 2, 4 und 8 für die nächste Ziffer setzen soll.
PWI	6	I	Funktionsbereitschaft. Aktiv, um anzuzeigen, daß die ACU eingeschaltet ist.
COS	13	I	Anrufursprungstatus. In einer früheren RS-366 Spezifikation als "DSS" bezeichnet. Zeigt an, ob die Verbindung zu einer Nebeneinheit hergestellt wurde. Kann auch den Status der automatischen Anrufursprungsprozeduren anzeigen. Der Betriebsstatus oder die Bereitschaft des angeschlossenen Modems wird jedoch von COS nicht angezeigt.
DLO	22	I	Übertragungsleitung belegt. Wenn aktiv, zeigt an, daß der Kommunikationskanal in Gebrauch ist (d. h., von einem anderen Gerät gesteuert wird). Das abfallende Ende tritt erst ein, wenn alle Schnittstellenleitungen zum Leerlaufzustand zurückkehren.



KAPITEL 10 WINCHESTER-DISK-STEUEREINHEIT

Die Winchester-Disk-Steuereinheit (WDC) ist ein programmierbarer, Z80A-basierter E/A-Optionsboard, der ein 5,25-Zoll Direktzugriffsspeicher-Plattenlaufwerk der Winchester-Technologie ansteuert. Das Winchester-Laufwerk speichert maximal 10MB formatierter Daten auf beiden Seiten von ein bis zwei Festplatten. Der von der WDC gelenkte, bewegliche Lese-/Schreibkopf hat Zugang zu 304 logischen Spuren pro Aufzeichnungsoberfläche. Jede Oberfläche hat sechzehn 512-Byte Sektoren pro Spur, d. h., insgesamt 64 Sektoren pro Zylinder bei einem Doppelplattenlaufwerk bzw. 32 Sektoren pro Zylinder bei einem Einzelplattenlaufwerk. Die Disks und die Aufzeichnungsköpfe befinden sich in einem hermetisch verschlossenen Gehäuse mit einem luftfilternden Zirkulationssystem, das Datenträger und Köpfe vor Temperaturschwankungen und Umgebungsverunreinigung schützt.

10.1 PROGRAMMIEREN DER WINCHESTER-DISK

Außer höherer Geschwindigkeit und größerer Speicherkapazität besitzen 5,25-Zoll-Winchester-Plattenlaufwerke ähnliche Eigenschaften wie die 5,25-Zoll Disketten-Speichereinheiten. Um die Ähnlichkeiten zwischen diesen beiden Plattenlaufwerkarten auszunützen, implementiert die WDC eine Reihe von Befehlen, deren Format, Funktion und Operation denen der Diskettensteuereinheit ähneln. Obwohl die WDC ihrem Diskettengegenstück ungefähr entspricht, ist sie jedoch im allgemeinen unkomplizierter und leichter zu benutzen als die Diskettensteuereinheit.

Wie bei der Diskettensteuereinheit, läßt sich die WDC Befehlsausführung am besten in vier Phasen beschreiben. Die WDC Befehlsfolge beginnt mit einer wahlweisen Initialisierungsphase. Während der Initialisierungsphase greift der 8086 auf die E/A-Anschlußstellen zu und setzt die WDC zurück, bricht eine eventuell gerade noch stattfindende Operation ab, erstellt oder ändert die Unterbrechungsprioritätsebene und DMA-Kanalzuordnung der WDC und führt andere Befehlsinitialisierungsfunktionen durch. Nach Initialisierung der WDC kann eine Folge von WDC-Befehlen ohne Wiederholung des Initialisierungsvorgangs ausgeführt werden; jedoch kann ein Programm die WDC nach Wahl jederzeit neu initialisieren. Tabelle 10-1 listet die WDC E/A-Anschlußzuordnungen auf, und Tabelle 10-2 beschreibt den Inhalt des Hauptstatusregisters.

Tabelle 10-1. Winchester-Disk-Steuereinheit E/A-Anschlüsse

Anschluß	Beschreibung
1x00H	<p>Lesen WDC-Hauptstatusregister (siehe Tabelle 10-2).</p> <p>Schreiben beliebige Daten, um laufende Operation abubrechen und für neuen Befehl initialisieren. Bricht den gegenwärtigen Befehl sofort ab, ohne Operationsstatusbytes zu senden.</p>
1x02H	<p>Lesen Operationsstatusregister. Wenn die WDC mit der Ausführung der meisten Befehle fertig ist, muß der 8086 vor Einleitung der nächsten Winchester-Disk-Operation eine Folge von acht Statusbytes von dieser Anschlußstelle lesen. Ehe der 8086 diese Anschlußstelle lesen kann, muß das WDC-Hauptstatusregister Bereitschaft anzeigen.</p> <p>Schreiben Befehlsregister. Um eine Winchester-Disk-Operation einzuleiten, schreibt der 8086 eine Folge von acht Befehlsbytes auf diese Anschlußstelle. Ehe der 8086 auf diese Anschlußstelle schreiben kann, muß das WDC-Hauptstatusregister Bereitschaft anzeigen.</p>
1x04H	<p>Lesen, um WDC-Unterbrechungsanforderung zu löschen. Sendet beliebige Daten.</p>
1xFCH	<p>Schreiben beliebige Daten, um die WDC zurückzusetzen. Führt Einschalt-Diagnostik aus und setzt im Falle einer Fehlerbedingung das Steuereinheit-Fehlerkennzeichen (Bit 1 im WDC-Hauptstatusregister).</p>
1xFEH	<p>Lesen Options-ID-Code (D0-6 wird 01) und Unterbrechungsstatus (D7 gesetzt, falls die WDC eine anstehende 8086-Unterbrechungsanforderung hat).</p> <p>Schreiben Unterbrechungsprioritätsebene und DMA-Kanalzuordnung. Diese Information muß vor Freigabe von 8086 Unterbrechungen zur Verfügung stehen und kann jederzeit geändert werden. Normalerweise ist nur jeweils Bit D1, D2 bzw. D3 gesetzt. Die Bit-Zuordnungen sind wie folgt:</p> <p>D1 -- Weist DMA-Kanal 1 und Unterbrechungsebene 5 zu, wenn gesetzt. (D2 und D3 sollten gelöscht sein.)</p> <p>D2 -- Weist DMA-Kanal 2 und Unterbrechungsebene 6 zu, wenn gesetzt. (D1 und D3 sollten gelöscht sein.)</p> <p>D3 -- Weist DMA-Kanal 3 und Unterbrechungsebene 7 zu, wenn gesetzt. (D1 und D2 sollten gelöscht sein.)</p> <p>D0 -- Nicht zugeordnet.</p> <p>D4-7 -- Nicht zugeordnet.</p>

Tabelle 10-2. Winchester-Disk-Steuereinheit Hauptstatusregister
(Eingabe-Anschluß-Offset 1x00H)

Bit	Beschreibung
0	Bereit/Belegt-Kennzeichen. Auf eins gesetzt, wenn WDC belegt ist. WDC nimmt Befehlsregister-Eingabe über E/A-Anschluß-Offset 1x01H nur an, wenn dieses Bit auf Null gelöscht ist, was Bereitstatus anzeigt.
1	Steuereinheit-Fehlerkennzeichen. Auf eins gesetzt, um anzuzeigen, daß die Einschalt-Diagnostik eine WDC-Fehlerbedingung erkannte.
2	Lesen Statuskennzeichen. Auf eins gesetzt, wenn die WDC bereit ist, das erste Byte einer Statusbytefolge zu senden. Auf Null gelöscht, wenn der 8086 das achte und letzte Byte einer Statusbytefolge liest. Wenn gesetzt, wird angezeigt, daß der 8086 vor Erteilen des nächsten WDC-Befehls zusätzliche Statusbytes annehmen muß (oder die laufende Operation durch Schreiben auf E/A-Anschluß 1X00H unterbrechen soll).
3	Laufwerkgröße-Kennzeichen. Auf Null gelöscht, wenn das Laufwerk eine 5MB Einheit ist, andernfalls auf eins gesetzt.
4-7	Anzahl der empfangenen Befehlsbytes --oder gesendeten Statusbytes -- seit Ende der letzten Operation. Während der 8086 die Statusbytes liest, inkrementiert die WDC dieses 4-Bit Feld von Null auf sieben und löscht es, wenn der 8086 das achte Statusbyte gelesen hat. Dieses Feld wird wieder ab Null inkrementiert, während der 8086 die Befehlsbytes schreibt, und gelöscht, wenn der 8086 das achte Befehlsbyte geschrieben hat. Das höchstwertige Bit 7 wird vorübergehend gesetzt, während das achte Byte in einer der beiden Richtungen übertragen wird.

10.2 BEFEHLSPHASE

Während der Befehlsphase und nach Ausführung einer angeforderten Initialisierung, lädt der 8086 eine Folge von acht Befehlsbytes in das WDC-Befehlsregister (Ausgabeanschluß 1x02H). Die 8-Byte Befehlsfolge enthält sämtliche von der WDC zur Ausführung des Befehls benötigte Information; d. h., sie bestimmt den Funktionscode, eine den nächsten Sektor, Zylinder und Kopf enthaltende Diskadresse sowie die Anzahl der mit dem Befehl verbundenen Sektoren (falls zutreffend). Bei bestimmten WDC-Befehlen werden in der 8-Byte Befehlsfolge andere spezielle Arten von Information angenommen. Ungeachtet der auszuführenden Funktion überträgt der 8086 immer genau acht Bytes in das WDC-Befehlsregister, obwohl einige Funktionen nicht die gesamte Befehlsphaseninformation benötigen. Diese acht Bytes bezeichnen folgendes:

1. Funktionscode
2. Zweites Byte immer auf Null gelöscht
3. Niederwertiges Byte der Startzylindernummer
4. Höchstwertiges Byte der Startzylindernummer
5. Startoberfläche (d. h., Lese-/Schreibkopf)-Nummer (0-3)
6. Startsektornummer (0-31)
7. Niederwertiges Byte der Anzahl zu übertragender Sektoren
8. Höchstwertiges Byte der Anzahl zu übertragender Sektoren

10.3 AUSFÜHRUNGSPHASE

Zum Lesen oder Schreiben von Diskdaten initialisiert ein 8086 Programm einen DMA-Kanal und erteilt den entsprechenden WDC-Befehl. Die Ausführungsphase beginnt, wenn der 8086 die acht Befehlsbytes auf das WDC-Befehlsregister schreibt. Während der Ausführungsphase gibt die WDC DMA-Anforderungen aus und überträgt Einzelbytes von Daten über den DMA-Kanal. Der interne WDC-Speicher puffert maximal drei Sektoren (1536 Bytes) von Eingabe- oder Ausgabedaten; folglich ist die DMA-Datenübertragungsgeschwindigkeit beim Lesen oder Schreiben der Winchester-Disk nicht kritisch. Wurde die erforderliche Anzahl von Sektoren übertragen, signalisiert eine WDC-Unterbrechung das Ende der Ausführungsphase und den Anfang der Resultatphase.

Während einer Lese-, Schreib- oder anderen sektororientierten Operation wird die laufende Diskadresse automatisch inkrementiert, d. h., sie erhöht sich am Ende jedes 512-Byte Blocks von Sektor 0 auf Sektor 0FH. Nach Zugriff auf Sektor 0FH auf einer Oberfläche wird die Oberfläche(oder Kopf)-Nummer automatisch um eins erhöht, und der nächste Zugriff erfolgt auf Sektor 0 auf der nächsten Oberfläche. Wenn die WDC auf Sektor 0FH auf der höchsten Oberfläche (Oberfläche 1 bei einem Einzelplattenlaufwerk bzw. Oberfläche 3 bei einem Doppelplattenlaufwerk) zugreift, wird die Zylindernummer automatisch um eins erhöht, und der nächste Zugriff erfolgt auf Sektor 0 der Oberfläche 0 auf dem nächsten Zylinder. Im Gegensatz zu der Sektor- und Oberflächennummer geht die Zylinderadresse nach Zugriff auf den höchstnumerierten Zylinder nicht auf Null über. Folglich kann ein einzelner WDC-Befehl jede zusammenhängende Diskdatenregion, einschließlich der gesamten Disk, jedoch nicht über den höchstnumerierten Zylinder hinaus, lesen oder schreiben.

Winchester-Disk-Steuereinheit (WDC)

10.4 RESULTATPHASE

Wenn der Befehl erfolgreich ist, signalisiert eine WDC-Unterbrechungsanforderung das Ende der Ausführungsphase und den Anfang der Resultatphase. Die Resultatphase stellt dem 8086 durch das WDC-Operationsstatusregister (Eingabeanschluß 1x00H) acht Bytes Statusinformation und andere Betriebsbedingungsdaten zur Verfügung. Eine WDC-Unterbrechung erfordert, daß der 8086 den Befehl abbricht oder alle acht Bytes Resultatphasendaten liest. Die acht Bytes Resultatphasendaten bezeichnen folgendes:

1. Funktionscode für den soeben ausgeführten Befehl
2. Operationsstatuscode (siehe Tabelle 10-3)
3. Niederwertiges Byte der nächsten (oder letzten) Zylindernummer
4. Höchstwertiges Byte des nächsten (oder letzten) Zylinders
5. Nächste (oder letzte) Oberfläche(d. h., Kopf)-Nummer (0-4)
6. Nächste (oder letzte) Sektornummer (0-15)
7. Anzahl der übertragenen Sektoren (niederwertiges Byte)
8. Anzahl der übertragenen Sektoren (höchstwertiges Byte)

Die im nächsten (oder letzten) Sektor-, Oberfläche- und Zylinderfeld enthaltene Diskadresse ist die Adresse des letzten erfolgreich übertragenen Sektors (wenn ein Fehler auftritt) oder, in Abwesenheit eines Fehlers, die Adresse des Sektors, der auf den zuletzt übertragenen Sektor folgt. Wie bereits erwähnt, geht die Sektor-, Oberfläche- und Zylindernummer automatisch von Sektor 0FH auf Sektor 0 der nächsten Oberfläche, von der höchstnumerierten Oberfläche auf Oberfläche 0 des nächsten Zylinders bzw. von einem Zylinder auf den nächsten über. Nach erfolgreicher Übertragung des Sektors 0FH auf der höchstnumerierten Oberfläche des Zylinders 96H--der letzte Sektor auf der Disk--erscheint jedoch eine unzulässige Zylindernummer als nächste Zylindernummer im dritten Statusbyte.

Die Lese-E/A-Anschlußstelle 1x04H sendet beliebige Daten und löscht automatisch die 8086 Unterbrechungsanforderungen, die den Anfang der Resultatphase anzeigen. Das Ende der Resultatphase--und das Ende eines WDC-Befehls--tritt ein, wenn der 8086 das achte und letzte Byte der Operationsstatusregister-Information liest. Wie die Befehlsphaseneingabe besteht die Resultatphasenausgabe immer aus genau acht Bytes, obwohl die meisten Befehle nicht alle acht Statusbytes benutzen. Nachstehend folgt eine Aufstellung der Winchester-Disk-Steuereinheitsbefehle mit den von diesen Befehlen ausgeführten Funktionen.

CODE C0H -- READ (LESEN)

Beginnt Lesen der Winchester-Disk ab Startzylinder, -Oberfläche und -Sektor, die im dritten bis sechsten Byte der Befehlsbytefolge bezeichnet sind. Überträgt die im siebten und achten Befehlsbyte bestimmte Anzahl von Sektoren. Fährt nach dem letzten Sektor auf einer Oberfläche mit dem ersten Sektor auf der nächsten Oberfläche fort. Fährt nach der letzten Oberfläche auf einem Zylinder mit der ersten Oberfläche auf dem nächsten Zylinder fort.

Falls keine Fehler vorkommen, wird das zweite Byte der Statusbytefolge auf 80H oder 83H gesetzt. Das dritte bis sechste Statusbyte wird gesetzt, um den Sektor nach dem zuletzt übertragenen Sektor (oder Sektor 0 auf Oberfläche 0 des unzulässigen Zylinders 97H, falls auf Sektor 0FH auf Oberfläche 3 des Zylinders 96H zugegriffen wurde) zu adressieren; und das siebte und achte Statusbyte wird gemäß der Anzahl der übertragenen Sektoren gesetzt.

Wenn ein Fehler auftritt, enthält das zweite Statusbyte den Fehlercode, das dritte bis sechste Statusbyte wird gesetzt, um den letzten erfolgreich übertragenen Sektor zu adressieren, und die restlichen zwei Statusbytes zeigen die Anzahl der erfolgreich übertragenen Sektoren an. Mögliche Fehlercodes sind 03 bei einem unkorrigierbaren ECC Fehler, 04 bei Unauffindbarkeit eines bestimmten Sektor oder 09 bei einem Laufwerkfehler.

READ Befehlsfolge

1. COH
2. 0
3. Erster zu lesender Zylinder
(niederwertig)
4. Erster Zylinder höchstwertig
5. Zu lesende Startoberfläche (Kopf)
6. Zu lesender Startsektor
7. Anzahl zu lesender Sektoren
(niederwertig)
8. Anzahl zu lesender Sektoren
(höchstwertig)

READ Statusfolge

1. COH
2. 80H oder 83H (oder Fehlercode)
3. Nächster (oder letzter) Zylinder
4. Nächster Zylinder höchstwertig
5. Nächste (oder letzte) Oberfläche
6. Nächster (letzter) Sektor
7. Sektoren erfolgreich gelesen
8. Sektoren gelesen (höchstwertig)

CODE C1H — WRITE (SCHREIBEN)

Entspricht READ, mit Ausnahme der Übertragungsrichtung und möglichen Fehlerarten. Falls während einer WRITE Übertragung ein Fehler auftritt, enthält das zweite Statusbyte einen der folgenden Fehlercodes: 02, wenn die Disk schreibgeschützt ist, 04 bei Unauffindbarkeit eines bestimmten Sektors bzw. 09 bei einem Laufwerkfehler.

WRITE Befehlsfolge

1. C1H
2. 0
3. Erster zu schreibender Zylinder
4. Erster Zylinder höchstwertig
5. Zu schreibende Startoberfläche
(Kopf)
6. Zu schreibender Startsektor
7. Anzahl zu schreibender Sektoren
(niederwertig)
8. Anzahl zu schreibender Sektoren
(höchstwertig)

WRITE Statusfolge

1. C1H
2. 80H (oder Fehlercode)
3. Nächster (oder letzter) Zylinder
4. Nächster Zylinder höchstwertig
5. Nächste (oder letzte) Oberfläche
6. Nächster (oder letzter) Sektor
7. Sektoren erfolgreich geschrieben
8. Sektoren geschrieben (höchstwertig)

C2H -- VERIFY (PRÜFEN)

Entspricht READ, außer daß Daten von der Disk nur bis zum internen Datenpuffer der WDC übertragen werden. Fehlerprüfung und -Korrektur wird durchgeführt; es werden jedoch keine DMA-Anforderungen gemacht und keine Daten laufen über den Systembus. VERIFY erweist die Integrität einer Region auf der Disk, ohne die Daten über den Systembus und in den Systemspeicher zu übertragen. Die möglichen Fehler sind mit denen des READ Befehls identisch.

VERIFY Befehlsfolge

1. C2H
2. 0
3. Erster zu lesender Zylinder
(niederwertig)
4. Erster Zylinder höchstwertig
5. Zu lesende Startoberfläche (Kopf)
6. Zu lesender Startsektor
7. Anzahl zu lesender Sektoren
(niederwertig)
8. Anzahl zu lesender Sektoren
(höchstwertig)

VERIFY Statusfolge

1. C2H
2. 80H oder 83H (oder Fehlercode)
3. Nächster (oder letzter) Zylinder
4. Nächster Zylinder höchstwertig
5. Nächste (oder letzte) Oberfläche
6. Nächster (oder letzter) Sektor
7. Sektoren erfolgreich gelesen
8. Sektoren gelesen (höchstwertig)

C3H -- REFORMAT TRACK (SPUR UMFORMATIEREN)

Formatiert die durch das dritte, vierte und fünfte Befehlsbyte bezeichnete Spur um. Das sechste, siebte und achte Befehlsbyte wird nicht benutzt und sollte auf Null gelöscht sein. Eine Spur ist der Teil eines Zylinders, der sich auf einer Oberfläche und unter einem Kopf befindet. Eine Spur enthält alle 16 Sektoren, die eine Oberfläche in einem Zylinder umfassen. Nach Umformatieren der bezeichneten Spur und Schreiben eines vorgeschriebenen Datenmusters, liest der REFORMAT TRACK Befehl die Spur, um festzustellen, ob sie korrekt formatiert wurde und die Daten korrekt gespeichert und abgerufen wurden. (Tabelle 10-5 erklärt das Aufzeichnungsformat.)

Wenn die neu formatierte Spur gefunden wird, jedoch die Daten nicht gelesen werden können, wird die Spur als beschädigt bezeichnet. Dies wird nicht als Fehler betrachtet, da der Formatierungsvorgang erfolgreich war, obwohl die Testdaten einen ECC Fehler generierten. Bei REFORMAT TRACK wird das zweite Statusbyte auf 80H gesetzt, falls erfolgreich; wenn die Disk schreibgeschützt ist, wird es auf 02 gesetzt; bei Unauffindbarkeit der bezeichneten Spur (vor oder nach dem Umformatieren) wird es auf 04 und bei einem Laufwerkfehler auf 09 gesetzt.

REFORMAT TRACK Befehlsfolge

1. C3H
2. 0
3. Umzuformatierender Zylinder
(niederwertig)
4. Zylinder höchstwertig
5. Die Spur enthaltende Oberfläche
(d. h., Kopf)
6. 0
7. 0
8. 0

REFORMAT TRACK Statusfolge

1. C3H
2. 80H (oder Fehlercode)
3. 0
4. 0
5. 0
6. 0
7. 0
8. 0

C9H -- WRITE AND VERIFY (SCHREIBEN UND PRÜFEN)

Entspricht WRITE, außer daß jeder Sektor nach Übertragung auf die Disk zurückgelesen wird, eine Fehlerprüfung stattfindet und die abgerufenen Daten mit den Grunddaten verglichen werden. Sendet dieselbe Statusinformation wie der WRITE Befehl, falls erfolgreich. Sendet bei einem Fehler dieselbe Statusinformation wie ein WRITE Befehl, erkennt jedoch zwei zusätzliche Fehlerbedingungen: einen ECC Fehler, wenn Daten von der Disk zurückgelesen werden (zweites Statusbyte auf 03 gesetzt), oder einen Verifizierungsfehler, wenn die abgerufenen Daten nicht mit den Grunddaten übereinstimmen (zweites Statusbyte auf 05 gesetzt).

WRITE AND VERIFY Befehlsfolge

1. C9H
2. 0
3. Erster zu schreibender Zylinder
4. Erster Zylinder höchstwertig
5. Zu schreibende Startoberfläche
(Kopf)
6. Zu schreibender Startsektor
7. Anzahl der zu schreibenden
Sektoren (niederwertig)
8. Zu schreibende Sektoren
(höchstwertig)

WRITE AND VERIFY Statusfolge

1. C9H
2. 80H oder 83H (oder
Fehlercode)
3. Nächster (oder letzter)
Zylinder
4. Nächster Zylinder
höchstwertig
5. Nächste (oder letzte)
Oberfläche
6. Nächster (oder letzter)
Sektor
7. Sektoren erfolgreich
geschrieben
8. Sektoren geschrieben
(höchstwertig)

FOH -- RUN DIAGNOSTIC (DIAGNOSTIKLAUF)

Führt Einschalt-Diagnostik aus und setzt Bit 01 des WDC Hauptstatusregisters (Eingabeanschluß 1x00H) entsprechend. RUN DIAGNOSTIC ignoriert den zweiten bis achten Byte der Standardbefehlsfolge, hat keine Resultatphase und generiert deshalb bei Beendigung keine 8086 Unterbrechungsanforderung, noch sendet er die üblichen acht Bytes Statusinformation.

F1H -- RESET RETRY COUNTER (WIEDERHOLUNGSZÄHLER ZURÜCKSETZEN)

Löscht den internen WDC-Wiederholungszähler auf Null. Der RESET RETRY COUNTER ignoriert das zweite bis achte Byte der Standardbefehlsfolge. Er ist immer erfolgreich, d. h., er sendet immer F1H und 80H in den ersten zwei Bytes der Statusfolge und endet mit dem dritten bis achten Statusbyte auf Null gelöscht.

F2H -- READ RETRY COUNTER (WIEDERHOLUNGSZÄHLER LESEN)

Sendet den laufenden Wert des internen WDC Wiederholungszählers im siebten und achten Statusbyte, wobei das siebte Statusbyte das niederwertige und das achte Statusbyte das höchstwertige Byte der Wiederholungszahl enthält. Der Wiederholungszähler registriert, wie oft die WDC einen Diskzugriff wiederholen mußte, um den bezeichneten Sektor zu finden. Der READ RETRY COUNTER ignoriert das zweite bis achte Byte der Standardbefehlsfolge. Er ist immer erfolgreich, d. h., er sendet F2H und 80H in den ersten zwei Bytes der Statusfolge und endet mit dem dritten bis sechsten Statusbyte auf Null gelöscht.

F3H -- FORMAT DISK (DISK FORMATIEREN)

Das dritte bis sechste Befehlsbytes bezeichnet ein Kalenderdatum mit dem (Binär-)Monat im dritten Byte, dem Tag im vierten Byte und dem Jahr im fünften und sechsten Byte. Die ganze Disk wird formatiert und das Datum wird auf die Disk geschrieben. Bei FORMAT DISK wird das zweite Statusbyte auf 80H gesetzt, falls erfolgreich; wenn die Disk schreibgeschützt ist, wird es auf 02, wenn der neuformatierte Sektor nicht gelesen werden kann, auf 04 und bei einem Laufwerkfehler auf 09 gesetzt. (Tabelle 10-5 erklärt das Winchester-Disk-Aufzeichnungsformat.)

FORMAT DISK Befehlsfolge

1. F3H
2. 0
3. Monat
4. Tag
5. Jahr (erstes von zwei Bytes)
6. Jahr (zweites Byte)
7. 0
8. 0

FORMAT DISK Statusfolge

1. F3H
2. 80H (oder Fehlercode)
3. 0
4. 0
5. 0
6. 0
7. 0
8. 0

F4H -- READ ERROR DATA (FEHLERDATEN LESEN)

Sendet den zuletzt von der Disk geladenen Inhalt des 512-Byte Puffers. Nach einem unkorrigierbaren Fehler erlaubt dies dem 8086 Zugriff auf Daten, die Fehler enthalten, um soviel Information wie möglich zu retten. READ ERROR DATA benutzt nur das erste Byte der Standardbefehlsbytefolge; die übrigen sieben Bytes sollten auf Null gelöscht sein. READ ERROR DATA ist immer erfolgreich, d. h., es sendet immer 80H im zweiten Byte der Statusfolge. Die restlichen Statusbytes sind auf Null gelöscht.

F5H -- READ RESERVED CYLINDER (RESERVIERTEN ZYLINDER LESEN)

Entspricht READ DATA, jedoch wird nur das erste Befehlsbyte benutzt. Die restlichen Bytes in der 8-Byte Standardbefehlsfolge sollten auf Null gelöscht sein. Liest die zwei (oder mehr) Sektoren des reservierten Zylinders. Falls erfolgreich, sendet es das dritte bis sechste Statusbyte auf Null gelöscht, 02 im siebten Statusbyte und Null im achten. Fehler werden auf dieselbe Weise gemeldet wie bei dem READ DATA Befehl.

F6H -- WRITE ENABLE (SCHREIBEN FREIGABE)

Ermöglicht Ausführung von Befehlen, die Diskdaten ändern können, und zwar WRITE (C1H), WRITE AND VERIFY (C9H), REFORMAT TRACK (C3H), FORMAT (F3H) und WRITE PROTECT (F7H). WRITE ENABLE nimmt im dritten bis achten Befehlsbyte ein beliebiges 6-Byte Kennwort an. Um auf einer schreibgeschützten Disk ein WRITE ENABLE auszuführen, vergleicht die WDC dieses Kennwort mit dem zuletzt zum Schreibschutz der Disk benutzten Kennwort. Stimmen die Kennwörter überein, löscht sie das Schreibschutzkennzeichen, um Schreiben der Disk zu ermöglichen. WRITE ENABLE sendet den 02 Fehlercode, falls die Kennwörter nicht übereinstimmen und den 04 Fehlercode, wenn es die Disk nicht lesen kann. Ist immer erfolgreich, wenn die Disk nicht schreibgeschützt ist.

WRITE ENABLE Befehlsfolge

1. F6H
2. 0
3. Erstes Byte des Kennwortes
4. Zweites Byte des Kennwortes
5. Drittes Byte des Kennwortes
6. Viertes Byte des Kennwortes
7. Fünftes Byte des Kennwortes
8. Sechstes Byte des Kennwortes

WRITE ENABLE Statusfolge

1. F6H
2. 80H (oder Fehlercode)
3. 0
4. 0
5. 0
6. 0
7. 0
8. 0

F7H -- WRITE PROTECT (SCHREIBSCHÜTZEN)

Verhindert Ausführung von Befehlen, die Diskdaten ändern können, und zwar WRITE (C1H), WRITE AND VERIFY (C9H), REFORMAT TRACK (C3H) und FORMAT (F3H) sowie dem WRITE PROTECT Befehl selbst. WRITE PROTECT nimmt im dritten bis achten Byte der Befehlsbytefolge ein beliebiges 6-Byte Kennwort an und sendet den 02 Fehlercode, wenn die Disk bereits schreibgeschützt ist, oder den 04 Fehlercode, wenn es die Disk nicht lesen kann.

WRITE PROTECT Befehlsfolge

1. F7H
2. 0
3. Erstes Byte des Kennwortes
4. Zweites Byte des Kennwortes
5. Drittes Byte des Kennwortes
6. Viertes Byte des Kennwortes
7. Fünftes Byte des Kennwortes
8. Sechstes Byte des Kennwortes

WRITE PROTECT Statusfolge

1. F7H
2. 80H (oder Fehlercode)
3. 0
4. 0
5. 0
6. 0
7. 0
8. 0

F8H -- READ ECC ERROR COUNTER (ECC FEHLERZÄHLER LESEN)

Sendet den laufenden Wert des internen ECC Fehlerzählers der WDC im siebten und achten Statusbyte, wobei das siebte Statusbyte das niederwertige und das achte Statusbyte das höchstwertige Byte der ECC Fehlerzahl enthält. Der ECC Fehlerzähler registriert, wie oft die ECC Schaltkreise einen korrigierbaren Fehler erkannt und korrigiert haben. READ ECC ERROR COUNTER ignoriert das zweite bis achte Byte der Standardbefehlsfolge, ist immer erfolgreich und endet mit dem dritten bis sechsten Statusbyte auf Null gelöscht.

F9H -- RESET ECC ERROR COUNTER (ECC FEHLERZÄHLER ZURÜCKSTELLEN)

Löscht den internen ECC Fehlerzähler der WDC auf Null. RESET ECC ERROR COUNTER ignoriert das zweite bis achte Byte der Standardbefehlsfolge, ist immer erfolgreich und endet mit dem dritten bis sechsten Statusbyte auf Null gelöscht.

FAH -- DOWNLOAD

Überträgt 1792 Bytes Daten, angesehen als Z80A Programmcode, in die WDC Speicherstellen 1000-16FFH. Die Z80A Ausführung wird mit der geladenen ("downloaded") Instruktion, die in Speicherstelle 1000H geladen wurde, fortgesetzt. DOWNLOAD ignoriert das zweite bis achte Befehlsbyte, ist immer erfolgreich und endet mit dem dritten bis achten Statusbyte auf Null gelöscht.

FBH -- UPLOAD

Entspricht DOWNLOAD (FBH), außer daß die Übertragungsrichtung von der WDC zum Systemspeicher verläuft. Hat keinen Effekt auf die Z80A Ausführung.

READ DISK SIZE (DISKGRÖSSE LESEN)

Sendet die höchste Zylindernummer im dritten und vierten Statusbyte und die Anzahl der Oberflächen im fünften Statusbyte.

10.5 WDC STATUSINFORMATION

Außer dem EXECUTE DIAGNOSTIC (FOH) Befehl sendet jeder WDC Befehl acht Bytes Resultatdaten, obwohl einige Befehle nicht alle acht Statusbytes benutzen. (EXECUTE DIAGNOSTIC ist eine Ausnahme, weil es keine Resultatphase hat und keine Resultatphase-Unterbrechungsanforderung generiert.) Das erste Statusbyte enthält immer den Operationscode für den ausgeführten Befehl. Das zweite Statusbyte enthält immer 80H, wenn der Befehl erfolgreich ausgeführt wurde, oder einen Fehlercode, wenn ein Fehler die erfolgreiche Ausführung verhinderte. Tabelle 10-3 listet die Fehlercodes auf, die im zweiten Statusbyte erscheinen. Tabelle 10-4 zeigt an, welche Statusbytes kennzeichnende Daten für die einzelnen WDC Befehle enthalten. In dieser Tabelle wird mit einem "X" angezeigt, daß das Statusbyte bedeutsame, variable Information enthält, und jeder andere Wert bedeutet, daß das Statusbyte immer auf diesen Wert gesetzt ist.

Tabelle 10-3. WDC Operationsstatus-Codezuordnungen

Wert	Bedeutung
80H	Erfolgreiche Befehlsausführung. Keine Fehler.
83H	Erfolgreiche Ausführung nach Fehlerkorrektur während eines READ (C0H), VERIFY (C2H) oder WRITE AND VERIFY (C9H) Befehls.
02	Disk war schreibgeschützt während eines WRITE (C1H), REFORMAT TRACK (C3H), WRITE AND VERIFY (C9H), FORMAT (F3H) oder WRITE PROTECT (F7H) Befehls. Bedeutet falsches Kennwort während WRITE ENABLE (F6H) Befehl.
03	Kontrollsummenfehler während READ (C0H), VERIFY (C2H), WRITE AND VERIFY (C9H) oder READ RESERVE CYLINDER (F5H) Befehl.
04	Kann bezeichneten Sektor nicht finden während READ (C0H), WRITE (C1H), VERIFY (C2H), WRITE AND VERIFY (C9H), WRITE PROTECT (F7H), WRITE ENABLE (F6H) oder READ RESERVED CYLINDER (F5H) Befehl.
05	Von der Disk zurückgelesene Daten stimmten nicht mit den während des WRITE AND VERIFY (C9H) Befehls geschriebenen Daten überein.
08	Programmfehler. Kann einen unzulässigen oder unausgeführten WDC Befehlscode, eine unzulässige Befehlsbytefolge oder eine andere unrichtige Befehlsanforderung anzeigen.
09	Laufwerkfehler während READ (C0H), WRITE (C1H), VERIFY (C2H), WRITE PROTECT (F7H), WRITE ENABLE (F6H), REFORMAT TRACK (C3H), WRITE AND VERIFY (C9H), FORMAT (F3H) oder READ RESERVED CYLINDER (F5H) Befehl.

Tabelle 10-4. Durch WDC-Befehle gesetzte Statusbytes

WDC Befehl	Code	Status Byte 1	Status Byte 2	Status Byte 3	Status Byte 4	Status Byte 5	Status Byte 6	Status Byte 7	Status Byte 8
READ	(C0H)	C0H	X	X	X	X	X	X	X
WRITE	(C1H)	C1H	X	X	X	X	X	X	X
VERIFY	(C2H)	C2H	X	X	X	X	X	X	X
FORMAT TRACK	(C3H)	C3H	X	X	X	0	0	0	0
WRITE AND VERIFY	(C9H)	C9H	X	X	X	X	X	X	X
RESET RETRY COUNT	(F1H)	F1H	80H	0	0	0	0	0	0
READ RETRY COUNT	(F2H)	F2H	80H	0	0	0	0	X	X
FORMAT	(F3H)	F3H	X	0	0	0	0	0	0
READ ERROR DATA	(F4H)	F4H	80H	0	0	0	0	0	0
READ RESERVED CYLINDER	(F5H)	F5H	X	0	0	0	0	02	0
WRITE ENABLE	(F6H)	F6H	X	0	0	0	0	0	0
WRITE PROTECT	(F7H)	F7H	X	0	0	0	0	0	0
READ ECC ERROR COUNT	(F8H)	F8H	80H	0	0	0	0	X	X
RESET ECC ERROR COUNT	(F9H)	F9H	80H	0	0	0	0	0	0
DOWNLOAD	(FAH)	FAH	80H	0	0	0	0	0	0
UPLOAD	(FBH)	FBH	80H	0	0	0	0	0	0
READ DISK SIZE	(FCH)	FCH	80H	X	X	0	0	0	0

Tabelle 10-5. Winchester-Disk-Aufzeichnungsformat

Feld Name	Größe (Bytes)	Daten Wert	Beschreibung
GAP 1	15	4EH	Erstes Feld jedes Zylinders. Bietet eine Pufferzone, die Variationen in der Umdrehungsgeschwindigkeit berücksichtigt.
SYNC 1	14	00	Phasenstarres Oszillator (PLO) Synchronisationsfeld. Erlaubt PLO-Synchronisierung mit der Datenfrequenz.
HDR AM	1	AlH	Vorsatzadressmarke. Einmalige Kombination von Takt- und Datenbits, die der WDC mitteilt, daß Vorsatz-ID-Information folgt. Das AlH Datenmuster hat zwischen dem vierten und fünften Bit einen fehlenden Taktübergang.
	1	FEH	Unterscheidet Vorsatzadressmarke von der Datenadressmarke, die stattdessen FBH enthält.
ID	4		Vorsatz-ID-Feld enthält aufeinanderfolgend die Zylindernummer, den Kopf, die Sektornummer (0-31) und eine Kontrollsumme. Jedes dieser Felder ist ein Byte lang.
GAP 2	3	4EH	Abstand zwischen ID und Datenfeldern.
SYNC 2	14	00	Phasenstarres Oszillator-Synchronisationsfeld. Erlaubt PLO-Synchronisierung mit der Datenfrequenz.
DATA AM	1	AlH	Datenadressmarke. Eindeutige Kombination von Takt- und Datenbits, die der WDC mitteilt, daß das Datenfeld folgt. Das AlH Datenmuster hat zwischen dem vierten und fünften Bit einen fehlenden Taktübergang.
	1	FBH	Unterscheidet Datenadressmarke von der Vorsatzadressmarke, die stattdessen FEH enthält.
DATA	256		Willkürliche Daten. Das höchstwertig Byte eines Wortes wird zuerst gespeichert; danach folgt das niederwertige Byte.
CRC	3		ECC Kontrollsumme. Die WDC Hardware implementiert einen ECC-Mechanismus, der alle Kettenfehler bis zu 23 Bits entdeckt und alle 8-Bit Kettenfehler korrigiert.
GAP 3	3	4EH	Letztes Feld im Sektor. Verschafft Abstand vor Anfang des folgenden Sektors.

KAPITEL 11
SYSTEM-BOARD-E/A-ANSCHLUSSZUORDNUNGEN

Die E/A-Anschlußzuordnungen für die Diskettensteuereinheit-, Tastatur-, Kommunikations- sowie Parallelanschluß-Schnittstelle befinden sich im Fach 0 Anschlußadressbereich (1000-10FEH), weil sämtliche dieser Schnittstellen systemboardresident sind. In Tabelle 11-1 werden die E/A-Anschlußpartitionen innerhalb dieses Bereichs aufgelistet.

Tabelle 11-1. System-Board-E/A-Anschlußzuordnungen

E/A-Schnittstelle	Untere Adresse	Obere Adresse
uPD765 Diskettensteuereinheit	1000H	101EH
8255A Programmierbare Peripherieschnittstelle	1020H	1026H
8253-5 Programmierbarer Intervallzeitgeber	1040H	1046H
8259A Programmierbare Unterbrechungs-Steuereinheit	1060H	1062H
2661 Erweiterte Programmierbare Kommunikations-Schnittstelle	1080H	108EH
9517 DMA-Steuereinheit	10A0H	10BEH
6402 UART (Tastaturschnittstelle)	10E6H	10E8H
DMA-Seitenregister	10C2H	10C6H
Parallele E/A-Schnittstelle	10EAH	10ECH
Fach 0 (Disketten) ID-Code	10FEH	
NMI Maske, 8087 Unterbrechungsmaske, Taktunterbrechung	10E0H	10E4H
Diagnostik-LED, Diskstatus	10EEH	

Die nachfolgenden Aufstellungen enthalten die verschiedenen Anschlußzuordnungen für jede Partition.

uPD765 Diskettensteuereinheit-Adressen

Schreiben DMA-Prozeßende und bestätigen Flipflops	1000H
Lesen oder schreiben, um Laufwerkeinheit 1 zu deselektieren	1004H
Lesen oder schreiben, um Laufwerkeinheit 1 zu selektieren	1006H
Lesen oder schreiben, um Laufwerkeinheit 2 zu deselektieren	1008H
Lesen oder schreiben, um Laufwerkeinheit 2 zu selektieren	100AH
Lesen oder schreiben, um Motor der Einheit 1 abzuschalten	100CH
Lesen oder schreiben, um Motor der Einheit 1 einzuschalten	100EH
Lesen oder schreiben, um Motor der Einheit 2 abzuschalten	1010H
Lesen oder schreiben, um Motor der Einheit 2 einzuschalten	1012H

uPD765 Diskettensteuereinheit-Adressen (Forts.)

Lesen Hauptstatusregister	1014H
Datenregister	1016H
Lesen oder schreiben, um FDC-Chip zurückzusetzen	1018-AH
Lesen oder Schreiben, um Endzahl (TC) zu erteilen	101C-EH
Lesen Unterbrechungsanforderung und Türstörungsstatus	10FEH

8255A Parallele E/A-Schnittstelle-Adressen

Lesen acht Bits des Paralleldruckerstatus	1020H
Lesen Unterbrechungsstatuskennzeichen	1022H
Schreiben drei Druckersteuerleitungen oder lesen Anwenderschalter	1024H
Schreiben 8255A Steuerwort (D0-7 = 9AH)	1026H

8253-5 Programmierbare Intervallzeitgeber-Adressen

Laden oder lesen Zähler 0	1040H
Laden oder lesen Zähler 1	1042H
Laden oder lesen Zähler 2	1044H
Schreiben CTC Moduswort	1046H

8259A Programmierbare Unterbrechungssteuereinheit-Adressen

Unterbrechungsanforderungsregister, In-Service-Register, Unterbrechungsebene, ICW1, OCW2-3	1060H
Unterbrechungsmaskenregister, ICW2-4, OCW1	1062H

2661 Erweiterte Programmierbare Kommunikationsschnittstelle-Adressen

Lesen Empfangsdaten-Halteregister	1080H
Lesen Statusregister	1082H
Lesen Betriebsartregister 1 und 2	1084H
Lesen Befehlsregister	1086H
Schreiben Sendedaten-Halteregister	1088H
Schreiben SYN1, SYN2 und DLE Register (nicht unterstützt)	108AH
Schreiben Betriebsartregister 1 und 2	108CH
Schreiben Befehlsregister	108EH

DMA-Steuereinheit-Adressen

Laufendes Adreßregister, Kanal 0	10A0H
Wortzählregister, Kanal 0	10A2H
Laufendes Adreßregister, Kanal 1	10A4H
Wortzählregister, Kanal 1	10A6H
Laufendes Adreßregister, Kanal 2	10A8H
Wortzählregister, Kanal 2	10AAH
Laufendes Adreßregister, Kanal 3	10ACH
Wortzählregister, Kanal 3	10AEH

System Board E/A Anschlußzuordnungen

DMA-Steuereinheit-Adressen (Forts.)

Schreiben Befehlsregister oder lesen Statusregister	10B0H
Schreiben Anforderungsregister	10B2H
Schreiben Individuelles Maskenregisterbit	10B4H
Schreiben Betriebsartregister	10B6H
Löschen Byte-Zeiger-Flipflop	10B8H
Schreiben beliebige Daten, um DMA-Steuereinheit zurückzusetzen	10BAH
Schreiben alle Maskenregisterbits	10BEH

DMA-Seitenregister-Adressen

Schreiben Kanal 1 Seitenregister	10C2H
Schreiben Kanal 2 Seitenregister	10C4H
Schreiben Kanal 3 Seitenregister	10C6H

Parallele E/A-Schnittstelle-Adressen

Lesen Eingabedaten und Löschen Daten- Verfügbar-Kennzeichen (/DAV)	10EAH
Schreiben Ausgabedaten und Setzen Bestätigungskennzeichen (/ACKNLG)	10EAH
Schreiben, um /ACKNLG Kennzeichen zu löschen	10ECH
Lesen um BUSY Kennzeichen zu löschen	10ECH

6402 UART (Tastaturschnittstelle) Adressen

Schreiben, um Sendeunterbrechung zu löschen	10E6H
Lesen Empfangspufferregister	10E8H
Schreiben Sendepufferregister	10E8H

Fach-ID-Code-Adressen

Lesen Fach-ID (/FID DECODE)	10FEH
-----------------------------	-------

NMI-Maske-, 8087 Unterbrechungsmaske-, PCT Unterbrechung-Adressen

Lesen Systemstatusanschluß	10E0H
Schreiben, um Zeitgeberkanal 0 (Uhrzeitgeber) Unterbrechungsanforderung zu löschen	10E0H
Schreiben mit D0 gesetzt, um NMI freizugeben oder D0 gelöscht, um NMI zu sperren	10E2H
Lesen, um Zeitgeberkanal 2 Unterbrechungs- anforderungen zu löschen	10E2H
Schreiben mit D0=1, um 8087 Unterbrechung freizugeben (bzw. D0=0, um 8087 Unterbrechung zu sperren)	10E4H
Lesen, um Diagnostik-LED zu beleuchten	10E4H
Lesen, um DMA Endzahl-Unterbrechungsanforderung zu löschen	10E6H
Schreiben beliebige Daten, um Paritätskennzeichen zu löschen	10EEH
Lesen, um Diagnostik-LED zu löschen	10EEH

WANG LABORATORIES, INC., ONE INDUSTRIAL AVENUE, LOWELL, MA 01851 • TEL: 617/454-5000, TWX 710-343-6769, TELEX 94-7421

DEUTSCHLAND:

Wang Deutschland GmbH
Lyoner Straße 26
6000 Frankfurt/Main 71
Tel: 0611/6675-0
Telex 416246Z WANG D

ÖSTERREICH:

Wang Gesellschaft m.b.H.
Linke Wienzeile 234
A-1150 Wien
Tel. 0222/85 85 33
Telex 134640 WANG A

SCHWEIZ:

Wang A.G.
Talackerstrasse 7
CH-8152 Glattbrugg
Tel. 01/810 48 15
Telex 59151 WANG CH

WANG

Printed in U.S.A.
717-0004
3-84