

# CEPAC-180

CMOS-Einplatinen-Allzweck-Computer

## Inhaltsverzeichnis

Einführung ..... I-1

Hardware-Beschreibung ..... II-1

## CEPAC-180<sup>v2</sup>

CPU ..... II.1

Vorb-Zyklen ..... II.2

Speicherverwaltung ..... II.3

DMA ..... II.4

Watchdog-Timer ..... II.5

Timer & Lautsprecher ..... II.6

ECB-Interface ..... II.7

Der A/D-Wandler ..... II.8

Der Monitor ..... III-1

Terminalanschluß ..... III.1

Bedienung ..... III.2

Fehlermeldungen ..... III.3

Speicherbelegung ..... III.4

Befehle ..... III.5

Defaultwerte ..... III.6

Anhang ..... A1-10

HD64180 Befehlsatz ..... A1

Körper ..... A2

UPD1990 Data Manual ..... A3

ADC0811 Data Manual ..... A4

Teil-Liste ..... A5

Ports ..... A2

Kommunikationsprogramm ..... A3

UPD71855 ACIA Data Manual ..... A6

Schaltpläne ..... A8

Steckerbelegung ..... A10

Copyright (c) CONITEC 10/1987 Johannes C. Lotter / Joachim Hanst

Kein Teil dieses Handbuchs darf ohne ausdrückliche schriftliche Genehmigung von CONITEC reproduziert, vervielfältigt, gespeichert oder abgesetzt werden. Für die Richtigkeit der hier angegebenen Daten wird keine Haftung übernommen. Änderungen, die dem technischen Fortschritt dienen, behalten wir uns vor, auch ohne dies besonders anzukündigen.

CONITEC  
DATENSYSTEME GmbH  
Ludwigstr. 31  
D-6100 Darmstadt  
Tel. 06151 2613  
Telex 4197 298

 **CONITEC**  
**DATENSYSTEME**

Postfach 11 06 22 · D-6100 Darmstadt 11  
Telefon (0 61 51) 2 60 13 · Telex 4 197 298

# CEPAC-180 v2

## CMOS-Einplatinen-Allzweck-Computer

### ----- Inhaltsverzeichnis -----

Einführung .....	I.1
Hardware-Beschreibung .....	II.1
CPU .....	II.1
Timing, Takt, Reset .....	II.2
Wait-Zyklen .....	II.3
Dekodierung & Flags .....	II.3
Speicherverwaltung ..	II.4
RAM & EPROM .....	II.6
DMA .....	II.7
Interrupts .....	II.9
Watchdog-Timer .....	II.10
Uhr & Akku .....	II.11
Timer & Lautsprecher ..	II.14
ACIA (LCD & Tastatur) .....	II.15
ECB-Interface .....	II.15
SLAVE-Interface .....	II.16
Centronics-Interface ..	II.17
Serielle Schnittstellen ...	II.18
Netzwerk (CONINET) ..	II.20
Spezielschnittstelle CSI/O ..	II.21
Der A/D-Wandler .....	II.22
Wrapfeld-Optionen .....	II.23
Der Monitor .....	III.1
Terminalanschluß ...	III.1
Speicherbelegung .....	III.2
Bedienung .....	III.2
Befehle .....	III.4
Fehlermeldungen ....	III.7
Defaultwerte .....	III.8
Anhang .....	A1-10
HD64180 Befehlssatz ..	A1
Ports .....	A2
Jumper .....	A3
Kommunikationsprogramm ....	A4
uPD1990 Data Manual ..	A5
uPD71055 ACIA Data Manual .	A6
ADC0811 Data Manual ..	A7
Schaltpläne .....	A8
Teileliste .....	A9
Steckerbelegung .....	A10

---

Copyright (c) CONITEC 10/1987 Johannes C. Lotter / Joachim Hanst

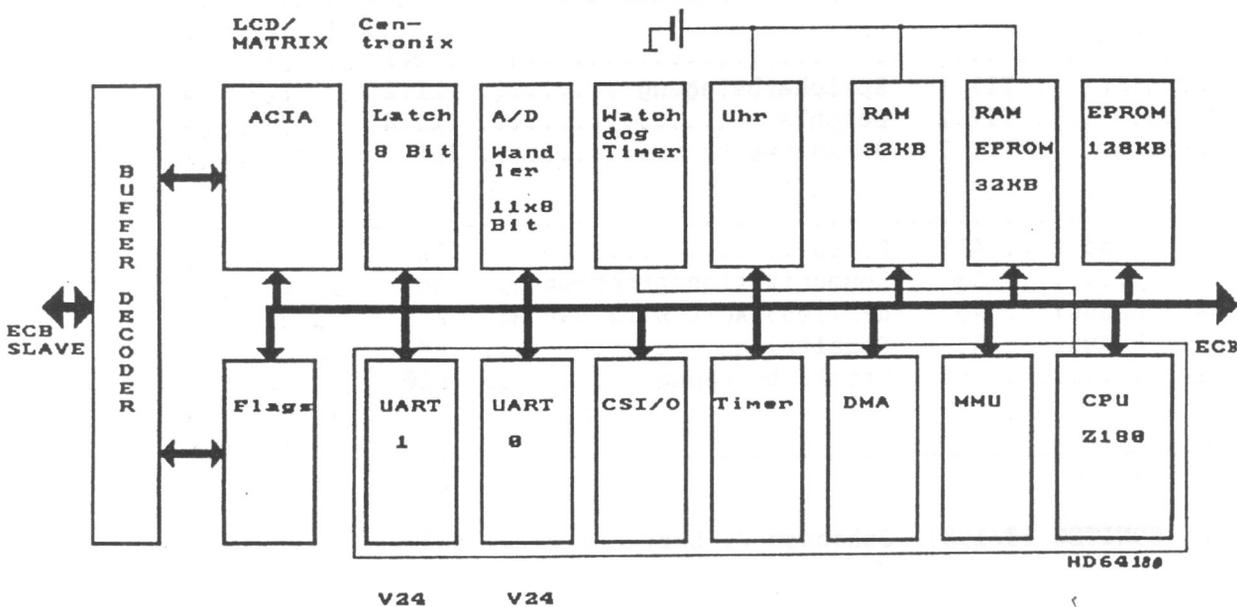
Kein Teil dieses Handbuchs darf ohne ausdrückliche schriftliche Genehmigung von CONITEC reproduziert, vervielfältigt, gespeichert oder übersetzt werden. Für die Richtigkeit der hier angegebenen Daten wird keine Haftung übernommen. Änderungen, die dem technischen Fortschritt dienen, behalten wir uns vor, auch ohne dies besonders anzukündigen.

CONITEC  
DATENSYSTEME GmbH  
Grafenstr. 31  
6100 DARMSTADT  
Tel. 06151-26013  
Telex 4197298 conid

I. ----- Einführung -----

CEPAC-180 (CMOS-Einplatinen-Allzweck-Computer) ist ein Hochleistungs-Steuerrechner für Anwendungsbereiche hoher Komplexität, speziell für Datenaquisition und Slave-Prozessor-Anwendungen. Durch seine reiche Ausstattung ist er ein vielseitig einzusetzendes Gerät mit einigen einzigartigen Features und einem herausragenden Preis/Leistungsverhältnis.

Die Entwicklung von Anwenderprogrammen wird durch die Z80/8080/8085-Softwarekompatibilität des Prozessors leichtgemacht. Zum Austesten der Funktionen ist ein Monitorprogramm in EPROM erhältlich. Für die eigentliche Softwareentwicklung empfehlen wir den EPROM-Simulator PEPS-2, über den Anwenderprogramme von jedem Host-Rechner aus (CP/M, MS-DOS o.ä.) sekundenschnell geladen und gestartet werden können.



CEPAC-180 Blockschaltbild

Das Herz der Karte bildet eine Z80-kompatible CMOS-CPU vom Typ HD64180, die durch eingebaute Peripheriefunktionen (DMA, zwei Timer), einen erweiterten Befehlssatz (inkl. MULTIPLY) und höhere Geschwindigkeit anderen 8-Bit-CPU's überlegen ist. Der Speicherbereich auf der Karte beträgt 128 KByte (64KB EPROM und 64KB RAM) und kann extern auf 512 KByte erweitert werden; eine Memory-Management-Logik unterstützt die Adressierung. Es werden neben Assembler auch Hochsprachen wie PASCAL und C für das Anwendungsprogramm angeboten.

Das RAM ist akkugepuffert, ebenso wie die Echtzeituhr für Zeit und Datum. Ein 'Watchdog'-Timer löst bei Systemstörungen einen nichtmaskierbaren Interrupt aus und sorgt dadurch für hohe Störfestigkeit der Hardware.

CEPAC-180 ist reichlich mit Peripherie-Anschlüssen ausgestattet: Eine parallele Centronics-Schnittstelle, drei serielle Schnittstellen, 24 programmierbare I/O-Leitungen, elf 8-Bit-Analogeingänge und zwei ECB-Bus-Schnittstellen (MASTER und SLAVE) stellen die Verbindung zur Außenwelt dar. Ein LCD-Display und eine Matrixtastatur lassen sich direkt anschließen.

In einem größeren System kann CEPAC-180 als Slave-Einheit eingesetzt werden. Eine der seriellen Schnittstellen bildet den Anschluß für ein einfaches, preisgünstiges Netzwerk (CONINET). Über die ECB-SLAVE-Schnittstelle wird die Karte vom ECB-Bus aus wie ein I/O-Port angesprochen. Über die MASTER-Schnittstelle lassen sich ECB-Bus-Erweiterungskarten anschließen oder aufstecken. So macht CEPAC-180 z.B. aus einer normalen I/O-Karte eine intelligente Karte mit eigenem Prozessor.

Da CEPAC-180 in vielen Fällen batteriebetrieben wird, ist die Schaltung hierfür besonders ausgelegt. Die Karte zieht im Normalbetrieb nur etwa 40 mA, im SLEEP-Modus nur ca. 15 mA. Ein eigener (per Software abschaltbarer) Spannungswandler übernimmt die Versorgung der V24/RS232-Schnittstellen. Für den Datenerhalt im RAM und in der Echtzeituhr sorgt ein Akku, und ein optionaler Schaltregler gewährleistet die Stromversorgung der gesamten Karte noch bei einer Batteriespannung bis herab zu zwei Volt.

## II. ----- Hardware -----

Im diesem Abschnitt sind die einzelnen Funktionsgruppen der Karte näher beschrieben. Der Schaltplan dazu befindet sich im Anhang. Einige Konventionen:

- R/W: Register kann gelesen und beschrieben werden.
- R/O: Aus dem Register kann nur gelesen werden.
- W/O: In das Register kann nur geschrieben werden.
- (7-0): Reihenfolge: Bit 7 zuerst.
- (RES): Register-Zustand nach Reset.

### --- Die CPU ---

Die HD64180-CPU bildet den Kern von CEPAC-180. Die CPU enthält den vollen Befehlssatz des Z80-Prozessors, ist also CP/M-kompatibel, und verfügt obendrein noch über einige interessante Zusatzbefehle, die im Anhang aufgeführt sind. Über 40 CPU-interne I/O-Register lassen sich die verschiedenen Zusatzfunktionen (MMU, DMA, Timer usw.) steuern. Der I/O-Bereich wurde 'offiziell' auf 256 I/O-Pages zu je 256 Ports erweitert; bei der Z80 geht das zwar auch, war aber bisher kaum bekannt und nur selten benutzt worden.

Außer den normalen Z80-Befehlen sind in der HD64180-CPU folgende neuen Befehle implementiert (siehe auch Anhang):

- 8x8-Bit-Multiplikation ohne Vorzeichen. Dauer: 17 Taktzyklen.
- Testen von Registern, Speicher oder I/O-Port durch AND-Verknüpfung. Verändert wird dabei lediglich das F-Register.
- Neue Ein/Ausgabe-Befehle für die I/O-Page 0, in der auch die CPU-internen I/O-Register liegen.
- SLEEP-Befehl: CPU und DMA stoppen alle Operationen und gehen in einen "Stromspar-Modus" über. Der Stromverbrauch der Karte geht dabei auf etwa 1/3 zurück.

Wenn die CPU auf einen undefinierten Op-Code trifft, erfolgt ein Software-Interrupt (TRAP). Dieser Interrupt ist nicht maskierbar. Damit kann man die Software-Zuverlässigkeit steigern, das 'Debuggen' erleichtern oder eine Befehlssatz-Erweiterung implementieren.

Die Ports innerhalb der HD64180-CPU belegen normalerweise (nach Reset) die I/O-Adressen von 00h-3Fh in der I/O-Page 0. Dieser Adressbereich kann jedoch per Software undefiniert werden:

Port 3Fh: ICR (I/O-Steuerregister, R/W)

! IOA7-6 !	IOSTP !	- !	- !	- !	- !	- !	- !	(7-0)
! 00 !	! 0 !	! 1 !	! 1 !	! 1 !	! 1 !	! 1 !	! 1 !	(RES)

IOA7-6: 00: Interner I/O-Bereich 00h-3Fh, Page 0.

01: Interner I/O-Bereich 40h-7Fh, Page 0.

10: Interner I/O-Bereich 80h-BFh, Page 0.

11: Interner I/O-Bereich C0h-FFh, Page 0.

IOSTP: Interne I/O-Port-Operationen (Timer usw.) stoppen.

Eine detaillierte Beschreibung der CPU, ihrer Register und ihres Befehlssatzes steht im HD64180 user's manual, das von jedem Hitachi-Distributor (oder von CONITEC) käuflich zu erwerben ist.

#### --- Timing und CPU-Takt ---

Der 64-polige CPU-Chip enthält einen eigenen Quarzoszillator, der auch den Takt für die Timer und Baudrategeneratoren erzeugt. Der Quarz X1 schwingt mit doppeltem CPU-Takt, im Maximalfall also mit 18.432 MHz. Die Befehle brauchen im Schnitt etwa 20% weniger Taktzyklen als beim Z80, wobei das Zeitverhalten selbst unkritischer geworden ist.

Die Steuersignale sind - bis auf eine Ausnahme - die gleichen geblieben, so daß auch Z80-Peripheriebausteine angeschlossen werden können. Nur die Namen haben sich geändert. Aus /M1 wurde /LIR; /IORQ, /MREQ und /RFSH heißen jetzt /IOE, /ME und /REF.

Die erwähnte Ausnahme betrifft das Signal /LIR, das etwas kürzer ist als das vergleichbare /M1-Signal des Z80. Es ist bei Opcode-Zugriffen und beim Interrupt-Quittungszyklus aktiv. Das veränderte Timing kann dann zu Problemen führen, wenn bei externen Zusatzkarten über /M1 zwischen I/O- und Interruptzyklen unterschieden wird. Das ist relativ selten der Fall.

#### --- Reset ---

Ein aus dem RC-Glied R21/C18 in Kombination mit dem Schmitt-Trigger Z10 (74HC14) gebildetes Monoflop erzeugt beim Einschalten der Spannung einen Reset-Impuls von ca. 100 ms Dauer. Über die RESET-Leitung wird der Parallelport Z6 initialisiert, die /PCL-Leitung am ECB-Bus auf LOW gezogen und die CPU (Z1) zurückgesetzt. Außerdem werden über das Latch Z16 (74HC259) die Systemflags (s.u.) auf 0 gesetzt.

Das gleiche passiert, wenn die /RESET-Leitung des ECB-Bus (c31) über eine Taste kurzzeitig auf GND gelegt wird.

## --- WAIT-Zyklen ---

Die 64180-CPU verfügt über einen WAIT-Eingang zu Anpassung langsamer Bausteine, der aber kaum noch nötig ist: bis zu 4 bzw. 5 WAIT-Zyklen lassen sich jetzt per Software programmieren, und zwar getrennt für Speicher-, Refresh- oder I/O-Zugriffe. Die eingestellten Zyklen gelten auch für Interrupt-Quittungen und für den Betrieb der beiden CPU-eigenen DMA-Kanäle. Damit können langsamere Zusatzkarten angeschlossen werden, auch wenn die CPU mit über 9 MHz läuft.

Außerdem kann man jetzt per Software wählen, nach wieviel Instruktionen jeweils eine Refresh-Operation ausgeführt wird. Beim Z80-Vorgänger geschah das automatisch jedesmal, was natürlich Zeit kostet. Da sich auf der Karte nur statisches RAM befindet, wird man den Refresh im allgemeinen ganz abschalten (REFE auf 0). Das R-Register der CPU hat nichts mehr mit dem Refresh zu tun, wird nach jeder Instruktion hochgezählt und kann nach wie vor als Zufallszahlengenerator benutzt werden.

Port 32h: DCNTL (DMA/WAIT Steuerregister, R/W).

! MW !	IW !	DMS1 !	DMS0 !	DIM !	(7-0)
! 11 !	! 11 !	! 0 !	! 0 !	! 00 !	(RES)

MW: Anzahl der WAIT-Zyklen (0..3) bei Memory-Zugriffen.

IW: Anzahl der WAIT-Zyklen (1..4) bei I/O-Zugriffen, gleichzeitig Anzahl der WAIT-Zyklen (2..5) bei Interrupt-Quittung.

Port 36h: RCR (Refresh-Steuerregister, R/W).

! REFE !	REFW !	- !	- !	- !	- !	CYC !	(7-0)
! 1 !	! 1 !	! 1 !	! 1 !	! 1 !	! 1 !	! 00 !	(RES)

REFE: Refresh für dynamische RAM's einschalten.

REFW: WAIT-Zyklus bei Refresh.

CYC: 00: Refresh alle 10 Taktzyklen.

01: Refresh alle 20 Taktzyklen.

10: Refresh alle 40 Taktzyklen.

11: Refresh alle 80 Taktzyklen.

## --- Dekodierung und Flags ---

Der Dekoder Z12 sorgt für die Auswahl der I/O-Ports auf der Karte. Dabei handelt es sich hauptsächlich um das Flagregister, den Statusport, die Uhr, den A/D-Wandler, die Centronixschnittstelle und den ACIA-Parallelport. Sie belegen die I/O-Adressen 40h-7Fh.

Über das Flagregister Z16 lassen sich acht Steuerflags (C0,C1,C2,T/C,STB,/FS0,/FS1,/SEN - s.u.) für den Wandler, die Uhr und andere Funktionen einstellen. Mit jedem der 16 verfügbaren

Kommandos wird immer eines dieser Flags gesetzt oder zurückgesetzt. Die Kommandos und die Bedeutung der einzelnen Flags werden später im Detail dargestellt.

Port 44h: FLR (Flagregister, W/O).

! - ! - ! - ! - !	FLG ! VAL !	(7-0)
! - ! - ! - ! - !	000 ! 0 !	(RESET)

FLG: Nummer des Steuerflags (000..111).

(000=C0, 001=C1, 010=C2, 011=T/C  
100=STB, 101=/FS0, 110=/FS1, 111=/SEN)

VAL: Löschen (0) oder Setzen (1) des gewählten Steuerflags.

Beispielsweise wird mit den Befehlen

```
LD A,04H+1 ;KOMMANDO: FLG = 010, VAL = 1
OUT (044H),A ;AUSGABE AN FLAGREGISTER
```

das Flag C2 (FLG=010) auf 1 gesetzt (VAL=1).

Der Statusport (Z14) ist zur Abfrage von vier Statusflags (DOC,LOWBAT,BUSY,DOT) vorgesehen. Beim Einlesen sind nur die Bits 0,5,6 und 7 relevant.

Port 40h: Status-Register (R/O).

! DOT ! BUSY ! LOWBAT ! XXXX ! DOC !
--------------------------------------

(X = beliebiger Zustand)

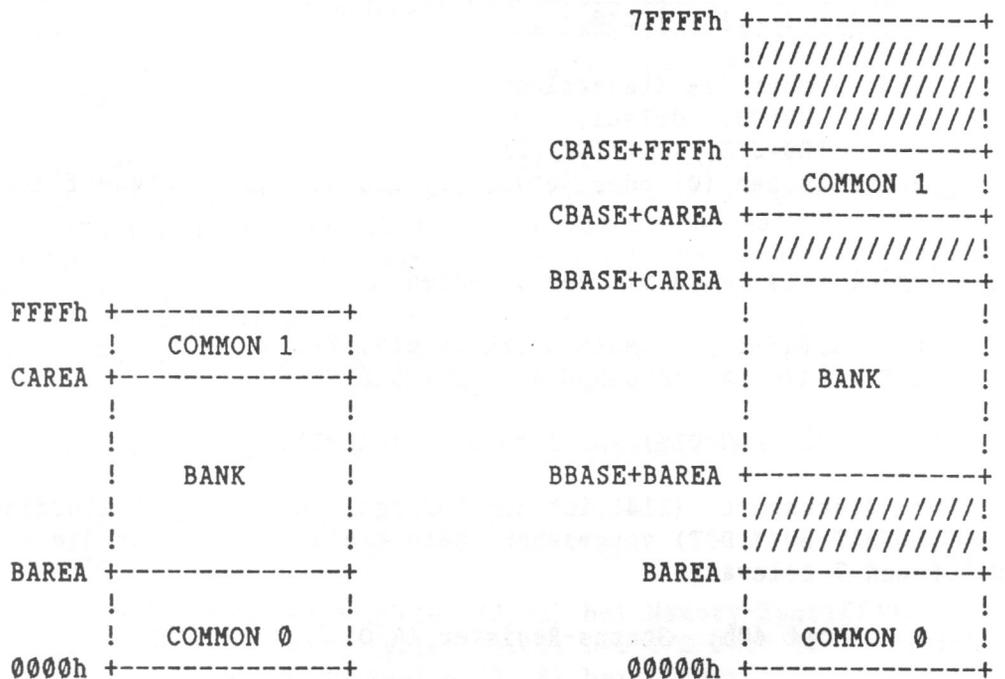
--- Speicherverwaltung ---

Die Z80-Instruktionen können bekanntlich nur einen Speicherbereich von 64 KB adressieren, den 'logischen' Adressbereich. Der 'physikalische' Bereich auf der Karte dagegen beträgt bereits 128 KB, die extern auf 512 KB erweitert werden können. Die Memory-Management-Einheit (MMU) sorgt dafür, daß trotzdem der gesamte physikalische Speicher mit logischen Instruktionen adressiert werden kann.

Die MMU von CEPAC-180 besteht aus drei Registern und erweitert den Speicherbereich auf 512 KByte. Dazu hat die CPU drei zusätzliche Adressleitungen: A16-A18. Die Leitung A18 wird auch als Timer-Ausgang (TOUT) verwendet; bei Anschluß des Lautsprechers steht diese Leitung nicht zur Verfügung, so daß maximal 256 KByte adressiert werden können.

Der logische 64K-Adressbereich der CPU wird in drei Abschnitte eingeteilt: COMMON 0, COMMON 1 und BANK. Die Grenzen zwischen den

Abschnitten (CAREA, BAREA) lassen sich in 4-KB-Schritten über den logischen Speicherbereich verschieben. COMMON 0 beginnt immer auf der logischen und physikalischen Adresse 0, während die physikalischen Startadressen von COMMON 1 und BANK (CBASE, BBASE), wieder in 4-KB-Schritten, über zwei Register eingestellt werden können. Das Ganze sieht folgendermaßen aus:



Logischer Bereich (64K)

Physikalischer Bereich (512K)

Über die drei Register CBR, BBR und CBAR lassen sich die Bereiche einstellen:

- Port 38h: CBR (CBASE-Register, R/W, RES=00h)
- Port 39h: BBR (BBASE-Register, R/W, RES=00h)
- Port 3Ah: CBAR (CAREA/BAREA-Register, R/W, RES=F0h)

Bei den Registern CBR und BBR ergeben sich die Werte CBASE und BBASE aus den unteren 7 Bits, mit 1000h multipliziert. In CBAR sind die oberen 4 Bits für CAREA, die unteren 4 für BAREA zuständig; auch hier muß mit 1000h multipliziert werden. Nach Reset liegt CAREA auf F000h; BAREA, BBASE und CBASE liegen auf 00000h. Der erste Opcode wird also von der logischen und physikalischen Adresse 00000h geholt.

Die DMA-Kanäle (s.u.), die über eigene 19-Bit-Adressregister verfügen, umgehen den ersten Teil der MMU und sprechen direkt den physikalischen Speicherbereich an.

## --- RAM und EPROM ---

Die drei 'Bytewise'-Sockel Z2-Z4 bieten Platz für insgesamt 128 KByte Speicher, wobei Z2 ausschließlich für ein EPROM, Z3 und Z4 für EPROM oder RAM vorgesehen ist. Z13 (74HC139) übernimmt die Dekodierung. Die Betriebsspannung der Sockel Z3 und Z4 ist über den Akku A1 (3.6V NiCd) gepuffert, so daß die Daten im RAM auch nach Ausschalten der Versorgungsspannung nicht verlorengehen. Die Transistoren T2 und T6 sorgen für das Abschalten der Select-Signale bei Spannungsausfall. Hierzu muß entweder der Regler Z19 oder das Überwachungs-IC Z22 (s. Wrap-Feld-Optionen) bestückt sein.

Der Sockel Z2 belegt die physikalischen Adressbereiche 00000h-07FFFh und gegebenenfalls 20000h-27FFFh, also insgesamt 64 KB in zwei Hälften zu 32 KB. Er läßt sich mit allen üblichen 28-poligen EPROM-Typen ab 8 KB bestücken, also mit 2764, 27128, 27256, 27512, 27513, 27011 bzw. deren CMOS-Ausführungen. Über die Jumper J5 und J6 läßt sich der Typ auswählen (o=Offen, g=Geschlossen):

EPROM	J5	J6	Bemerkung
2764	o	o	20000h-27FFFh ist frei
27128	o	o	" " " "
27256	o	1-2	" " " "
27512	g	1-2	Obere Hälfte in 20000h-27FFFh
27513	o	2-3	Seiten-orientiertes EPROM 64 KB
27011	o	2-3	Seiten-orientiertes EPROM 128 KB

Z3 belegt 08000h-0FFFFh und Z4 10000h-17FFFh, die über die MMU (s.o.) beliebig in den logischen Adressbereich eingeblendet werden können. Hier lassen sich alle EPROM-Typen bis 32 KByte - auch seitenorientierte wie z.b. 27513 - sowie RAM-Bausteine von 8 oder 32 KB einsetzen. Zu beachten ist, daß Bausteine < 32 KB im oberen Teil des Sockel-Adressbereichs angesprochen werden müssen; ein 16-KB-EPROM (27128) in Sockel Z3 liegt also im Bereich 0C000h-0FFFFh.

Programmierbeispiel für die MMU: In Sockel Z2 stecke ein 16-KB-EPROM (27C128), in Z3 ein 8-KB-RAM (6264), in Z4 ein 32-KB-RAM (62256). Das Ganze soll so in den logischen Adressbereich abgebildet werden, daß 0000h-3FFFh vom EPROM und 4000h-BFFFh durchgehend vom RAM belegt werden. Dazu sind in die MMU-Register folgende Werte einzuschreiben:

CBAR: 64h; BBR: 0Ah; CBR: 0Ah.

Ein vierter Adressbereich - 18000h-1FFFFh - wird an Pin 9 von Z13 selektiert und kann zum Ansteuern z.b. eines weiteren RAM-Sockels auf dem Wrap-Feld verwendet werden.

## --- DMA ---

CEPAC-180 enthält zwei DMA-Kanäle. Der vielseitigere Kanal 0 ist vorgesehen für Transfers im Speicher, für Übertragungen von/zu externen Peripherie-Einheiten am ECB-Bus und für die parallele Schnittstelle oder die Duplex-Schnittstellen. Er hat die höhere Priorität. Bei ECB-Bus-Transfers vom MASTER-Bus dient die /RDY-Leitung auf a26 als Handshake-Signal, das wahlweise auf Pegel oder Flanken reagiert.

Kanal 0 läßt sich bei Memory-Transfers im 'Burst'- oder im 'Cycle Steal'- Modus betreiben. Im ersten Fall erfolgt die Datenübertragung auf einen Schlag, im zweiten wird nach jeder CPU-Instruktion ein DMA-Zugriff eingeschoben. DMA-Kanal 1 ist nur für Transfers zwischen Speicher und I/O-Port vorgesehen.

Die DMA-Einheit benötigt (bei abgeschalteten WAIT-Zyklen) nur sechs Takte pro Datenbyte, so daß im Burst-Modus bei 9.2-MHz-Betrieb mit 1.5 Megabyte /sec. übertragen werden kann. Mit Hilfe der 19-Bit-Adressregister für Ziel und Quelle kann die Übertragung auch außerhalb des logischen 64K-Bereichs erfolgen.

Die Übertragungsrichtung - aufwärts im Speicher, abwärts oder mit feststehender Adresse - kann für Ziel und Quelle getrennt festgelegt werden. Damit lassen sich Daten blitzschnell umsortieren oder Speicherbereiche mit einem festen Wert füllen. Ist der Transfer beendet, kann ein Interrupt ausgelöst werden.

Für den DMA-Betrieb sind eine Reihe von CPU-internen Registern verantwortlich:

Kanal 0 (Universelle DMA):

Port 31h: DMOD (DMA 0 Modusregister, R/W).

!	-	!	-	!	DM1-0	!	SM1-0	!	MMOD	!	-	!	(7-0)
!	1	!	1	!	00	!	00	!	0	!	1	!	(RES)

DM1-0: 00: DMA 0 Zielkanal = Memory, aufwärtszählend.

01: DMA 0 Zielkanal = Memory, abwärtszählend.

10: DMA 0 Zielkanal = Memory, feste Adresse.

11: DMA 0 Zielkanal = I/O oder Duplex.

SM1-0: 00: DMA 0 Quellenkanal = Memory, aufwärtszählend.

01: DMA 0 Quellenkanal = Memory, abwärtszählend.

10: DMA 0 Quellenkanal = Memory, feste Adresse.

11: DMA 0 Quellenkanal = I/O oder Duplex.

MMOD: 0: DMA 0 Transparentmodus ('Cycle stealing').

1: DMA 0 Blockmodus ('Burst transfer').

Port 20h: SAR0L (DMA 0 Quellenadresse, Low-Byte).  
 Port 21h: SAR0H (DMA 0 Quellenadresse, High-Byte).  
 Port 22h: SAR0B (DMA 0 Quellenadresse, Zusatzbyte).

Port 23h: DAR0L (DMA 0 Zieladresse, Low-Byte).  
 Port 24h: DAR0H (DMA 0 Zieladresse, High-Byte).  
 Port 25h: DAR0B (DMA 0 Zieladresse, Zusatzbyte).

Port 26h: BCR0L (DMA 0 Zählerregister, Low-Byte).  
 Port 27h: BCR0H (DMA 0 Zählerregister, High-Byte).

Die Werte in den Adress-Registern unterscheiden sich je nach Art von Ziel und Quelle:

Ziel/Quelle = Memory: Speicheradresse (19 Bit) ergibt sich aus Low-Byte, High-Byte und Bits 0-2 (= A16-A18) des Zusatzbytes.

Ziel/Quelle = I/O-Port: Low-Byte = Portadresse; High-Byte = I/O-Page; Bits 1-0 des Zusatzbytes = 00.

Ziel/Quelle = Duplex-Schnittstelle: Low- und High-Byte sind irrelevant; Bits 1-0 des Zusatzbytes = 01 für Duplex 0.  
 10 für Duplex 1.

DMA-Kanal 1 (Port-DMA):

Port 28h: MAR1L (DMA 1 Memory-Adresse, Low-Byte).  
 Port 29h: MAR1H (DMA 1 Memory-Adresse, High-Byte).  
 Port 2Ah: MAR1B (DMA 1 Memory-Adresse, Bit 0-2 = A16-A18).

Port 2Bh: DAR1L (DMA 1 I/O-Portadresse).  
 Port 2Ch: DAR1H (DMA 1 I/O-Page).

Port 2Eh: BCR1L (DMA 1 Zählerregister, Low-Byte).  
 Port 2Fh: BCR1H (DMA 1 Zählerregister, High-Byte).

Die folgenden Register sind für beide DMA-Kanäle zuständig:

Port 30h: DSTAT (DMA Statusregister, R/W).

!	DE1	!	DE0	!	DWE1	!	DWE0	!	DIE1	!	DIE0	!	-	!	DME	!	(7-0)
!	0	!	0	!	1	!	1	!	0	!	0	!	1	!	0	!	(RES)

DE0,1: DMA 0 oder 1 starten; DWE muß dabei auf 0 stehen.

DWE0,1: Maske für DE (W/O)

DIE0,1: Ende-Interrupt für DMA 0 oder 1 einschalten.

DME: DMA-Übertragung im Gang (R/O)

Port 32h: DCNTL (DMA/WAIT Steuerregister, R/W, s.o.).

! MW !	IW !	DMS1 !	DMS0 !	DIM !	(7-0)
! 11 !	! 11 !	! 0 !	! 0 !	! 00 !	(RES)

DMS0/1: 0: DMA-Triggersignal /DREQ ist aktiv bei LOW-Pegel.  
 1: DMA-Triggersignal /DREQ ist aktiv bei LOW-Flanke.  
 (DMS0 gilt für DMA 0, DMS1 für DMA 1).

DIM1-0: 00: DMA 1 Transfer Memory --> I/O, aufwärtszählend.  
 01: DMA 1 Transfer Memory --> I/O, abwärtszählend.  
 10: DMA 1 Transfer I/O --> Memory, aufwärtszählend.  
 11: DMA 1 Transfer I/O --> Memory, abwärtszählend.

Der Handshake-Eingang (/DREQ0) von DMA-Kanal 0 kann einer externen, DMA-fähigen Karte auf dem ECB-Bus (/RDY-Leitung) zugeordnet werden.

DMA-Kanal 0 hat noch einen TERMINAL END-Ausgang (/TEND0), der mit LOW-Pegel das Ende der Übertragung anzeigt. Er wird selten benötigt und ist darum mit dem Takteingang der Duplex-Schnittstelle 1 (s.u.) am Anschluß CKA1 (Stecker N6) gemultiplext. Über eines der Steuerregister kann die Funktion dieses Anschlusses bestimmt werden.

Port 01h: CNTLA1 (Steuerregister A für Duplex 1, R/W).

! MPE !	RE !	TE !	CKA1 !	MPR-EFR !	WL !	PE !	SB !	(7-0)
! 0 !	! 0 !	! 0 !	! 1 !	! --- !	! 0 !	! 0 !	! 0 !	(RES)

CKA1: 0: CKA1 ist Taktein/ausgang für Duplex 1.  
 1: CKA1 wird für DMA 0 als /TEND-Ausgang benutzt.

### --- Interrupts ---

Es gibt insgesamt zwölf Interruptkanäle auf der Karte, die in der Reihenfolge ihrer Priorität aufgelistet sind:

TRAP: Ungültiger Op-Code, nicht maskierbar, höchste Priorität.  
 (springt auf logische Adresse 0000h, setzt TRAP-Flag).

/NMI: Prioritäts-Interrupt, nicht maskierbar, für den Watchdog-Timer (springt auf logische Adresse 0066h).

/INT: Normaler Z80-Interrupt vom ECB-Bus, maskierbar  
 (Vektor-Interrupt oder auf Adresse 0038h).

/INT1: Externer Interrupt-Eingang 1  
 (ACIA Port B Handshake - s.u.)

/INT2: Externer Interrupt-Eingang 2  
 (ECB-SLAVE-Port oder CONINET-Timeout - s.u.).

Timer 0/1: Zählerstand Null erreicht (s.u.).

DMA 0/1: Übertragung beendet (s.o.).

CSI/O: Senden/Empfangen beendet (s.u.).

Duplex 0/1: Senden/Empfangen beendet (s.u.).

Die obere Hälfte des Interruptvektors kommt wie beim Z80 vom I-Register, die untere Hälfte von der Peripherie-Einheit, die den Interrupt ausgelöst hat. Bei den internen Interruptquellen läßt sich der Vektor über das IL-Register einstellen:

Port 33h: IL (Interrupt-Vektorregister, LOW-Byte, R/W).

Nur Bits 7-5 von IL sind relevant und enthalten die Bits 7-5 des Interrupt-Vektors für interne Interrupts. Die Bits 4-0 des Vektors kommen von der Interruptquelle:

00000	bei /INT1
00010	bei /INT2
00100	bei Timer 0
00110	bei Timer 1
01000	bei DMA 0
01010	bei DMA 1
01100	bei CSI/O (Spezialschnittstelle)
01110	bei Duplex-Schnittstelle 0 (z.B. Terminal)
10000	bei Duplex-Schnittstelle 1 (Netzwerk)

Ein weiteres Register ist für TRAP-Erkennung und Maskierung der Interrupt-Eingänge vorgesehen:

Port 34: ITC (Interrupt/TRAP-Steuerregister, R/W).

!	TRAP	!	UFO	!	-	!	-	!	-	!	ITE2-0	!	(7-0)
!	0	!	0	!	1	!	1	!	1	!	001	!	(RES)

TRAP: undefinierter Op-Code erkannt.  
(Löschen durch 0-Einschreiben)

UFO: 0: undefinierter Zwei-Byte-Opcode.

1: undefinierter Drei-Byte-Opcode.

ITE2-0: Interrupt-Eingänge /INT2, /INT1, /INT0 mit 1 aktivieren (verknüpft mit IE-Befehl).

### --- Der Watchdog-Timer ---

Jedes Rechnersystem arbeitet, im Gegensatz zur festverdrahteten Logik, in einem "labilen" Zustand. Es kommt zwar selten vor, daß irgendwo - z.B. durch einen Störimpuls auf der Betriebsspannung - ein Bit falsch gelesen wird; das hat dann aber meistens fatale Folgen: An die Ausgänge werden sinnlose Werte ausgegeben, die CPU läuft in eine Endlosschleife, und das System "hängt sich auf".

Ein Aussteigen im falschen Moment ist je nach Anwendung ärgerlich, teuer oder katastrophal - und Störimpulse kommen immer im falschen Moment (Murphy's Gesetz). Doch bei CEPAC-180 ist hier vorgesorgt:

Im normalen Betriebsprogramm, das im allgemeinen aus einer

Hauptschleife besteht, wird ein regelmäßiges Rücksetzen des Watchdog-Timers vorgesehen. Dies kann auch über eine von einem der CPU-Timer (s.u.) ausgelöste Interrupt-Routine geschehen. Beim einem Systemzusammenbruch läuft der Timer ab, löst einen nicht-maskierbaren Interrupt (NMI) aus und holt die CPU auf den Boden der Tatsachen zurück. Auf diese Weise läßt sich die Betriebssicherheit erheblich verbessern.

Der Timer besteht aus dem RC-Glied R20/C17 und einem Schmitt-Trigger (Z10). Für die Watchdog-Funktion darf die Diode D14 nicht betückt sein. Der Timer wird durch Ansprechen des Ports TRES (48h) oder durch Reset zurückgesetzt. Nach Ablauf einer Zeit  $T_a$  kann er über den Jumper J7 NMI oder INT2 auslösen. Von der letzten Möglichkeit wird im CONINET-Betrieb Gebrauch gemacht (s.u.).

- J7 Offen: Watchdog aus (kein Interrupt).
- 1-2: Watchdog ein (NMI nach Ablauf).
- 2-3: Watchdog ein (INT2 nach Ablauf).

Wenn R19 bestückt ist, springt der Timer eine kurze Zeit  $T_r$  nach Auslösung automatisch wieder zurück. Die Ablaufzeit in Sekunden beträgt

$$T_a = R20 \times C17,$$

die Rücksetzzeit

$$T_r = R19 \times C17.$$

Durch die automatische Rücksetzung kann in der Interrupt-Routine auf das programmgesteuerte Rücksetzen über den Port TRES verzichtet werden.

Wenn gewünscht, kann auf diese Weise auch ein ständiger periodischer Interrupt ausgelöst werden; dazu ist D7 zu entfernen, so daß programmgesteuertes Rücksetzen nicht mehr möglich ist. Die Interruptfrequenz beträgt dann

$$f_a = 1 / (C17 \times (R19+R20)).$$

#### --- Uhr und Akku ---

Der Uhrenbaustein vom Typ 4990 (Z8) enthält Zähler und Register für Sekunden, Minuten, Stunden, Wochentag und Datum. Die Datenein- und -ausgabe der Uhr erfolgt seriell über ein internes Schieberegister. Die Taktfrequenz läßt sich über den Trimmkondensator (C15) auf minimale Zeitabweichung einstellen.

Die Zugriffs-Freigabe auf die Uhr erfolgt über ein Flag (T/C), das Einschreiben von Kommandos über ein weiteres (STB). Am Ausgang TP (Pin 10) des Uhrenchips können Frequenzen von 32, 256 oder 2048 Hz abgegriffen werden. Beim Zugriff auf die Uhr wird das Flag C1 als Taktleitung, C0 als serielle Datenleitung be-

nutzt. Das Statusbit DOT dient der Abfrage des seriellen Uhrenausgangs (invertiert). Über die Flags C0-2 werden gleichzeitig Kommandos an die Uhr gegeben.

Es folgen ein paar Z80-Assemblerroutinen zum Ansprechen der Uhr:

```

;      CLOCK sendet Schiebe-Takt an Uhr
;
CLOCK:  NOP!NOP          ;Verzögerung
        LD   A,02H+1    ;CLK auf HIGH
        OUT  (44H),A    ;Ausgabe an Flagregister
        NOP!NOP        ;Verzögerung
        LD   A,02H+0    ;CLK auf LOW
        OUT  (44H),A    ;Ausgabe an Flagregister
        RET

;
;      COMMAND sendet Kommando in Register C an Uhr
;
COMMAND: LD   A,06H+1    ;T/C (Uhrenfreigabe) auf HIGH
        OUT  (44H),A    ;Ausgabe an Flagregister

        LD   A,00H      ;Code für C0-Flag
        RR   C          ;Kommando-Bit 0 in Carry
        RLA          ;und nach Register A shiften
        OUT  (44H),A    ;Ausgabe an Flagregister
        LD   A,01H      ;Geshifteter Code für C1-Flag
        RR   C          ;Kommando-Bit 1 in Carry
        RLA          ;und nach Register A shiften
        OUT  (44H),A    ;Ausgabe an Flagregister
        LD   A,02H      ;Geshifteter Code für C2-Flag
        RR   C          ;Kommando-Bit 2 in Carry
        RLA          ;und nach Register A shiften
        OUT  (44H),A    ;Ausgabe an Flagregister

        NOP!NOP        ;Verzögerung
        LD   A,08H+1    ;STB auf HIGH
        OUT  (44H),A    ;Ausgabe an Flagregister
        NOP!NOP        ;Verzögerung
        LD   A,08H+0    ;STB auf LOW
        OUT  (44H),A    ;Ausgabe an Flagregister
        NOP!NOP        ;Verzögerung

        RET

;      SHIFT liest Uhrenregister nach (DE), schreibt (HL) in Register
;
SHIFT:  LD   C,1        ;Kommando: SHIFT
        CALL COMMAND
        LD   B,5        ;5 Bytes
SHIFT1: LD   C,8        ;zu je 8 Bit

```

```

SHIFT2: LD    A,00H    ;Flag C0
        RR    (HL)    ;Bit holen
        RLA
        OUT  (44H),A  ;In Uhr schreiben

        EX   DE,HL    ;HL auf Ziel
        IN   A,(40HD) ;Bit aus Uhrenregister lesen
        RLA
        RR   (HL)    ;In (HL) schieben
        EX   DE,HL

        CALL CLOCK    ;Register shiften
        DEC  C        ;Naechstes Bit
        JR   NZ,SHIFT2
        INC  HL       ;Naechstes Byte
        INC  DE
        DJNZ SHIFT1

        LD   C,0      ;Kommando: HOLD
        CALL COMMAND
        LD   A,06H+0  ;T/C (Uhrenfreigabe) auf LOW
        OUT (44H),A  ;Ausgabe an Flagregister
        RET

```

Da der Uhrenbaustein nur wenige Microampere an Strom verbraucht, kann er am Nickel-Cadmium-Akku (A1,3.6 Volt) auch nach Abschalten des Systems weiterlaufen. Der Akku versorgt auch das RAM, reicht für einige Wochen und wird über D6 und R17 im Betriebszustand automatisch nachgeladen. Er liegt über R16 gleichzeitig an der UBAT-Leitung des ECB-Bus, über die parallel dazu ein größerer Akku angeschlossen werden kann.

Der Schaltregler Z19 sorgt gleichzeitig für eine Überwachung der Betriebsspannung und schaltet bei einer Spannung < 4.6V am Anschluß UB+ das RAM ab. Die Schaltsschwelle läßt sich über R8 variieren, was bei niedriger Batterieversorgung u.U. notwendig ist. Für sie gilt:  $U = 1.3V * (R8+R9)/R9$ .

Wird der Akku verwendet, CEPAC aber z.B. als ECB-Bus-SLAVE normal mit +5V versorgt, so ist D4 zu entfernen und +UB mit +5V zu verbinden.

**Achtung:** Der Akku kann bei Tiefentladung beschädigt werden! Deshalb sollte CEPAC-180 in abgeschaltetem Zustand nie länger als zwei Monate ohne externe Akku-Pufferung bleiben. Bei längerer Lagerung sind Uhr und RAM aus den Sockeln zu nehmen.

Genauere Angaben zur Uhr finden Sie in:  
 NEC, uPD1990 Data manual (s. Anhang).

## --- Timer und Lautsprecher ---

CEPAC-180 verfügt über zwei CPU-interne 16-Bit-Timer für Zeitmeßaufgaben. Sie zählen abwärts mit  $1/20$  des CPU-Takts. Der Zugriff erfolgt über zwei 16-Bit-Register, das eigentliche Zählerregister sowie ein 'Reload'-Register, mit dessen Wert der Zähler bei Erreichen der Nullstellung wiedergeladen wird. Bei Zählerstand 0 kann ein Interrupt ausgelöst werden.

Timer 1 hat einen externen Ausgang (TOUT), der sich einen CPU-Anschluß mit einer Adressleitung (A18) teilt. Wird A18 nicht benötigt, was i.a. der Fall ist, kann der Timerausgang für Sonderzwecke, u.a. zum Ansteuern des Lautsprechers, eingesetzt werden. Es läßt sich entweder ein hochohmiger Piezo-Lautsprecher direkt an TOUT oder ein niederohmiger Typ über den Treiber T3 anschließen. Der Ausgang springt auf HIGH, LOW oder wechselt seinen Zustand, wenn Zählerstand 0 erreicht ist. Dies läßt sich über ein Register auswählen:

Port 10h: TCR (Timer-Steuerregister, R/W).

! TIF1	! TIF0	! TIE1	! TIE0	! TOC1-0	! TDE1	! TDE0	! (7-0)
! 0	! 0	! 0	! 0	! 00	! 0	! 0	! (RES)

TIF0/1, TIE0/1 und TDE0/1 beziehen sich auf Timer 0 oder 1.

TIF: Timer-Interrupt-Flag (R/O). 1 = Timer-Nulldurchgang.

Wird bei Lesen aus TCR oder TMDR0/1 zurückgesetzt.

TIE: Timer-Interrupt einschalten mit 1, aus mit 0.

TOC1-0: 00: A18/TOUT ist Adressausgang A18 von der MMU.

01: A18/TOUT wechselt bei Nulldurchgang von Timer 1.

10: A18/TOUT auf LOW bei Nulldurchgang von Timer 1.

11: A18/TOUT auf HIGH bei Nulldurchgang von Timer 1.

TDE: Timer starten mit 1, stoppen mit 0.

Port 0Ch: TMDR0L (Timer 0 Datenregister, Low-Byte).

Port 0Dh: TMDR0H (Timer 0 Datenregister, High-Byte).

Port 0Eh: TMDR0L (Timer 0 Laderegister, Low-Byte).

Port 0Fh: TMDR0H (Timer 0 Laderegister, High-Byte).

Port 14h: TMDR1L (Timer 1 Datenregister, Low-Byte).

Port 15h: TMDR1H (Timer 1 Datenregister, High-Byte).

Port 16h: TMDR1L (Timer 1 Laderegister, Low-Byte).

Port 17h: TMDR1H (Timer 1 Laderegister, High-Byte).

Nach Erreichen des Nullzustands wird das Timer-Datenregister aus dem Laderegister neu geladen. Nach Reset steht FFFFh in den Laderegistern. Bei Lesen aus dem Datenregister muß immer das Low-Byte zuerst gelesen werden; beschreiben lassen sich die Datenregister nur im gestoppten Zustand.

## --- Die ACIA ---

Dieser Portbaustein vom Typ 82C55/71055 (Z6) ist zum Ansteuern der ECB-SLAVE-Schnittstelle (s.u.), des LCD-Displays, zum Abfragen einer Matrixtastatur und für andere universelle I/O-Aufgaben vorgesehen. Er enthält drei 8-Bit-Ports mit programmierbarer Datenrichtung, die sich auch als zwei Ports (A und B) mit Handshake und Interrupts einsetzen lassen. Sie werden über folgende I/O-Adressen angesprochen:

7Ch: ACIA Port A (ECB-Bus, LCD)  
 7Dh: ACIA Port B (Matrixtastatur)  
 7Eh: ACIA Port C (Handshake oder I/O)  
 7Fh: ACIA Steuerregister

Die Bits PC0 und PC3 von Port C können über die Jumper J8 und J9 bei HIGH-Pegel einen Interrupt auslösen:

J8: /INT1 durch PC0 (Handshake Port B)  
 J9: /INT2 durch PC3 (Handshake Port A)

Port B ist zum Direktanschluß einer Matrixtastatur mit Pull-Up-Widerständen versehen (W3). Port A steuert das LCD-Display über Stecker N9, der nur alternativ zur SLAVE-ECB-Anschlußleiste bestückt werden kann. Mit dem Poti P3 kann der LCD-Kontrast eingestellt werden.

Nähere Informationen über die ACIA in:  
 NEC, 71055 Data manual (s. Anhang)

## --- ECB-Bus-Interface ---

CEPAC-180 verfügt über zwei ECB-Bus-Anschlüsse, einen an jedem 'Ende' der Platine. Über den ersten Anschluß (SLAVE) läßt sich CEPAC wie ein intelligenter Portbaustein vom Bus aus ansprechen.

Der zweite Anschluß (MASTER) dient zum Ansteuern von ECB-Erweiterungskarten von CEPAC aus. Er ist ungepuffert, so daß nur zwei oder drei weitere Karten angeschlossen werden können, und zum direkten Aufstecken einer ECB-Karte über eine VG-Buchsenleiste vorgesehen. Soll CEPAC-180 als MASTER einen Bus ansteuern, so ist statt der Buchsenleiste eine 'übliche' VG-Steckerleiste auf der Unterseite aufzulöten.

Der Adressbus ist um 3 Leitungen (A16-A18) erweitert, um externe RAM-Karten ansteuern zu können. Beim Anschluß von Karten anderer Hersteller ist zu beachten, daß die DMA-Prioritätskette, die -12V-Leitung und die höheren Adressleitungen A16-A19 manchmal auf anderen Stiften liegen: der ECB-Bus ist eine 'weiche' Norm. Im Anhang befindet sich eine Aufstellung üblicher Busbelegungen verschiedener Hersteller. Bei reinen I/O-Karten dürfte es aber keine Probleme geben.

Der Handshake-Eingang (/DREQ) von DMA-Kanal 1 (s.o.) kann

einer externen, DMA-fähigen Peripherieeinheit auf dem ECB-Bus (/RDY-Leitung) zugeordnet werden. Zu beachten ist, daß der DREQ-Eingang mit dem Takteingang (CKA0) der V24-Konsolenschnittstelle (Duplex 0) identisch ist und beim Betreiben der Schnittstelle mit externem Takt nicht benutzt werden kann.

#### --- Der SLAVE-Bus ---

Der ECB-SLAVE-Anschluß wird über Port A des Parallelinterfaces (ACIA, s.o.) gesteuert; der Port ist dabei auf bidirektionalen Datentransfer eingestellt. Seine Handshake-Leitungen PC4-PC7 sind durch eine Dekodierlogik (Z13,Z18,D1,D2) mit den Bussignalen verknüpft, so daß der Port wie eine normale I/O-Einheit auf zwei Adressen vom ECB-Bus aus ansprechbar ist. Zu beachten ist, daß die SLAVE-Schnittstelle bei Akkupufferung des RAM's nicht benutzt werden kann (s.o.).

Daten, die von "außen", d.h. vom Bus, in den Port A eingeschrieben werden, lassen sich "innen" aus der ACIA wieder auslesen. Das Ganze funktioniert natürlich auch in umgekehrter Richtung. Sobald ein eingeschriebenes Datenbyte von der jeweiligen Empfänger-CPU gelesen wurde, erfährt die Sender-CPU dies über ein Statussignal und kann jetzt das nächste Byte übermitteln. Zur Beschleunigung des Transfers kann über J9 ein Interrupt (INT2) ausgelöst werden, sobald eines dieser Statusbits auf "1" springt.

Das Bus-Timing ist unkritisch; CEPAC-180 kann mit Busfrequenzen bis 9.2 MHz (z.b. an PROF-180X) betrieben werden. Der /PCL-Ein/Ausgang dient zum Rücksetzen der Karte. Beim Einschalten wird dort ein kurzer LOW-Impuls über einen Open-Kollektor-Treiber ausgegeben (interner Reset).

Die Host-CPU spricht CEPAC-180 über zwei I/O-Adressen an, eine für Daten, die zweite für den Status. Die Adressen lassen sich binär über die Jumperreihe J3 einstellen; der 'gesteckte' 7-Bit-Wert (ein gesteckter Jumper bedeutet 0, ein fehlender 1) ergibt mit 2 multipliziert direkt die Adresse des CEPAC180-Statusports.

Auf der nächsthöheren Adresse (Datenport, R/W) werden die Daten mit I/O-Befehlen eingeschrieben oder ausgelesen, auf dem Statusport (R/O) der Zustand der Handshake- und 'Mailbox'-Bits abgefragt. Beim Statusport sind nur die Bits 0, 1, 6 und 7 relevant.

Statusport:	!	RF	!	WE	!	x	!	x	!	x	!	x	!	FS1	!	FS0	!
Datenport:	!	D7	!	D6	!	D5	!	D4	!	D3	!	D2	!	D1	!	D0	!

D0-D7: Datenleitungen zum CEPAC (bidirektional)  
 RF : Read Buffer Full - CEPAC bereit zum Auslesen  
 WE : Write Buffer Empty - CEPAC bereit zum Einschreiben  
 FS0-1: Mailbox-Flags vom Flag-Register (invertiert).

Ist Status-Bit 7 (RF) auf 1 gesetzt, so steht am Datenport ein Byte von CEPAC zum Lesen bereit. Status-Bit 6 (WE) signalisiert

mit 1, daß das nächste Datenbyte in den Datenport geschrieben werden kann. Die beiden Mailbox-Flags FS0 und FS1 werden vom CEPAC über das Systemflagregister gesetzt und können der Host-CPU irgendwelche Zustände oder Zusatzinformationen mitteilen.

Zur Verdeutlichung des Ganzen ein Unterprogramm im Z80-Code zur Ausgabe des Bytes in Register C der Host-CPU an CEPAC-180:

```
CEPOUT:  IN   A,(STAT) ;Abfragen des Statusports
          BIT  6,A      ;Fertig zum Einschreiben?
          JR   Z,CEPOUT ;Wenn nicht, wieder abfragen
          LD   A,C      ;Auszugebendes Zeichen
          OUT  (DATA),A ;Einschreiben in den Datenport
          RET
```

Das Holen eines Datenbytes von CEPAC nach Register A geht ähnlich:

```
CEPIN:   IN   A,(STAT) ;Status abfragen
          BIT  7,A      ;Stehen Daten bereit?
          JR   Z,CEPIN  ;Wenn nicht, das Ganze noch einmal
          IN  A,(DATA)  ;Byte holen
          RET
```

#### -- Centronics-Schnittstelle ---

Der 8-Bit-Port Z17 auf Adresse 58h bildet die Druckerschnittstelle nach Centronics-Norm; die Ausgangstreiber vertragen bei Bestückung eines LS-Bausteins 20 mA.

Die Centronics-Schnittstelle kann per Interrupt (/ACK mit /INT1 oder /INT2 verbinden!) oder per Polling (BUSY-Eingang) betrieben werden. Der Druckerzustand läßt sich im Polling-Betrieb das Statusflags BUSY abfragen.

Flag BUSY: 0: Drucker beschäftigt.  
1: Drucker zum Datenempfang bereit.

Das /STROBE-Signal der Schnittstelle springt beim Ansprechen des Ports 54h kurzzeitig auf LOW; für eine ausreichende LOW-Zeit (0.5 usec) bei hoher CPU-Taktfrequenz sollten mehrere I/O-Waitzyklen eingestellt sein.

Das folgende kleine Beispiel-Programm gibt ein Byte von Register C an die Centronics-Schnittstelle aus:

```
L1:  IN   A,(40H) ;Statusregister lesen
      BIT  6,A    ;BUSY-Flag gesetzt?
      JR   Z,L1  ;wenn noch BUSY, neu abfragen
      LD   A,C    ;auszugebendes Byte war in C
      OUT  (58H),A ;Byte senden
      OUT  (54H),A ;STROBE-Impuls senden
      RET
```

Außer zur Druckeransteuerung wird der gleiche Port über die Dioden D9-12 zum Scannen einer Matrixtastatur benutzt. Da dabei der STROBE unverändert bleibt, wird der Druckerbetrieb nicht gestört.

### --- Duplex-Schnittstellen ---

Zwei Vollduplex-Schnittstellen mit Handshake sind in der CPU implementiert: die Hauptschnittstelle (Duplex 0) z.B. für ein Terminal und die Netzwerksschnittstelle (Duplex 1). Die Baudraten sind programmierbar (bis 38400 Baud, je nach Taktfrequenz), lassen sich aber auch extern zuführen. Auch das Datenformat kann per Software eingestellt werden.

Die Duplex-0-Schnittstelle ist mit Handshake-Steuerleitungen versehen (RTS und CTS). Das RTS-Signal ist eine Aufforderung zur Datenübertragung an das Terminal (Request-To-Send). Sobald diese Leitung den +12-Volt-Pegel annimmt, ist CEPAC-180 zum Empfang der seriellen Daten bereit. CTS (Clear-To-Send) entspricht RTS in umgekehrter Richtung; über dieses Signal wird die Karte vom angeschlossenen Peripheriegerät (Terminal oder Drucker) zum Senden aufgefordert.

Der V24-Pufferbaustein Z9 enthält einen eigenen Spannungswandler (+/- 10 Volt). Er kann über das /SEN-Flag zu Stromsparszwecken abgeschaltet werden:

/SEN auf 0: V24-Wandler einschalten.  
/SEN auf 1: V24-Wandler abschalten.

Mit den Jumpfern J1 und J2 läßt sich wählen, ob eine Schnittstelle (Duplex 0) mit Handshake oder beide Schnittstellen ohne Handshake an den Stecker N5 herausgeführt werden sollen:

Duplex 0 mit RTS/CTS: J1 2-3, J2 2-3  
Duplex 0 und Duplex 1: J1 1-2, J2 1-2

Beim Betrieb ohne Handshake muß die CTS0-Leitung (J2 Pin 3) mit GND verbunden werden.

Für Sonderzwecke haben die Schnittstellen einen Multiprozessor-Modus, in dem Daten ohne ein gesetztes 'Multiprozessor-Flag' ignoriert werden (Näheres siehe HD64180-Manual). Damit kann über eine der Schnittstellen ein Netzwerk betrieben werden.

Es gibt einige CPU-Register zum Einstellen der Schnittstellen:

Port 00h: CNTLA0 (Steuerregister A für Duplex 0, R/W).

!	MPE	!	RE	!	TE	!	RTS0	!	MPR-EFR	!	WL	!	PE	!	SB	!	(7-0)
!	0	!	0	!	0	!	1	!	-	!	0	!	0	!	0	!	(RES)

Port 01h: CNTLA1 (Steuerregister A für Duplex 1, R/W).

! MPE !	RE !	TE !	CKA1 !	MPR-EFR !	WL !	PE !	SB !	(7-0)
! 0 !	0 !	0 !	1 !	- !	0 !	0 !	0 !	(RES)

- MPE: Multiprozessormodus einschalten mit 1, aus mit 0.
- RE: Empfänger einschalten mit 1, aus mit 0.
- TE: Sender einschalten mit 1, aus mit 0.
- RTS0: 0: RTS0-Ausgang auf +12V (Duplex 0 empfangsbereit)  
1: RTS0-Ausgang auf -12V (nicht empfangsbereit)
- CKA1: 0: CKA1 ist Taktein/ausgang für Duplex 1.  
1: CKA1 wird für DMA 0 als /TEND-Ausgang benutzt (s.o.).
- MPR-EFR: Lesen: Multiprozessor-Flag empfangen (falls MPE=1).  
0 einschreiben: Fehler-Flags OVR, FE, PE zurücksetzen.
- WL: 0: 7 Datenbits, 1: 8 Datenbits.
- PE: 0: kein Paritätsbit, 1: ein Paritätsbit.
- SB: 0: 1 Startbit, 1 Stopbit; 1: 1 Startbit, 2 Stopbits.

Port 02h: CNTLB0 (Steuerregister B für Duplex-Schnittstelle 0).  
Port 03h: CNTLB0 (Steuerregister B für Duplex-Schnittstelle 1).

! MPT !	MP !	CTS-PS !	PO !	SS3-0 !	(7-0)
! - !	0 !	0 !	0 !	0111 !	(RES)

- MPT: Multiprozessor-Flag senden mit 1 (falls MPE=1).
- MP: 1: Multiprozessor-Datenformat ohne Paritätsbit.  
0: Normales Datenformat.
- CTS-PS: Lesen: CTS-Eingang (invertiert).  
0 einschreiben: Baudrate-Vorteiler = Takt/10 (für 3.072/6.144 MHz).  
1 einschreiben: Baudrate-Vorteiler = Takt/30 (für 4.608/9.216 MHz).
- PO: Ungerade (1) oder gerade (0) Parität.

SS3-0	Baudrate bei 3.072 / 4.608 / 6.144 / 9.216 MHz CPU-Takt.			
0000	19200	9600	38400	19200 Baud
0001	9600	4800	19200	9600 Baud
0010	4800	2400	9600	4800 Baud
0011	2400	1200	4800	2400 Baud
0100	1200	600	2400	1200 Baud
0101	600	300	1200	600 Baud
0110	300	150	600	300 Baud
0111	Extern: CKA-Eingang/160			Baud
1000	4800	2400	9600	4800 Baud
1001	2400	1200	4800	2400 Baud
1010	1200	600	2400	1200 Baud
1011	600	300	1200	600 Baud
1100	300	150	600	300 Baud
1101	150	75	300	150 Baud
1110	75	37.5	150	75 Baud
1111	Extern: CKA-Eingang/640			Baud

Port 04h: STAT0 (Statusregister für Duplex 0, R/W).

!	RRF	!	OVR	!	PE	!	FE	!	RIE	!	DCD0	!	TRE	!	TIE	!	(7-0)
!	0	!	0	!	0	!	0	!	0	!	-	!	1	!	0	!	(RES)

Port 05h: STAT1 (Statusregister für Duplex 1, R/W).

!	RRF	!	OVR	!	PE	!	FE	!	RIE	!	CTS1E	!	TRE	!	TIE	!	(7-0)
!	0	!	0	!	0	!	0	!	0	!	-	!	1	!	0	!	(RES)

RRF: 1 = Empfänger-Datenregister voll (R/O).  
 OVR: 1 = Überlauf-Fehler (R/O).  
 PE: 1 = Paritätsfehler (R/O).  
 FE: 1 = 'Frame'-Fehler (Stopbit nicht erkannt, R/O).  
 RIE: Empfänger-Interrupt einschalten mit 1, aus mit 0 (R/W).  
 DCD0: DCD0-Eingang (invertiert, R/O).  
 CTS1E: 1: CTS/RX-Eingang ist CTS von Duplex 1.  
       0: CTS/RX-Eingang ist RX von CSI/O (s.u.).  
 TRE: 1 = Sender-Datenregister leer (R/O).  
 TIE: Sender-Interrupt einschalten mit 1, aus mit 0 (R/W).

Port 06h: TDR0 (Sender-Datenregister für Duplex 0).

Port 07h: TDR1 (Sender-Datenregister für Duplex 1).

Port 08h: TSR0 (Empfänger-Datenregister für Duplex 0).

Port 09h: TSR1 (Empfänger-Datenregister für Duplex 1).

#### --- Netzwerk ---

Das Netzwerk (CONINET I) dient der Verbindung verschiedener Rechner zum Datenaustausch oder zu anderen Zwecken. Es wurde im Hinblick auf zwei Anforderungen entworfen:

- Einfacher Aufbau mit minimalen Kosten.
- Leicht nachzurüsten für bestehende Rechner, auch ohne ECB-Bus.

Im Prinzip benötigt ein Rechner für den CONINET-Anschluß nur zwei Komponenten: eine serielle Vollduplex-V24-Schnittstelle (fast immer vorhanden) und einen nachtriggerbaren Timer oder ein Monoflop. Bei CEPAC-180 übernimmt das die Duplex-Schnittstelle 1 und der Watchdog-Timer, der nach Ablauf der Zeitkonstanten (Time-Out) über J7 einen Interrupt (INT2) auslöst. Hierzu muß D13, D14 und R23 bestückt sein; J7 muß in Position 1-2 stehen.

J7: 1-2 für CONINET-Betrieb.  
 /INT2: Ausgelöst, wenn Bus frei wird.

Sender und Empfänger der Schnittstelle sind über die Diode D13 verbunden; der Widerstand R23 legt den Pegel am Empfängereingang auf logisch 0 (-10V). Die Empfängereingänge aller Netzwerksrechner sind miteinander verbunden. Jedes ausgesendete Datenbyte wird also von allen Rechnern - auch vom Sender selbst - wieder empfan-

gen.

Das Monoflop liegt hinter dem Treiberbaustein am Empfänger-  
 eingang und wird bei jedem ausgesendeten Byte nachgetriggert. So  
 kann, ähnlich wie beim MASTER/SLAVE-Modus, jederzeit der Zustand  
 des Netzwerks - belegt oder frei - festgestellt werden. Wenn ein  
 Rechner eine Meldung loswerden will, wartet er auf den Interrupt  
 vom Watchdog-Timer; dann kann gesendet werden.

Nun kann es natürlich passieren, daß mehrere Rechner gleich-  
 zeitig beginnen zu senden. Es erfolgt eine 'Kollision'. Die  
 Datenbytes werden über die D13-Dioden oder-verknüpft, und die  
 Meldung kommt verstümmelt an. Daher müssen die ersten gesendeten  
 Bytes mit den empfangenen verglichen werden, um Kollisionen zu  
 erkennen; ergibt sich ein Unterschied, wird das Senden abgebro-  
 chen, wieder auf Interrupt gewartet, und das Spiel beginnt von  
 neuem.

Um zu vermeiden, daß zwei Rechner immer zur gleichen Zeit  
 zugreifen und sich so ewig blockieren, soll nach einer Kollision  
 und dem darauffolgenden Interrupt noch eine zufallsabhängige  
 Zeitspanne gewartet werden. Als Zufallszahlengenerator läßt sich  
 das R-Register der CPU einsetzen. Das bekannte ETHERNET-Netzwerk  
 basiert auf dem gleichen Prinzip.

Im Gegensatz zu ETHERNET beträgt die Übertragungsrate hier  
 maximal 57600 Baud (eventuell mehr mit externer Baudrate). Um ein  
 Textfile von 50 KByte zu übertragen, braucht man damit 10 Sekun-  
 den. Die Verbindung erfolgt am RX1-Anschluß je nach Leitungslänge  
 und angestrebter Übertragungsrate über Koaxkabel oder einfachen  
 verdrehten 'Klingeldraht'.

Wird das Netzwerk nicht benutzt, kann die Duplex-Schnittstelle  
 1 als normale V24-Schnittstelle verwendet werden. In diesem Fall  
 darf die Diode D13 nicht bestückt werden.

--- Spezialschnittstelle CSI/O ---

Diese Schnittstelle läßt sich als dritte serielle Schnittstel-  
 le einsetzen, allerdings nur im Simplex- oder Halbduplexbetrieb.  
 Sie besteht im wesentlichen aus einem CPU-internen 8-Bit-Schiebe-  
 register, das per I/O-Befehl gelesen und beschrieben werden kann.  
 Der Takt läßt sich extern oder intern über einen programmierbaren  
 Vorteiler zuführen. Über zwei Steuerbits wird das Senden oder  
 Empfangen eines Bytes gestartet; nach 8 Schiebezyklen stoppt der  
 Takt, ein END-Flag (EF) wird gesetzt, und ein Interrupt kann  
 ausgelöst werden. Genaueres siehe HD64180-Handbuch.

Port 0Bh: TRDR (CSI/O Sender/Empfänger-Datenregister, R/W).

Port 0Ah: CNTR (Steuer/Status-Register für CSI/O, R/W).

!	EF	!	EIE	!	RE	!	TE	!	-	!	SS2-0	!	(7-0)
!	0	!	0	!	0	!	0	!	1	!	111	!	(RES)

EF: 1 = Sende/Empfangszyklus beendet (R/O).

EIE: Interrupt bei Sende/Empfangsende einschalten mit 1.

RE: Empfang einschalten mit 1, aus mit 0.

TE: Senden einschalten mit 1, aus mit 0.

SS2-0	Baudrate bei 3.072 / 4.608 / 6.144 / 9.216 MHz CPU-Takt.				
000	153600	230400	307200	460800	Baud
001	76800	115200	153600	230400	Baud
010	38400	57600	76800	115200	Baud
011	19200	28800	38400	57600	Baud
100	9600	14400	19200	28800	Baud
101	4800	7200	9600	14400	Baud
110	2400	3600	4800	7200	Baud
111	Externer Takteingang CKS				

Der serielle Eingang (RXS) ist auch TTL-kompatibel. Eine mögliche Anwendung ist der Einsatz als IBM-Tastatur-Schnittstelle. Oder es kann eine einfache Hochgeschwindigkeits-Kommunikation zu einer zweiten HD64180-CPU oder zu einem Peripheriebaustein aufgebaut werden. Die maximale Baudrate liegt bei 450.000 Baud.

Der Dateneingang CTS/RX kann über das STAT1-Register der CSI/O zugeordnet werden; er ist mit CTS der Duplex-Schnittstelle 1 gemultipliziert:

Port 05h: STAT1 (Statusregister für Duplex 1, R/W).

! RRF !	! OVR !	! PE !	! FE !	! RIE !	! CTS1E !	! TRE !	! TIE !	(7-0)
! 0 !	! 0 !	! 0 !	! 0 !	! 0 !	-	! 1 !	! 0 !	(RES)

CTS1E: 1: CTS/RX-Eingang ist CTS von Duplex 1 (s.o.).

0: CTS/RX-Eingang ist RX von CSI/O.

### --- Der A/D-Wandler ---

Der schnelle CMOS-Wandlerbaustein ADC0811 (Z7) enthält 12 Kanäle zu je 8 Bit, davon ein Test-, ein Batterie-Meß- und zehn universelle Kanäle. Die Wandlungszeit beträgt 32 Mikrosekunden. Da intern eine kapazitive Referenzleiter benutzt wird, kann der Baustein in einer Art Sample/Hold-Modus mit einer Sample-Zeit von ca. 10 Mikrosekunden betrieben werden.

Der Zugriff erfolgt, ähnlich wie bei der Uhr, über ein Schieberegister zum Einstellen des gewünschten Kanals und zum Auslesen des Analogwertes. Takt- (C1) und Eingangs-Datenleitung (C0) ist mit der Uhr identisch; der Datenausgang kann über das Statusflag DOC\*abgefragt werden. T/C wählt beim Zugriff zwischen Uhr (1) und Wandler (0).

Die Eingänge des Wandlers sind auf den Wrap-Feld-Stecker N3 herausgeführt. Jumper J10 legt die halbe Batteriespannung auf Kanal 0. Die negative Referenz (AGND, Pin 12) ist unbeschaltet und i.A. mit GND (Pin 14) zu verbinden. Die positive Referenz liegt über R14 an +5V; zur Erhöhung der Genauigkeit kann für D5 eine Referenzdiode - z.B. LM385-2.5 - bestückt werden.

\*invertiert

Zum raschen Erfassen eines Analogwertes (Sample/Hold-Modus) ist es erforderlich, in möglichst hoher Frequenz Taktimpulse über die C1-Leitung an den Wandler auszugeben. Dazu kann der DMA-Kanal 1 (Transfer Memory -> Flagregister) verwendet werden. Es sind mindestens 8 Impulse notwendig, die über 16 I/O-Transfers per DMA in etwa 5-15 Mikrosekunden (je nach CPU-Taktfrequenz) gesendet werden können. Zu beachten ist, daß bei DMA-Betrieb der DREQ-Eingang (RDY-Leitung a26 der ECB-MASTER-Schnittstelle) auf GND gelegt werden muß.

Genauere Informationen über den Wandlerbetrieb in:  
National Semiconductor, ADC0811 Data Manual (s. Anhang).

#### --- Wrapfeld-Optionen ---

Auf dem Wrap-Feld befinden sich bereits vorverdrahtete Steckplätze für einen Instrumentenverstärker (LM363) und eine Batterie-Power-Down-Überwachung (DALLAS DS1232). Diese Funktionsblöcke wurden für Sonderzwecke vorgesehen und sind normalerweise unbestückt. Die Schaltpläne hierzu sind im Anhang abgedruckt.

## D e r M o n i t o r

Um Ihnen die Software Entwicklung für den CEPAC-180 etwas zu erleichtern, haben wir ein kleines Monitor-Programm entwickelt. Dieses Monitor-Programm bietet folgendes:

- Wahlweise Ansteuerung über V-24-Schnittstelle oder ECB-Slave Anschluß.
- Austesten Ihrer Programme direkt auf der Zielhardware
- Treiberprogramme für die wichtigsten CEPAC-180 Hardware Baugruppen
- Falls Sie CEPAC-180 als ECB-Slave-Prozessor einsetzen, können Sie Ihre Anwendersoftware direkt vom Hostrechner laden und ausführen lassen.

## --- Terminalanschluß ---

Der Monitor benötigt für den Benutzerdialog entweder ein Terminal, daß über die V-24-Schnittstelle angeschlossen wird, oder einen ECB-Hostrechner mit einem Kommunikationsprogramm (siehe Anhang). Die Entscheidung welche der beiden Schnittstellen benutzt wird, hängt vom Pegel des Busy Eingangs (N7) kurz nach dem Start des Monitors ab. Liegt Busy auf High (z.B. dadurch, daß man die Leitung offen läßt), wird der Benutzerdialog über die V-24-Schnittstelle geführt. Liegt Busy auf Low (z.B. dadurch, daß Pin 10 und 12 von N7 mit einem Kurzschlußstecker verbunden werden), dann wird die Kommunikation über den ECB-Slave-Anschluß geführt. Falls der Busy-Eingang für andere Zwecke gebraucht wird, kann das Monitor-EPROM auch fest fuer eine Schnittstelle eingestellt werden, die Abfrage de Busy-Eingangs entfällt dann (siehe hierzu Abschnitt "Ändern der Defaultwerte").

Das Datenformat der V-24-Schnittstelle ist fest eingestellt, kann aber ebenfalls geändert werden (siehe hierzu nochmal's Abschnitt "Ändern der Defaultwerte"). Das Datenformat lautet wie folgt: 9600 Baud, 8 Bit, no Parity, 2 Stoppbit. Dem aufmerksamen Betrachter des Schaltbildes wird auffallen, daß die Baudrate von der Taktfrequenz der HD 64180 CPU abhängen muß. Dies ist zwar richtig, jedoch kann der Monitor durch die eingebaute Uhr (upd 1990) die Taktfrequenz messen und je nach Taktrate die serielle Schnittstelle richtig programmieren. Voraussetzung ist allerdings, daß nur die Standardfrequenzen für die HD 64180 CPU benutzt werden (4,608 MHz, 6,144 MHz, 9,216 MHz usw.). Falls die Uhr defekt oder nicht bestückt ist, wird als Taktfrequenz 6,144 MHz angenommen (kann ebenfalls geändert werden), bei einer abweichenden Taktfrequenz stimmen in diesem Fall die Baudraten

natürlich nicht.

--- Speicherbelegung ---

Das Monitor-Programm startet bei Adresse 0 des logischen Adressbereichs des HD64180 (die Länge der Monitors beträgt ca. 4 K-Byte). Für Stack und Merzellen benötigt der Monitor im logischen Adressbereich FF00h bis FFFFh RAM.

Defaultmäßig programmiert der Monitor die Seicherverwaltung (MMU) des HD64180 folgendermaßen :

Z2 wird in den logischen Bereich 0000h-3FFFh eingeblendet.  
Z3 wird in den logischen Bereich 4000h-7FFFh eingeblendet.  
Z4 wird in den logischen Bereich 8000h-FFFFh eingeblendet.

Im Klartext heißt dies: Das EPROM mit dem Monitor-Programm muß in den Sockel Z2 gesteckt werden, im Sockel Z4 muß sich ein RAM-Baustein befinden. Der Sockel Z3 wird vom Monitor nicht benutzt, er kann also unbestückt beleiben.

--- Bedienung des Monitors ---

Nach dem Starten des Monitors erscheint die Meldung "Monitor" mit einem nachfolgenden Doppelpunkt als Bereitschaftszeichen auf dem Bildschirm. Der Computer wartet nun auf die Eingabe eines Monitor-Befehls.

Alle eingegebenen Kleinbuchstaben werden vom Monitor in Großbuchstaben umgewandelt (einzige Ausnahme hiervon bildet die Register-Angabe im X-Befehl).

Ein Befehl wird durch Tippen eines einzigen Buchstabens eingeleitet. Der Computer ergänzt dann diesen Buchstaben durch einen kurzen Text, der die Funktion des Befehls angibt. Je nachdem, um welchen Befehl es sich handelt, müssen nun noch einige Parameter eingegeben werden, um den Befehl mit den nötigen Daten zu versorgen. Nach der Ausführung des Monitor-Befehls kehrt der Computer wieder auf die Befehlseingabe-Ebene zurueck. Eine Ausnahme bildet der G-Befehl, der ein Anwender-Programm im Arbeitsspeicher ausführt.

Alle Zahlenwerte, die eingegeben werden, sind Hexadezimalzahlen (einzige Ausnahme bildet die Eingabe des Datums und der Uhrzeit). Es sind dabei immer nur die letzten vier (bei Byte-Werten die letzten zwei) Ziffern gültig; somit ist es möglich, falsch eingegebene Zahlen zu korrigieren. Gibt man weniger als vier Hexadezimalziffern ein, so werden diese durch führende Nullen ergänzt (die Eingabe von "7" entspricht "0007"). Alle Zeichen, die keine Hexadezimalziffern sind, werden ignoriert.

Die Ausgabe von Zahlenwerten erfolgt meist in hexadezimaler Darstellung, jedoch geben einige Befehle auch Werte in dezimaler Form aus, diese sind durch ein vorangestelltes #-Zeichen gekennzeichnet.

Bei der Beschreibung der Monitor-Befehle werden folgende Abkürzungen verwandt:

- sadr    Angabe der Startadresse eines Speicherbereichs
- eadr    Angabe der Endadresse eines Speicherbereichs. Ist "eadr" kleiner "sadr", dann wird "eadr" gleich "sadr" gesetzt.
- dadr    Angabe der Zieladresse eines Speicherbereiches
- adr    allgemeine Angabe einer Speicheradresse
- padr    Portadresse. Bei den I- und O-Befehlen wird die volle 16 Bit Adresse als Portadresse ausgegeben.
- byte    zweistellige Hexadezimalzahl
- reg    Buchstabe, der ein entsprechendes HD 64180-Register kennzeichnet. Die Zweitregister werden mit kleinen Buchstaben gekennzeichnet, dies ist der einzige Fall, bei dem zwischen großen und kleinen Buchstaben unterschieden wird. Folgende Register-angaben sind erlaubt:

A,B,C,D,E,F,H,L,M,P,S,a,b,c,d,e,f,h,l,m,X,Y,I,R.

Die einzelnen Register sind bei der Beschreibung des X-Befehls erläutert.

- CR    Return-Taste. Die meisten Befehle werden durch Eingabe der Return-Taste abgeschlossen.
- ,
- Trennzeichen. Es kann sowohl ein Komma als auch ein Leerzeichen eingegeben werden. Das Trennzeichen dient zum Trennen von verschiedenen Eingabe-Parametern und zum Weitschalten bei den Befehlen A,S und X.
- ()    Eingabe-Parameter, die in Klammern stehen, können bei Bedarf weggelassen werden.
- ///    Von Eingabe-Parametern die zwischen Schrägstrichen stehen, muß genau einer ausgewählt werden.

Jetzt folgt die Beschreibung der Befehle im Einzelnen. Eingaben, die der Benutzer machen muß, sind unterstrichen!

### Analog input

Die Werte der 12 Analogkanäle des ADC 0811 werden auf dem Bildschirm angezeigt. Durch Eingabe einer beliebigen Taste außer Escape werden die momentanen Werte "eingefroren", bzw. das Update der Anzeige fortgesetzt; durch Tippen von Escape wird auf die Monitor-Befehlsebene zurückgekehrt.

### Display memory (sadr)(,eadr) CR

Der Speicherbereich von "sadr" bis "eadr" wird auf dem Bildschirm in hexadezimaler und ASCII Darstellung ausgegeben. Wird "sadr" weggelassen, dann wird ab der zuletzt mit dem D-Befehl ausgegebenen Speicherzelle +1 ausgegeben. Wird ",eadr" weggelassen, so wird bis "sadr"+256 ausgegeben. Durch Drücken der Escape-Taste wird die Ausgabe abgebrochen, durch Drücken einer anderen Taste gestoppt und durch erneutes Drücken wieder gestartet.

### Fill memory sadr,eadr,byte CR

Der Speicherbereich "sadr" bis "eadr" wird mit dem Wert von "byte" gefüllt.

### Go to (adr) CR

Mit diesem Befehl können Programme, die sich im Arbeitsspeicher befinden, zur Ausführung gebracht werden. Es werden die mit dem X-Befehl gesetzten Register in den Prozessor geladen, und die Programmsteuerung verzweigt nach "adr". Taucht irgendwo im Anwenderprogramm ein RST 7 auf (FFh), dann wird der Inhalt aller Register gerettet und die Kontrolle wieder an den Monitor übergeben; der X-Befehl zeigt dann den neuen Stand der Register an.

Wird "adr" weggelassen, so wird auf die Adresse, die im P-Register steht, (siehe X-Befehl) verzweigt.

### Help

Nach Eingabe von "H" werden alle zur Verfügung stehenden Befehle aufgelistet.

### In port padr CR

Es wird ein Byte vom I/O-Kanal mit der Adresse "padr" eingelesen und in hexadezimaler und binärer Form auf dem Bildschirm ausgegeben. Da "padr" als 16 Bit Adresse ausgegeben wird, können mit diesem Befehl die internen Ports des HD64180 gelesen werden.

### Keyboard Mode

Der K-Befehl (Keyboard mode) erlaubt es, Zeichen direkt von der Tastatur zum Bildschirm zu senden. Terminal-Voreinstellungen können so auf einfache Weise manuell vorgenommen werden. Verlassen wird der Keyboard mode mit ^C (Control-'C').

### List time

Nach der Eingabe von "L" erscheinen Datum und Uhrzeit des upd 1990 auf dem Bildschirm.

### Move memory sadr,eadr,dadr CR

Der Speicherbereich "sadr" bis "eadr" wird Byte für Byte nach "dadr" kopiert.

### New date and time set

Dieser Befehl dient zum Setzen der Uhr. Das genaue Format der Eingabe wird nach dem Eingeben des N-Befehls auf dem Bildschirm angezeigt und ist mit dem "DATE SET"-Kommando des CP/M 3 identisch.

### Out port padr,byte CR

Der mit "byte" angegebene Wert wird über die I/O Adresse "padr" ausgegeben. Da "padr" als 16 Bit Adresse ausgegeben wird, kann dieser Befehl auch Daten an die internen Ports des HD64180 ausgeben

### Substitute memory adr,

Die mit "adr" angegebene Speicherzelle wird angezeigt und kann durch Eingeben eines neuen Wertes verändert werden. Mit "," wird die nächste Speicherzelle angezeigt und mit "CR" wird zur Befehls-Eingabe zurückgekehrt. Wird bei einer Speicherzelle kein neuer Wert eingegeben, sondern mit "," zur nächsten Zelle gesprungen, dann bleibt der alte Wert erhalten.

### Test memory sadr,eadr CR

Der Speicherbereich "sadr" bis "eadr" wird, ohne die Inhalte zu zerstören, getestet. Fehlerhafte Bits werden auf dem Bildschirm

angezeigt; eine "0" bedeutet dabei: Bit ist o.k.; eine "1" bedeutet: Bit ist nicht o.k.. Dieser Speicher-Test kann nur ganz schwerwiegende RAM-Fehler erkennen (wenn sich ein Bit nicht verändern läßt).

Durch Drücken der Escape-Taste wird die Ausgabe abgebrochen, durch Drücken einer anderen Taste gestoppt und durch erneutes Drücken wieder gestartet.

#### Verify memory sadr,eadr,dadr CR

Der Speicherbereich "sadr" bis "eadr" wird mit dem Bereich, der bei "dadr" beginnt, Byte für Byte paarweise verglichen. Stimmen zwei Bytes nicht überein, so werden sie auf dem Bildschirm ausgegeben.

Durch Drücken der Escape-Taste wird die Ausgabe abgebrochen, durch Drücken einer anderen Taste gestoppt und durch erneutes Drücken wieder gestartet.

#### X Register /CR/reg/

Dieser Befehl dient zum Anzeigen und Ändern der HD64180-Register, die beim G-Befehl in den Prozessor geladen werden bzw. die nach Ausführung einer RST 7 Anweisung im Prozessor stehen.

Nach Eingabe von "X" und "CR" werden alle Register angezeigt, kleine Buchstaben stehen für HD64180-Zweitregister.

Nach Eingabe von "X" und "reg" wird das mit "reg" spezifizierte Register angezeigt und kann durch Eingeben eines neuen Wertes verändert werden. Mit "," wird zum nächsten Register gesprungen (Reihenfolge siehe Beschreibung von "reg") und mit "CR" zur Befehls-Eingabe zurückgekehrt. Wenn kein neuer Wert eingegeben wird, sondern mit "," zum nächsten Register gesprungen wird, dann bleibt der alte Wert erhalten. Die einzelnen Register haben folgende Bedeutung:

A,B,C, Es handelt sich hier um die gleichnamigen 8-Bit D,E,H,L HD64180-Register.

a,b,c Der zweite Registersatz des HD64180 wird durch d,e,h,l Kleinbuchstaben adressiert.

F,f Diese 8-Bit enthalten die HD64180 Bedingungsbits. Die einzelnen Bitpositionen haben folgende Bedeutung:

Bit 0 Carry-Flag  
Bit 1 Add/Subtract-Flag  
Bit 2 Parity/Overflow-Flag  
Bit 3 nicht verwendet  
Bit 4 Half-Carry-Flag  
Bit 5 nicht verwendet  
Bit 6 Zero-Flag  
Bit 7 Sign-Flag

M,m Das HL-Registerpaar ist mit dem Buchstaben "M" als 16-Bit Register einzeln ansprechbar.

P Hier steht eine 16-Bit Adresse, die bei dem G-Befehl als Default-Adresse benutzt wird. Nachdem im Anwenderprogramm eine RST 7 Anweisung aufgetreten ist, wird hier die Adresse, die dieser Anweisung folgt, abgelegt.

S Stackpointer des Anwenderprogramms

X HD64180 Indexregister X (16-Bit)

Y HD64180 Indexregister Y (16-Bit)

I HD64180 Interruptvektor-Register (8-Bit)

R HD64180 Refresh-Register (8-Bit)

--- Monitor Fehlermeldungen ---

What?

Diese Fehlermeldung erfolgt bei allen Syntaxfehlern.

Clock failure

Wird beim Selbsttest ein fehlerhaftes Verhalten der Echtzeituhr (uPD 1990) erkannt, dann werden die Befehle L und N gesperrt, und die Fehlermeldung erscheint auf dem Bildschirm.

## --- Ändern der Defaultwerte ---

Das Monitor-Programm ist so ausgelegt, daß es für die meisten Anwendungen unverändert eingesetzt werden kann. In einigen Fällen ist es trotzdem wünschenswert die Standard-Einstellungen bei der Initialisierung zu ändern. Um dies zu bewerkstelligen kann das Monitor-EPROM an bestimmten Bytes "gepatcht" werden:

Datenformat der V-24-Schnittstelle => Adresse 004Eh

Bit 0	= 0, dann 7 Datenbit	
	= 1, dann 8 Datenbit	
Bit 1	= 0, dann no parity	
	= 1, dann parity	
Bit 2	= 0, dann ein Stoppbit	
	= 1, dann zwei Stoppbits	
Bit 3	= 0, dann even parity	nur wirksam, wenn
	= 1, dann odd parity	Bit 1 gleich 1
Bit 4	= 0, dann wird RTS-Leitung auf Low gesetzt	
	= 1, dann wird RTS-Leitung auf High gesetzt	
BIT 5	= 0, dann Empfänger inaktiv	
	= 1, dann Empfänger aktiv	
Bit 6	= 0, dann Sender inaktiv	
	= 1, dann Sender aktiv	

Baudrate der V-24-Schnittstelle => Adresse 004Fh

Hier steht ein Wert zwischen 01h und 0Fh. Die Baudrate wird entsprechend der im Abschnitt "Baudraten" angegebenen Tabelle eingestellt.

Default Taktfrequenz => Adresse 004Dh

Zum korrekten Einstellen der Baudrate wird die Taktfrequenz des Prozessors mit Hilfe der Uhr automatisch ermittelt. Kann die Taktfrequenz nicht gemessen werden, dann wird die hier eingetragene Default-Taktfrequenz angenommen.

```

00h : 4,608 MHz
01h : 6,144 MHz
02h : 9,216 MHz
03h : 12,288 MHz
04h : 18,432 MHz
05h : 24,576 MHz

```

Beachten Sie bitte, daß die Frequenzen über 9,216 MHz zwar von der Software unterstützt werden, z.Z. jedoch noch keine Prozessoren angeboten werden, die mit höheren Frequenzen sicher getaktet werden können.

HD64180 Seicherverwaltung (MMU) => Adressen 0050h,0051h,0052h

Die drei MMU-Ports des HD64180 werden mit diesen drei Byte geladen:

0050h nach CBAR, 0051h nach CBR, 0052h nach BBR

HD64180 Waitzyklen => Adresse 0054h

Die oberen vier Bits werden in das DCNTL-Register des HD64180 geladen.

Bit 7 Bit 6

```

0 0 => 0 memory wait states
0 1 => 1 memory wait states
1 0 => 2 memory wait states
1 1 => 3 memory wait states

```

Bit 5 Bit 4

```

0 0 => 1 I/O wait states
0 1 => 2 I/O wait states
1 0 => 3 I/O wait states
1 1 => 4 I/O wait states

```

Dialog-Schnittstelle => Adresse 0053h

Der Benutzerdialog wird entweder über die V-24-Schnittstelle oder die ECB-Slave-Schnittstelle geführt. Ist dieses Byte auf FFh gesetzt, dann entscheidet der Pegel des Busy-Eingangs über die Wahl der Dialog-Schnittstelle (wenn Busy = Low, dann Dialog über ECB-Slave, wenn Busy high, dann Dialog über V-24). Ist dieses Byte auf 00h gesetzt, dann ist, unabhängig vom Busy-Eingang, die V-24-Schnittstelle ausgewählt. Ist dieses Byte auf 01h gesetzt, dann ist, unabhängig vom Busy-Eingang, der ECB-Slave-Anschluß die Dialog-

## Schnittstelle.

## --- Baudraten ---

Da der Takt für die beiden V-24 Schnittstellen auf der CEPAC-180-Karte vom Prozessortakt abgeleitet wird, müssen die internen Baudratenteiler unterschiedlich programmiert werden. Je nach Taktfrequenz wählt der Monitor eine von sechs möglichen Tabellen aus, um die Baudratenteiler zu einzustellen. Drei dieser sechs Tabellen sind für Taktfrequenzen über 9,216 MHz vorgesehen, wir machen jedoch darauf aufmerksam, daß diese Frequenzen im Moment noch nicht von der Hardwareseite garantiert werden können.

	4,608	6,144	9,216	12,288	18,432	24,576	MHz
1	38	50	75	38400	38400	38400	Baud
2	75	38400	75	100	150	200	Baud
3	113	100	150	100	150	200	Baud
4	113	150	150	100	150	200	Baud
5	150	150	150	100	150	200	Baud
6	300	300	300	300	300	400	Baud
7	600	600	600	600	600	600	Baud
8	1200	1200	1200	1200	1200	1200	Baud
9	1800	1600	1800	1600	1800	1600	Baud
A	2400	2400	2400	2400	2400	2400	Baud
B	3600	3200	3600	3200	3600	3200	Baud
C	4800	4800	4800	4800	4800	4800	Baud
D	7200	6400	7200	6400	7200	6400	Baud
E	9600	9600	9600	9600	9600	9600	Baud
F	9600	19200	19200	19200	19200	19200	Baud

## --- Monitor Unterprogramme ---

Der Monitor besitzt definierte Einsprungsadressen für die wichtigsten Hardwaretreiber. Falls Sie genauere Informationen über die Monitor-Software benötigen, können Sie den Source-Code auf einer CP/M-Diskette erwerben (Assembler MAC von Digital Research).

**A 1 .** ----- HD64180 Befehlssatz -----

Außer den normalen Z80-Befehlen sind in der HD64180-CPU folgende neuen Befehle implementiert:

ED 4C MULT BC: BC := B x C  
 ED 5C MULT DE: DE := D x E  
 ED 6C MULT HL: HL := H x L  
 ED 4C MULT SP: SP := SP(high) x SP(low)

*8x8-Bit-Multiplikation ohne Vorzeichen, Dauer: 17 Taktzyklen. Die Flags werden nicht verändert.*

ED 04 TEST B: A and B (7 Taktzyklen)  
 ED 0C TEST C: A and C (7 Taktzyklen)  
 ED 14 TEST D: A and D (7 Taktzyklen)  
 ED 1C TEST E: A and E (7 Taktzyklen)  
 ED 24 TEST H: A and H (7 Taktzyklen)  
 ED 2C TEST L: A and L (7 Taktzyklen)  
 ED 3C TEST A: A and A (7 Taktzyklen)  
 ED 34 TEST (HL): A and (HL) (10 Taktzyklen)  
 ED 64 nn TEST nn: A and nn (9 Taktzyklen)  
 ED 74 nn TSTIO nn: (C) and nn (12 Taktzyklen)

*Testen von Registern, Speicher oder I/O-Port durch AND-Verknüpfung. Verändert werden dabei lediglich die Flags.*

ED 00 nn IN0 B, (nn): B := (nn) (12 Taktzyklen)  
 ED 08 nn IN0 C, (nn): C := (nn) (12 Taktzyklen)  
 ED 10 nn IN0 D, (nn): D := (nn) (12 Taktzyklen)  
 ED 18 nn IN0 E, (nn): E := (nn) (12 Taktzyklen)  
 ED 20 nn IN0 H, (nn): H := (nn) (12 Taktzyklen)  
 ED 28 nn IN0 L, (nn): L := (nn) (12 Taktzyklen)  
 ED 30 nn IN0 F, (nn): S, Z, P ← (nn) (12 Taktzyklen)  
 ED 38 nn IN0 A, (nn): A := (nn) (12 Taktzyklen)  
 ED 01 nn OUT0 (nn), B: (nn) := B (13 Taktzyklen)  
 ED 09 nn OUT0 (nn), C: (nn) := C (13 Taktzyklen)  
 ED 11 nn OUT0 (nn), D: (nn) := D (13 Taktzyklen)  
 ED 19 nn OUT0 (nn), E: (nn) := E (13 Taktzyklen)  
 ED 21 nn OUT0 (nn), H: (nn) := H (13 Taktzyklen)  
 ED 29 nn OUT0 (nn), L: (nn) := L (13 Taktzyklen)  
 ED 39 nn OUT0 (nn), A: (nn) := A (13 Taktzyklen)

ED 83 OTIM: (C) := (HL), HL := HL+1, C := C+1, B := B-1 (14 Taktzyklen)  
 ED 93 OTIMR: (C) .. (C+B) := (HL) .. (HL+B), B := 0 (Bx16 Taktzyklen)  
 ED 8B OTDM: (C) := (HL), HL := HL-1, C := C-1, B := B-1 (14 Taktzyklen)  
 ED 9B OTDMR: (C) .. (C-B) := (HL) .. (HL-B), B := 0 (Bx16 Taktzyklen)

*Die neuen Ein/Ausgabe-Befehle beziehen sich nur auf die I/O-Page 0, in der auch die CPU-internen I/O-Register liegen.*

## ED 76 SLP

*SLEEP-Befehl: CPU und DMA stoppen alle Operationen und gehen in einen "Stromspar-Modus" über. Der Stromverbrauch der Karte geht auf etwa 1/3 zurück. Der Befehl kann nur durch Interrupt oder RESET abgebrochen werden. Timer und Schnittstellen laufen weiter.*

## A 2 .

## ----- Ports -----

## 1. CPU-interne Ports

Die Ports innerhalb der HD64180-CPU belegen normalerweise (nach RESET) die I/O-Adressen von 00h-3Fh. Dieser Adressbereich kann jedoch per Software (Register ICR) undefiniert werden. Zu beachten ist, daß die Register in der I/O-Page 00h liegen. Zur detaillierten Beschreibung der Register s. Kapitel II bzw. HD64180 data book.

- 00h: CNTLA0 (Steuerregister A für Duplex-Schnittstelle 0).
- 01h: CNTLA1 (Steuerregister A für Duplex-Schnittstelle 1).
- 02h: CNTLB0 (Steuerregister B für Duplex-Schnittstelle 0).
- 03h: CNTLB1 (Steuerregister B für Duplex-Schnittstelle 1).
- 04h: STAT0 (Statusregister für Duplex-Schnittstelle 0).
- 05h: STAT1 (Statusregister für Duplex-Schnittstelle 1).
  
- 06h: TDR0 (Sender-Datenregister für Duplex-Schnittstelle 0).
- 07h: TDR1 (Sender-Datenregister für Duplex-Schnittstelle 1).
- 08h: TSR0 (Empfänger-Datenregister für Duplex-Schnittstelle 0).
- 09h: TSR1 (Empfänger-Datenregister für Duplex-Schnittstelle 1).
  
- 0Ah: CNTR (Steuerregister für Highspeed-Spezialschnittstelle CSI/O).
- 0Bh: TRDR (CSI/O Sender/Empfänger-Datenregister).
  
- 0Ch: TMDR0L (Timer 0 Datenregister, Low-Byte).
- 0Dh: TMDR0H (Timer 0 Datenregister, High-Byte).
- 0Eh: TMDR0L (Timer 0 Laderegister, Low-Byte).
- 0Fh: TMDR0H (Timer 0 Laderegister, High-Byte).
- 10h: TCR (Timer-Steuerregister).
  
- 14h: TMDR1L (Timer 1 Datenregister, Low-Byte).
- 15h: TMDR1H (Timer 1 Datenregister, High-Byte).
- 16h: TMDR1L (Timer 1 Laderegister, Low-Byte).
- 17h: TMDR1H (Timer 1 Laderegister, High-Byte).

- 20h: SAR0L (DMA 0 Quellenadresse, Low-Byte).
- 21h: SAR0H (DMA 0 Quellenadresse, High-Byte).
- 22h: SAR0B (DMA 0 Quellenadresse, Zusatzbyte).
- 23h: DAR0L (DMA 0 Zieladresse, Low-Byte).
- 24h: DAR0H (DMA 0 Zieladresse, High-Byte).
- 25h: DAR0B (DMA 0 Zieladresse, Zusatzbyte).
- 26h: BCR0L (DMA 0 Zählerregister, Low-Byte).
- 27h: BCR0H (DMA 0 Zählerregister, High-Byte).
  
- 28h: MAR1L (DMA 1 Memory-Adresse, Low-Byte).
- 29h: MAR1H (DMA 1 Memory-Adresse, High-Byte).
- 2Ah: MAR1B (DMA 1 Memory-Adresse, Bit 0-2 = A16-A18).
- 2Bh: DAR1L (DMA 1 I/O-Adresse, Low-Byte).
- 2Ch: DAR1H (DMA 1 I/O-Adresse, High-Byte).
- 2Eh: BCR1L (DMA 1 Zählerregister, Low-Byte).
- 2Fh: BCR1H (DMA 1 Zählerregister, High-Byte).
  
- 30h: DSTAT (DMA Statusregister).
- 31h: DMOD (DMA Modusregister).
- 32h: DCNTL (DMA/WAIT Steuerregister).
  
- 33h: IL (Interrupt-Vektorregister, LOW-Byte).
- 34h: ITC (Interrupt/TRAP-Steuerregister).
- 36h: RCR (Refresh-Steuerregister).
  
- 38h: CBR (MMU COMMON-Bereich 1 physikalische Startadresse).
- 39h: BBR (MMU BANK-Bereich physikalische Startadresse).
- 3Ah: CBAR (MMU COMMON/BANK-Bereich logische Startadressen).
  
- 3Fh: ICR (I/O-Steuerregister).

2. Sonstige interne Ports

Port 40h: STR (Status-Register, R/O).

DOT	BUSY	LOWBAT	XXXX	DOC
-----	------	--------	------	-----

Port 44h: FLR (Flagregister, W/O).

!	-	!	-	!	-	!	FLG	!	VAL	!	(7-0)
!	-	!	-	!	-	!	000	!	0	!	(RESET)

FLG: Steuerflag (000=C0, 001=C1, 010=C2, 011=T/C  
 100=STB, 101=/FS0, 110=/FS1, 111=/SEN)

VAL: Löschen (0) oder Setzen (1) des gewählten Steuerflags.

Port 48h: /TRES (Watchdog-Timer Reset, W/O)

Port 54h: /STRB (/STROBE-Impuls, W/O)  
 Port 58h: Centronics-Schnittstelle (DATA1-DATA8, W/O)

Port 5Ch: ACIA Port A (PA0-7, R/W)  
 Port 5Dh: ACIA Port B (PB0-7, R/W)  
 Port 5Eh: ACIA Port A (PC0-7, R/W)  
 Port 5Fh: ACIA Steuerregister

3. SLAVE-Port (Adresse einstellbar mit J3).

Statusport: ! RF ! WE ! x ! x ! x ! x ! FS1 ! FS0 !  
 Datenport: ! D7 ! D6 ! D5 ! D4 ! D3 ! D2 ! D1 ! D0 !

D0-D7: Datenleitungen zum CEPAC (bidirektional)  
 RF : Read Buffer Full - CEPAC bereit zum Auslesen  
 WE : Write Buffer Empty - CEPAC bereit zum Einschreiben  
 FS0-1: Mailbox-Flags vom Flag-Register (invertiert).

**A 3 .**                      ----- Jumper -----

J1, J2 1-2: Duplex 0, Duplex 1 ohne RTS/CTS (J2, Pin 3 an GND!)  
 2-3: Duplex 0 mit RTS/CTS (default)

J3: SLAVE-Adresse (default: 7Eh)

J5, J6: EPROM-Typ	J5	J6	Bemerkung
2764	o	o	20000h-27FFFh ist frei (default)
27128	o	o	" " " "
27256	o	1-2	" " " "
27512	g	1-2	Obere Hälfte in 20000h-27FFFh
27513	o	2-3	Seiten-orientiertes EPROM 64 KB
27011	o	2-3	Seiten-orientiertes EPROM 128 KB

J7 Offen: Watchdog aus (kein Interrupt).  
 1-2: Watchdog ein (NMI nach Ablauf).  
 2-3: Watchdog ein (INT2/CONINET-Betrieb, default)

J8: /INT1 durch PC0 (Handshake Port B)  
 J9: /INT2 durch PC3 (Handshake Port A/SLAVE-Interface)

J10: Batteriemessung über Kanal 0 (AGND mit GND verbinden!)  
 J11: DOC an PB7

```

;*****
;***
;*** CEPAC-180 Kommunikationsprogramm
;***
;*** Mit diesem Programm kann ein CP/M Hostrechner als Terminal fuer
;*** den CEPAC-180 Monitor benutzt werden. Der Dialog wird hardware-
;*** maessig ueber die ECB-Slave-Schnittstelle des CEPAC-180 gefuehrt.
;***
;***
;*** (c) Conitec JH 1986
;***
;*****

```

```

port equ 0c0h ; WICHTIG, hier Portadresse
; des CEPAC-180 eintragen

slavec equ port
slaved equ port+1

.z80
aseg
org 100h ; TPA Anfang

jp start ; Sprung zum Start

signon: db 0dh,0ah,0ah,0ah,0ah,0ah
db ' CEPAC-180 dialog (leave with Control-§)'
db 0dh,0ah,0ah
db ' (c) Conitec JH 1986'
db 0dh,0ah,0ah,00h

const: jp 00006h ; dieses Programm benutzt
conin: jp 00009h ; aus Geschwindigkeitsgruenden
conout: jp 0000ch ; direkte BIOS-calls

slavest: ; Teste, ob
in a,(slavec) ; Zeichen von Slave
and 10000000b ; vorliegt
ret z ;
ld a,0ffh ;
ret ;

slavein: ; Lese Zeichen
in a,(slavec) ; von Slave ein
and 10000000b ;
jr z,slavein ;
in a,(slaved) ;
ret ;

slaveout: ; Gebe Zeichen
in a,(slavec) ; an Slave aus
and 01000000b ;
jr z,slaveout ;
ld a,c ;
out (slaved),a ;
ret ;

sout: ld a,(hl) ; sende String zur Konsole.
or a ; Wenn Zeichen gleich null
ret z ; dann return

```

```

push    hl                ; rette hl
ld      c,a              ;
call    conout           ; sende Zeichen zur Konsole
pop     hl                ;
inc     hl                ; erhoehe hl
jr      sout             ; und naechstes Zeichen

start:                    ; Hauptprogramm

ld      a,(2)            ; lade BIOS-Page
ld      (const+2),a     ; nach Konsolentreiber
ld      (conin+2),a     ;
ld      (conout+2),a    ;

ld      hl,signon       ; gebe Anfangsmeldung aus
call    sout            ;
;
loop:   call    const    ; Liegt Zeichen von Host vor ?
or      a          ; wenn nein, pruefe
jr      z,loop1      ; ob Zeichen von Slave vorliegt

call    conin       ; wenn ja, lese Zeichen von Host
or      a          ; teste ob Ende
ret     z          ; (wenn ja, zurueck zum CP/M)
ld      c,a        ; und sende Zeichen
call    slaveout   ; an Slave

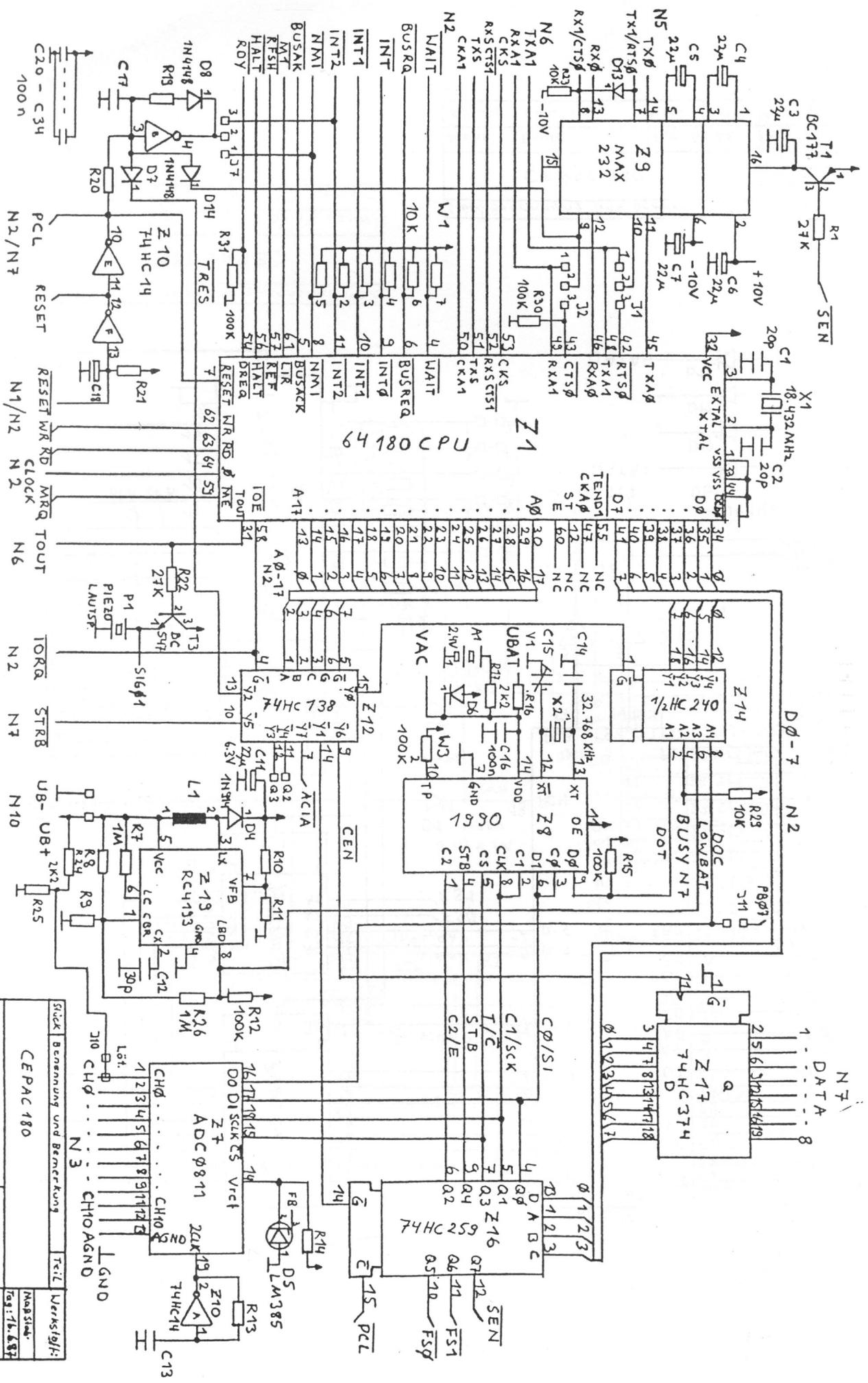
loop1:  call    slavest ; Liegt Zeichen von Slave vor ?
or      a          ; wenn nein, pruefe
jr      z,loop     ; ob Zeichen von Host vorliegt

call    slavein    ; wenn ja, lese Zeichen von Slave
ld      c,a        ; und sende Zeichen
call    conout     ; an Host

jr      loop       ; der Kreis ist geschlossen

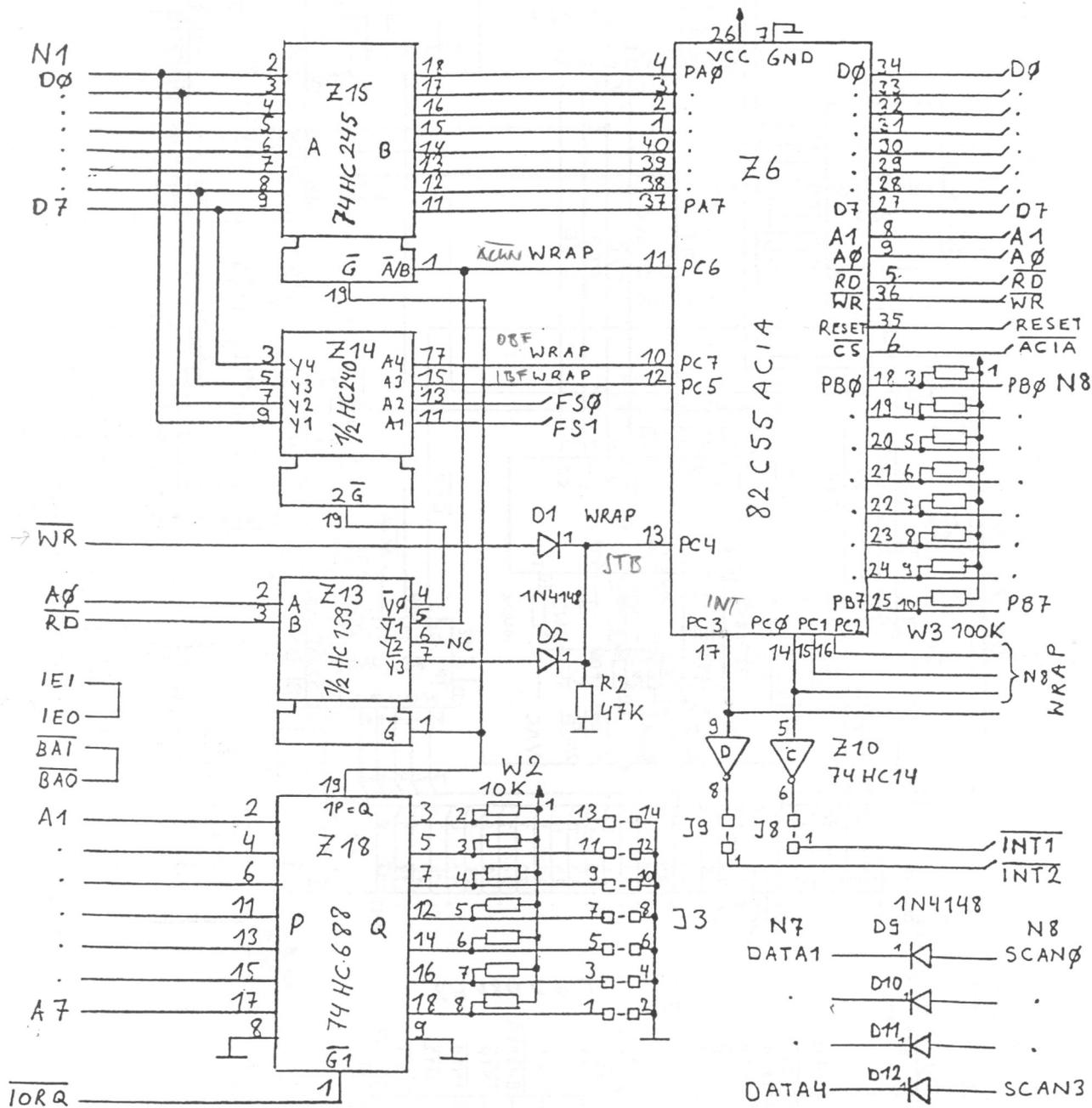
end

```



Stück	Benennung und Bemerkung	Teil	Werkstoff/
	CEPAC 180		Maßstab
Name:	Emde	Abi. Gc Za	Blatt Nr. 1
Firma:	Conitec	Arbeit	Sch. Nr.
			Kap. 4.

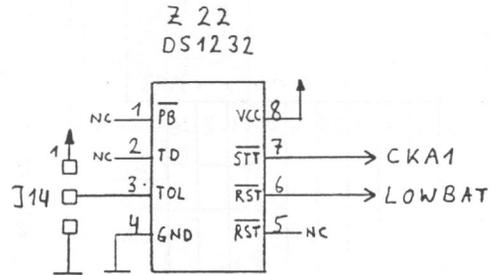
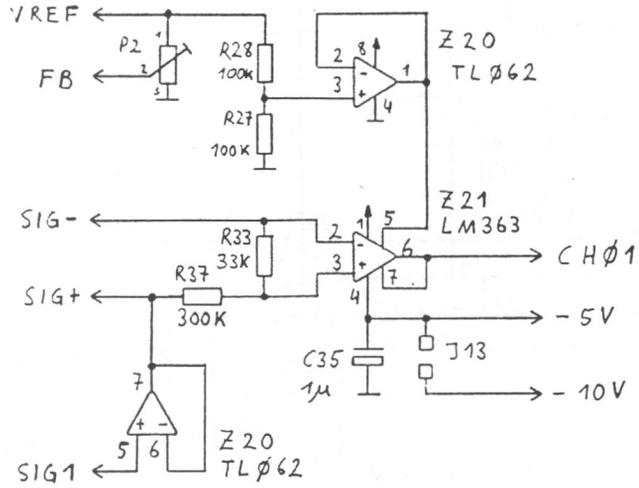
E C B SLAVE



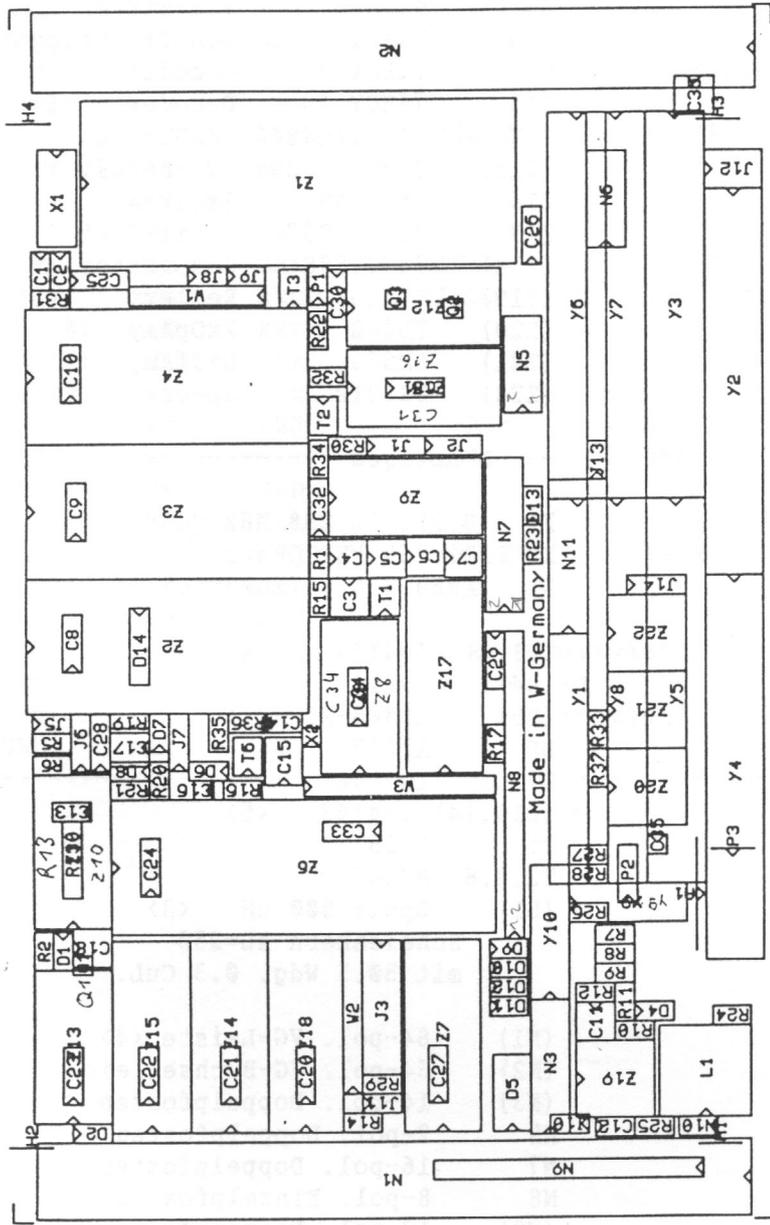
Stück	Benennung und Bemerkung	Teil	Werkstoff:
CE PAC 180			Maßstab:
			Tou: 16.6.87
Name:	Emde	Abt Ge Za	BlattNr.: 2
Firma:	Conitec	Arbeitschrift:	Gepr Gf.



# WRAPFELD OPTIONEN



Plan	Datum
CEPAC 180	1.7.87
Firma : CONITEC	Blatty
Abt. : Lay	Gepr. <i>sl</i> And.



CEP3  
 CON C3/1  
 26-Jun-87 BPL=1

--- CEPAC-180 Stückliste ---

Bei Jumpers ist auf dem obigen Plan die Position 1 bzw. A mit einem Dreieck (>) gekennzeichnet. Die eingeklammerten Bauteile sind in der Grundversion nicht bestückt. ACHTUNG! Bei etwaigen Widersprüchen zwischen Schaltplan, Bestückungsplan und Stückliste ist immer die Stückliste maßgeblich!

-- Widerstände -----

R1 4.7 kOhm  
 R2 27 kOhm  
 R5,6 2.2 kOhm  
 (R7) 1 MOhm <3>  
 (R8) 120 kOhm <3>  
 (R9) 47 kOhm <3>  
 (R10) 36 kOhm <3>  
 (R11) 12 kOhm <3>  
 R12 10 kOhm  
 R13 1 kOhm  
 R14 2.2 kOhm  
 R15,21 100 kOhm  
 R16,17 2.2 kOhm  
 (R19) -- <2>  
 R20 47 kOhm <2>  
 R22 10 kOhm  
 (R23) 10 kOhm <5>  
 (R24,25) 4.7 kOhm <3>  
 R29 10 kOhm  
 (R26) 1 MOhm <3>  
 R30,31 100 kOhm  
 R32,36 2.2 kOhm  
 R34,35 27 kOhm  
 W1 6x10 kOhm  
 W2 7x10 kOhm  
 W3 9x100 kOhm  
 (R27,28) 100 kOhm 1% <6>  
 (R33) 33 kOhm 1% <6>  
 (R37) 300 kOhm 1% <6>  
 (P2) 10 k Spindel <6>  
 (P3) Poti 4.7 k <3>

-- Kondensatoren -----

C1,2,14 20 pF  
 C3,11 22 uF/6.3V  
 C4-7 22 uF/16V  
 C8-10 100 nF  
 (C11) 22 uF/6.3V <3>  
 (C12) 30 pF <3>  
 C13 470 pF  
 C16 100 nF Keramik  
 C17 2.2 uF/6.3V <2>  
 C18 2.2 uF/6.3V  
 C20-34 100 nF Keramik  
 C15 20-30pF Micro-Trimmer  
 oder 20 pF Keramik  
 (C35,36) 1 uF/6.3V <6>

-- ICs -----

Z1 HD64180 CPU  
 (Z2-4) 27C64..513 EPROM 8..64KB  
 oder 6264..256 RAM 8..32KB  
 Z6 82C55/71055 ACIA-Port  
 Z7 ADC0811 A/D-Wandler  
 Z8 uPD4990 Uhr  
 Z9 MAX232 V24-Buffer  
 Z10 74HC14 Schmitt-Trigger  
 Z12 74HC138 Decoder  
 Z13 74HCT139 Decoder <6>  
 Z14 74HCT/LS240 8xBuffer  
 (Z15) 74HCT/LS245 Transceiver <4>  
 Z16 74HC259 8xLatch  
 Z17 74HC/LS374 8-Bit-Port  
 (Z18) 74HCT688 Comparator <4>  
 (Z19) RC4193 Regler <3>  
 (Z20) TL062 2xOpAmp <6>  
 (Z21) LM363 DiffAmp <6>  
 (Z22) DS1212 Spec. <6>

-- Sonstiges -----

X1 9.216/12.288 MHz Quarz  
 X2 32.768 kHz Quarz  
 A1 Akku 3.6 V (Emmerich 35 mAh)  
 (D1,2) 1N4148 <4>  
 (D4) 1N914 <3>  
 (D5) LM385-2.5 <1>  
 D6 AA117  
 D7-12 1N4148  
 (D13,14) 1N4148 <5>  
 T1 BC557  
 T2,3,6 BC547  
 (L1) Spule 500 uH <3>  
 Schalenkern AL=250  
 mit 50.5 Wdg. 0.3 CuL.  
 (N1) 64-pol. VG-Leiste <4>  
 (N2) 64-pol. VG-Buchsenleiste  
 (N3) 14-pol. Doppelpfosten  
 N5 2-pol. Doppelpfosten  
 N7 16-pol. Doppelpfosten  
 N8 8-pol. Einzelpfosten  
 (N9) 13-pol. Einzelpfosten

- <1> Weglassen für 5-V-Referenz
- <2> Auslösezeit = R20 x C17 = 0.1 sec  
 Rückstellzeit = R19 x C17 (s. Text)
- <3> Nur bestücken für Akku/Schaltregler
- <4> Nur bestücken bei ECB-SLAVE-Option
- <5> Nur bestücken bei CONINET-Betrieb
- <6> Option auf Wrap-Feld

1: ECB-Bus-Stecker 1 (Slave)

11

	a	b	c	:	Funktion:
				:	
1:	+5V	xxx	+5V	:	+5V: Betriebsspannung
2:	D5	xxx	D0	:	+12V, -12V: V24-Spannungen
3:	D6	xxx	D7	:	UBAT: Akku-Ausgang (+3.6 V)
4:	D3	xxx	D2	:	GND: gemeinsame Masse
5:	D4	xxx	A0	:	
6:	A2	xxx	A3	:	D0-D7: 8-Bit-Datenbus
7:	A4	xxx	A1	:	A0-A7: 8-Bit-Adressbus
8:	A5	xxx	A8	:	
9:	A6	xxx	A7	:	
10:	xxx	xxx	xxx	:	/RD: Lesen
11:	xxx	xxx	IEI	:	/WR: Schreiben
12:	xxx	xxx	xxx	:	
13:	xxx	xxx	xxx	:	/IORQ: Ein/Ausgabe
14:	xxx	xxx	D1	:	
15:	xxx	xxx	-	:	
16:	-	xxx	IEO	:	
17:	xxx	xxx	xxx	:	IEI: INT-Ketteneingang
18:	xxx	xxx	xxx	:	IEO: INT-Kettenausgang
19:	-	xxx	xxx	:	
20:	xxx	xxx	xxx	:	
21:	xxx	xxx	xxx	:	
22:	-	xxx	/WR	:	/BAI: DMA-Ketteneingang
23:	/BAI !	xxx	-	:	/BAO: DMA-Kettenausgang
24:	UBAT	xxx	/RD	:	
25:	/BAO !	xxx	xxx	:	
26:	xxx	xxx	/RESET	:	/RESET: Rücksetz-Eingang
27:	/IORQ	xxx	xxx	:	
28:	xxx	xxx	xxx	:	
29:	xxx	xxx	xxx	:	xxx = reserviert
30:	xxx	xxx	xxx	:	- = frei
31:	xxx	xxx	xxx	:	! = abweichend von KONTRON
32:	GND	xxx	GND	:	

N3: ECB-Bus-Stecker 2 (MASTER - a/c vertauscht !)

	a	b	c	:	Funktion:
1:	+5V	xxx	+5V	:	+5V: Betriebsspannung
2:	D5	xxx	D0	:	+10V,-10V: V24-Spannungen (Ausgang)
3:	D6	xxx	D7	:	UBAT: Akku-Ausgang (+2.4 V)
4:	D3	xxx	D2	:	GND: gemeinsame Masse
5:	D4	xxx	A0	:	
6:	A2	xxx	A3	:	D0-D7: 8-Bit-Datenbus
7:	A4	xxx	A1	:	A0-A17: 18-Bit-Adressbus
8:	A5	xxx	A8	:	
9:	A6	xxx	A7	:	
10:	/WAIT	xxx	xxx	:	/RD: Lesen
11:	/BUSRQ	xxx	IEI	:	/WR: Schreiben
12:	xxx	xxx	xxx	:	/MREQ: Speicherzugriff
13:	+10V	xxx	xxx	:	/IORQ: Ein/Ausgabe
14:	-10V !	xxx	D1	:	
15:	xxx	xxx	-	:	/NMI: Vorrang-Interrupt
16:	-	xxx	IEO	:	/INT: normaler Interrupt
17:	A17 !	xxx	A11	:	IEI: INT-Ketteneingang
18:	A14	xxx	A10	:	IEO: INT-Kettenausgang
19:	-	xxx	A16 !	:	
20:	/M1	xxx	/NMI	:	/BUSRQ: Busanforderung
21:	xxx	xxx	/INT	:	/BUSAK: Busfreigabe für DMA
22:	-	xxx	/WR	:	/BAI: DMA-Ketteneingang
23:	/BAI !	xxx	-	:	/BAO: DMA-Kettenausgang
24:	UBAT	xxx	/RD	:	/RDY: DMA-Handshake-Eingang
25:	/BAO !	xxx	/HALT	:	/RESET: Rücksetz-Eingang
26:	/RDY !	xxx	/PCL	:	/PCL: Rücksetz-Ausgang
27:	/IORQ	xxx	A12	:	/WAIT: CPU warten
28:	/RFSH	xxx	A15	:	/HALT: CPU gestoppt
29:	A13	xxx	CLOCK	:	
30:	A9	xxx	/MREQ	:	CLOCK: CPU-Takt (4.6-9.2 MHz)
31:	/BUSAK	xxx	/RESET	:	/M1: 1. Maschinenzyklus
32:	GND	xxx	GND	:	/RFSH: Auffrischzyklus

xxx = reserviert für CONITEC-Erweiterungskarten  
 - = zur freien Verwendung des Benutzers  
 ! = abweichend von der KONTRON-ECB-Busbelegung

---

N3: Analog-Kanäle

01-02	CH0	CH1	:	CH0: Kanal 0, auch zur Batteriemessung	
03-04	CH2	CH3	:	CH1-10: Kanäle 1-10	
05-06	CH4	CH5	:		
07-08	CH6	CH7	:		
09-10	CH8	CH9	:		
11-12	CH10	AGND	:	AGND: Analog-Ground (i.A. mit GND verbinden)	
13-14	+5V	GND	:		

---

---

N5: V24-Schnittstellen

01,02:	+10V	-10V	:	+/-10V:	V24-Spannungen (Ausgang)
03,04:	---	---	:		
05,06:	TX0	RX0	:	RTS0,CTS0:	Handshake Duplex 0
07,08:	TX1/RTS0	RX1/CTS0	:	RX0,TX0:	Daten Duplex 0
09,10:	GND	GND	:	RX1,TX1:	Daten Duplex 1

---

---

N6: Highspeed- und TTL-Schnittstelle

01,02:	---	TOUT	:	TOUT:	Timer-Ausgang
03,04:	CKS	CKA1	:	CKS:	Takt Highspeed CSI/O
05,06:	/TXA1	/RXA1	:	CKA1:	Takt Duplex 1
07,08:	TXS	RXS/CTS1	:	/RXA1,/TXA1:	Daten Duplex 1 (TTL)
09,10:	GND	GND	:	RXS,TXS:	Daten Highspeed CSI/O

---

---

N7: Centronics-Schnittstelle

01-02	+5V	+5V	:	DATA1-8:	Centronix-Daten
03-04	DATA1	DATA2	:		
05-06	DATA3	DATA4	:	/STRB:	Übergabe-Impuls
07-08	DATA5	DATA6	:	BUSY:	Nicht empfangsbereit
09-10	DATA7	DATA8	:		(positive Rückmeldung)
11-12	/STRB	BUSY	:		
13-14	---	/PCL	:	/PCL:	Initialisieren
15-16	GND	GND	:	GND:	Masse

---

---

N8: Matrix-Tastatur-Schnittstelle

01:	SCAN0	:	SCAN0-4: Abfrageleitungen (DATA1-3, low-aktiv)
02:	SCAN1		
03:	SCAN2		
04:	SCAN3		
05:	PB0	:	PB0-7: Leseleitungen (ACIA Port B, mit Pull-Up)
06:	PB1		
07:	PB2		
08:	PB3		
09:	PB4		
10:	PB5		
11:	PB6		
12:	PB7		
13:	PC0	:	PC0-7: ACIA Port C
14:	PC1		
15:	PC2		
16:	---		

-----  
N9: LCD-Schnittstelle (auf b-Leiste des SLAVE-Steckers N1,  
kompatibel zu Standard-LCD-Displays, z.b. LM044L)

01: GND : GND,+5V: Stromversorgung Display  
02: +5V  
03: CONTRAST : Poti (auf WRAP-Feld)  
04: C0/SI : RS Display  
05: C1/SCK : R/W Display  
06: C2/E : E Display  
07: PA0  
08: PA1 : PA0-7: Daten Display (ACIA Port A)  
09: PA2  
10: PA3  
11: PA4  
12: PA5  
13: PA6  
14: PA7  
-----

-----  
N10: Batteriestecker UB+ GND  
-----

-----  
P1: Lautsprecherstecker SIG GND  
-----

-----  
WRAP-FELDER (Pin 1 ist immer oben rechts):

Y1: 08: PC03 09: PC02 10: PC01 11: PC00  
12: PC04 13: PC05 14: PC06 15: PC07

Y2: 41: +5V 42: GND

Y6: 03: /INT0 04: /NMI 05: /INT1 06: /INT2 07: TOUT  
13: FS0 14: FS1 17: -10V 18: +10V

Y9: 03: LOWBAT

N11: DAU-Stecker auf Wrap-Feld

01-02 SIG1 GND : SIG1,SIG+,SIG- : Analogeingänge  
03-04 +5V -5V : Instrumentenverstärker  
05-06 DATA5 DATA6 : +/-5V: Betriebsspannung Verstärker  
07-08 DATA7 DATA8 : DATA5-8: Centronix-Daten  
09-10 TX RX : TX,RX: V24-Datenleitungen  
11-12 SIG(P1) GND : SIG(P1): Lautsprecher  
13-14 SIG+ SIG- : PB6: ACIA-Portleitung  
15-16 PB6 GND : GND: Masse  
-----

