

Technische
Beschreibung
zum

GENIE II.s

Technische
Beschreibung
zum

GENIE II

Alle Rechte vorbehalten, insbesondere auch diejenigen aus der spezifischen Gestaltung, Anordnung und Einteilung des angebotenen Stoffes. Der auszugsweise oder teilweise Nachdruck sowie fotomechanische Wiedergabe oder Übertragung auf Datenträger zur Weiterverarbeitung ist untersagt und wird als Verstoß gegen das Urheberrechtsgesetz und als Verstoß gegen das Gesetz gegen den unlauteren Wettbewerb gerichtlich verfolgt. Für etwaige technische Fehler, sowie für die Richtigkeit aller in diesem Buch gemachten Angaben, übernehmen der Herausgeber und Autor keine Haftung.

Technische Beschreibung des GENIE IIs

=====

1. Prinzipieller Aufbau:

Die beim GENIE IIs verwendeten und unter 2. - 6. aufgeführten Baugruppen sind als Europakarten in 2 Lagen Feinleiteteknik gefertigt. Auf der BUS-Platine befinden sich insgesamt 10 Steckplätze, von denen bereits 5 für die Systembaugruppen belegt sind. Sie haben also noch 5 Steckplätze für Erweiterungen des Systems (z.B. RAM, Grafik, SIO/PIO) zur Verfügung.

Der BUS benutzt eine, von bekannten Belegungen abweichende Orientierung, um auch noch bei 8 MHz Taktfrequenz stabile Signale zu liefern (für Speed-Up-Modul).

2. CPU Karte

Als Prozessor dient dem System eine Z-80-B CPU, die mit 6 MHz getaktet wird. Ein, in diesem System eingebauter Waitzyklen Generator dient zur vollständigen Synchronisation der Peripheriebaugruppen, wie VIDEO, FLOPPY, KEYBOARD usw. und erhöht die effektive Verarbeitungsgeschwindigkeit wesentlich. So entfallen z.B. die störenden Streifen beim Zugriff der CPU auf den Videospeicher, ohne daß auf die Blankingsignale der Videobaugruppe gewartet werden muß.

Auf der CPU-Platine befinden sich 64 K-Byte dynamische RAMs (4164 mit 150 ns Zugriffszeit), wobei sich die Kapazität über den BUS durch Baugruppe TCS 192 auf bis zu 832 K-Byte erweitern läßt.

3. Video Karte

Diese Baugruppe erlaubt es, ein Bildschirmformat von 64 Zeichen pro Zeile und 16 Zeilen pro Seite darzustellen. Durch Umschaltung der Auslesefrequenz kann bei Verdopplung der Zeichenbreite die Zeichenanzahl halbiert werden. Der Zeichensatz befindet sich in einem EPROM (2732) und kann, da alle ICs gesockelt sind, jederzeit ersetzt werden. Die Zeichenmatrix ist auf 6 x 12 festgelegt. Der Bildwiederholpeicher besteht aus 1 K-Byte statischem RAM (2 x 2114) und belegt somit keinen Hauptspeicher. Das Videoausgangssignal steht als BAS-Signal zur Verfügung.

Zur gleichzeitigen Darstellung von Grafik (durch optionalen Einbau der Grafik Karte) und Text ist ein BIT IMAGE MISCHER mit ODER Funktion eingebaut.

4. I/O Karte

Auf der I/O-Platine befindet sich eine Centronics-Parallel Schnittstelle mit 4 Hand-Shake-Leitungen und negativem Strobe. 4 K-Byte EPROM enthalten den Boot-Strap-Loader und einen Mini-Monitor. Über einen Pfostenstecker kann ein Kassettenrekorder angeschlossen werden. Außerdem ist natürlich ein Keyboardanschluß vorhanden.

5. ROM Karte

Die ROM-Karte enthält das bekannte Microsoft BASIC. Dadurch ist es ohne weiteres möglich den Rechner auch ohne Diskettenbetriebssystem zu betreiben (Kassettenspeicherung).

Weiterhin befinden sich innerhalb von EPROMs ein Maschinensprachemonitor, ein Text-Editor für Texte und Assembler-Quellprogramme, sowie ein Zwei-Pass Assembler.

6. Floppy Karte

Die Floppy Karte stellt für 5 1/4" und 8" je einen Pfostenstecker zum Anschluß von bis zu 8 Laufwerken (4 x 8", 4 x 5 1/4") zur Verfügung. Dabei können 5 1/4" und 8" Laufwerke von Single Density - Single Sided bis Double Density - Double Sided angeschlossen werden. Als Floppycontroller befindet sich ein 2791 mit integriertem Daten-Separator und Write-Precompensations Logik auf der Platine. Über einen BOOT-Jumper kann die Laufwerksgröße von der gebootet werden soll, eingestellt werden. Außerdem liefert die Karte einen 25 ms System-Interrupt. Durch Umstellung eines Jumpers ist auch NEWDOS 80 Kompatibilität herstellbar (Side Select Signal auf Bit 3).

7. Keyboard

Das Keyboard ist als offene X-Y Matrix ausgelegt. Als Tasten werden hochwertige Module mit integrierter Diode für echten N-Key-Rollover verwendet. Der Systemreset ist über 2 Tasten verriegelt.

Passive Bauteile: GENIE IIs - CPU Karte
 =====

Wertordnung

Widerstände:	Anzahl:	Bauteilname:
-----	-----	-----
33 Ohm	11	R 4 - R 14
330 Ohm	1	R 1
470 Ohm	2	R 20 - 21
1 kOhm	3	R 2, R 18 - 19
4.7 kOhm	2	R 3, R 17
10 kOhm	2	R 15 - 16

Kondensatoren:	Anzahl:	Bauteilname:
-----	-----	-----
100 nF	18	C 1 - 8, C 11 - 20
10 uF	1	C 9
47 uF	1	C 10

Steckerleisten:	Anzahl:	Bauteilname:
-----	-----	-----
VG, 64 pol. a+c	1	VG 1, A C

Aktive Bauteile: GENIE IIs - CPU Karte
 =====

Wertordnung

TTL Baustein:	Anzahl:	Bauteilname:
-----	-----	-----
74 LS 04	1	U 11
74 LS 08	1	U 13
74 LS 11	1	U 15
74 LS 32	3	U 9 - 10, U 14
74 LS 74	1	U 16
74 S 74	2	U 17 - 18
74 LS 125	1	U 19
74 LS 132	1	U 12
74 S 157	2	U 6 - 7
74 LS 244	2	U 5, U 8
74 LS 245	3	U 2 - 4

Sonder IC's:	Anzahl:	Bauteilname:
-----	-----	-----
Z-80-B CPU	1	U 1
NEC D 4164 C - 3	8	M 1 - 8

Aktive Bauteile: GENIE IIs - CPU Karte
=====

Rangordnung

Bauteilname:

Bezeichnung:

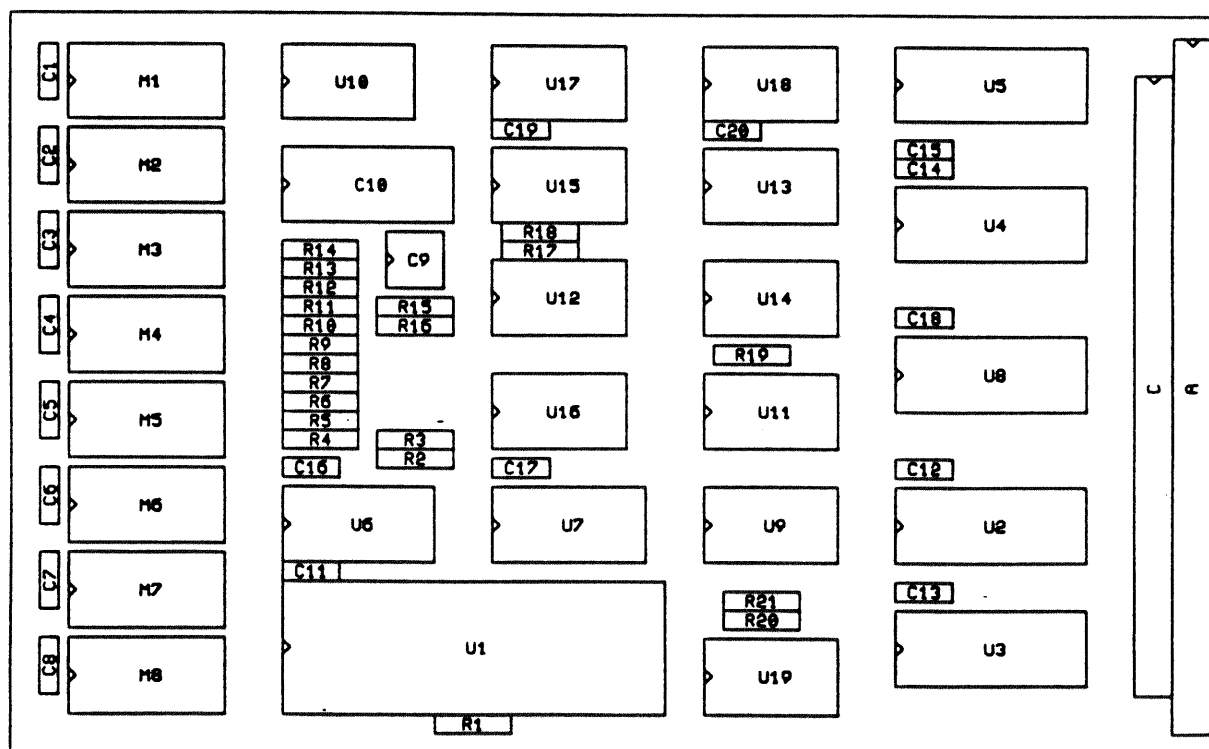
U 2 - 4	TTL, 74 LS 245
U 5	TTL, 74 LS 244
U 6 - 7	TTL, 74 S 157
U 8	TTL, 74 LS 244
U 9 - 10	TTL, 74 LS 32
U 11	TTL, 74 LS 04
U 12	TTL, 74 LS 132
U 13	TTL, 74 LS 08
U 14	TTL, 74 LS 32
U 15	TTL, 74 LS 11
U 16	TTL, 74 LS 74
U 17 - 18	TTL, 74 S 74
U 19	TTL, 74 LS 125

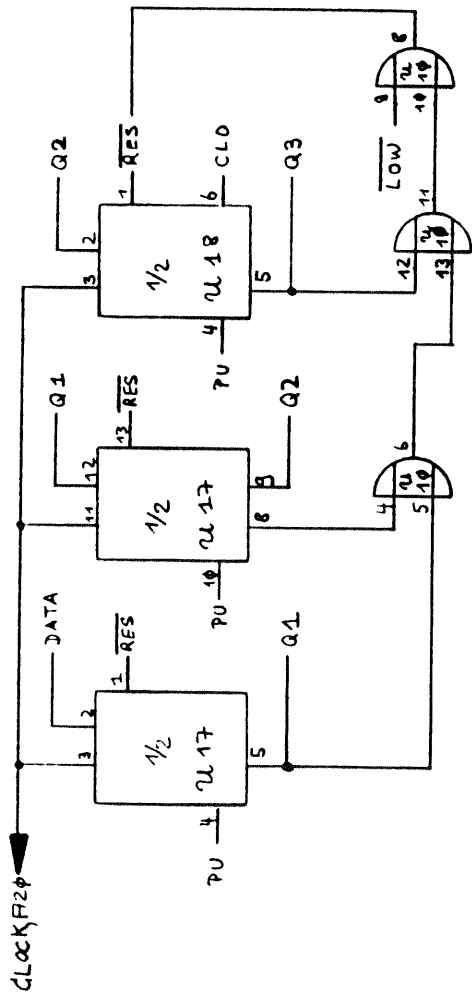
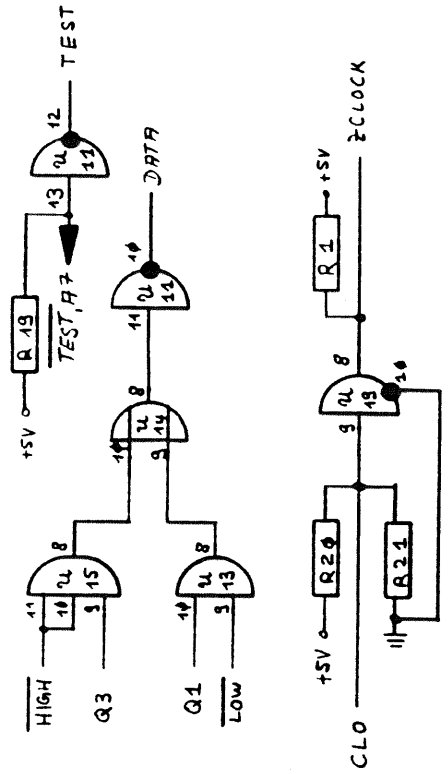
Bauteilname:

Bezeichnung:

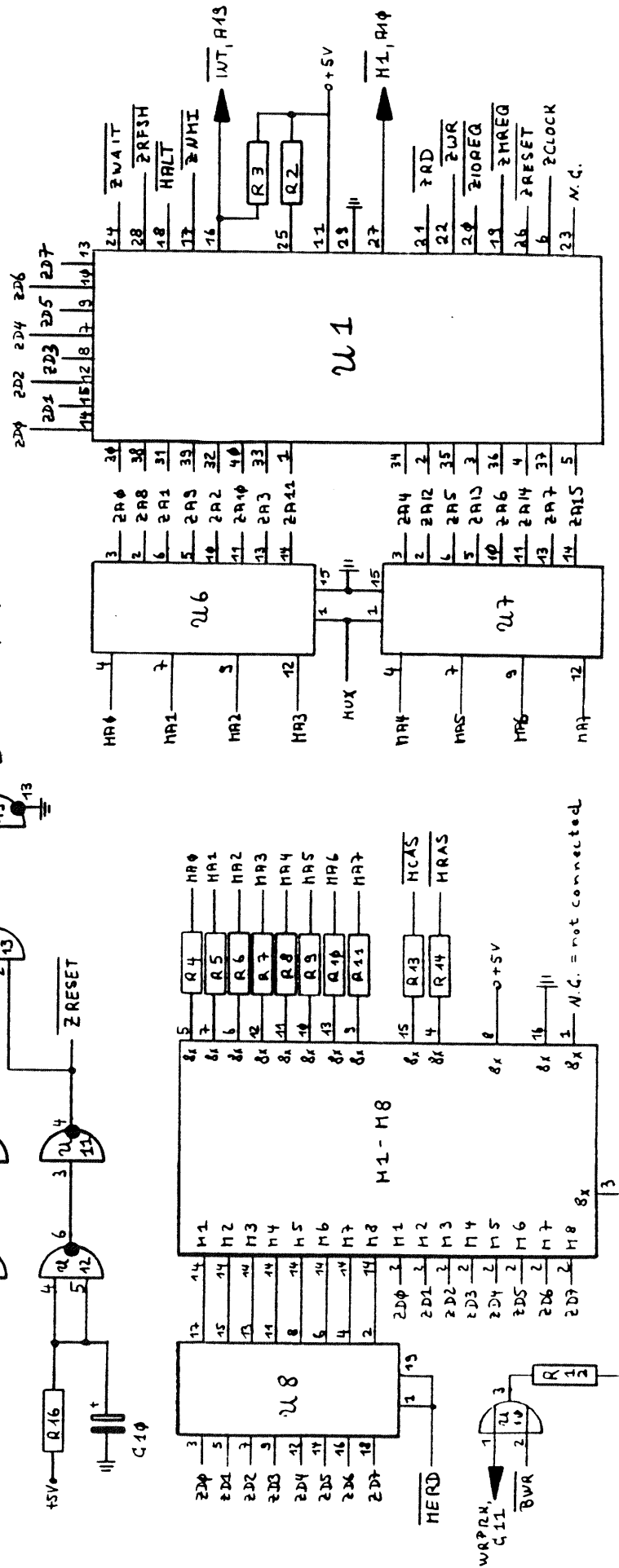
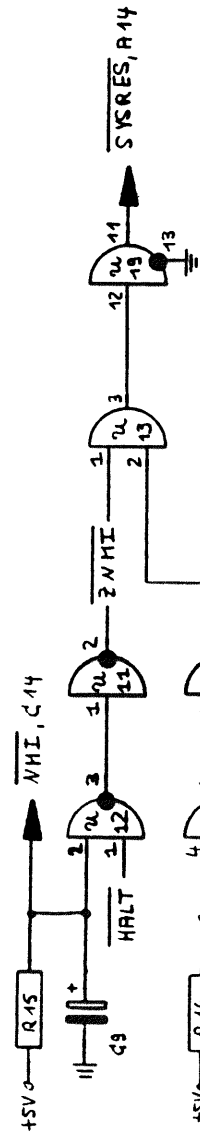
U 1	Z-80-B CPU
M 1 - 8	NEC D 4164 C - 3

Bestückungsplan: CPU 1.0
=====





+5V — R18 — PU



Passive Bauteile: GENIE IIs - I/O Karte

Wertordnung

=====

Widerstände:	Anzahl:	Bauteilname:
-----	-----	-----
27 Ohm	1	R 18
1 kOhm	2	R 12, R 17
1.2 kOhm	1	R 7
4.7 kOhm	3	R 1 - 2, R 8
7.5 kOhm	2	R 5 - 6
10 kOhm	3	R 9, R 11, R 14
20 kOhm	2	R 3, R 19
47 kOhm	2	R 15 - 16
220 kOhm	1	R 4
1 MOhm	1	R 10

Kondensatoren:	Anzahl:	Bauteilname:
-----	-----	-----
220 pF	1	C 1
10 nF	2	C 3, C 16
100 nF	13	C 2, C 4 - 15

Dioden:	Anzahl:	Bauteilname:
-----	-----	-----
1 N 4148	5	D 1 - 5

Relais:	Anzahl:	Bauteilname:
-----	-----	-----
Hamlin, 1 x ein	1	RE 1

Steckerleisten:	Anzahl:	Bauteilname:
-----	-----	-----
2 polig	1	S 4
8 polig	1	S 1
20 polig	2	S 2 - 3
VG, 64 pol. a+c	1	VG 1, A C

Sonderbauteile:	Anzahl:	Bauteilname:
-----	-----	-----
Drahtbrücke	1	R 13

Passive Bauteile: GENIE IIs - I/O Karte
=====

Rangordnung

Bauteilname:

Widerstand:

R 1 - 2	4.7 kOhm
R 3	20 kOhm
R 4	220 kOhm
R 5 - 6	7.5 kOhm
R 7	1.2 kOhm
R 8	4.7 kOhm
R 9	10 kOhm
R 10	1 MOhm
R 11	10 kOhm
R 12	1 kOhm
R 14	10 kOhm
R 15 - 16	47 kOhm
R 17	1 kOhm
R 18	27 Ohm
R 19	20 kOhm

Bauteilname:

Kapazität:

C 1	220 pF
C 2	100 nF
C 3	10 nF
C 4 - 15	100 nF
C 16	10 nF

Bauteilname:

Bezeichnung:

D 1 - 5	Diode, 1 N 4148
---------	-----------------

Bauteilname:

Bezeichnung:

RE 1	Relais, Hamlin, 1 x ein
------	-------------------------

Bauteilname:

Bezeichnung

S 1	Steckerleiste, 8 polig
S 2 - 3	Steckerleiste, 20 polig
S 4	Steckerleiste, 2 polig
VG 1, A C	Steckerleiste, VG, 64 pol. a+c

Bauteilname:

Bezeichnung:

R 13	Drahtbrücke
------	-------------

Aktive Bauteile: GENIE IIs - I/O Karte
=====

Wertordnung

Transistoren:	Anzahl:	Bauteilname:
-----	-----	-----

BC 107	1	T 2
BC 517	1	T 1

TTL Baustein:	Anzahl:	Bauteilname:
-----	-----	-----

74 LS 00	1	U 18
74 LS 02	1	U 17
74 LS 11	1	U 16
74 LS 20	1	U 20
74 LS 32	3	U 15, U 19, U 22
74 LS 123	1	U 2
74 LS 138	1	U 13
74 LS 139	3	U 14, U 21, U 23
74 LS 175	2	U 7 - 8
74 175	1	U 11
74 LS 240	2	U 5 - 6
74 LS 244	3	U 4, U 9 - 10
74 LS 273	1	U 1

Sonder IC's:	Anzahl:	Bauteilname:
-----	-----	-----

uA 741	1	U 12
EPROM 2732 (350)	1	U 3

Aktive Bauteile: GENIE IIs - I/O Karte
=====

Rangordnung

Bauteilname:

Bezeichnung:

T 1
T 2

Transistor, BC 517
Transistor, BC 571

Bauteilname:

Bezeichnung:

U 1
U 2
U 4
U 5 - 6
U 7 - 8
U 9 - 10
U 11
U 13
U 14
U 15
U 16
U 17
U 18
U 19
U 20
U 21
U 22
U 23

TTL, 74 LS 273
TTL, 74 LS 123
TTL, 74 LS 244
TTL, 74 LS 240
TTL, 74 LS 175
TTL, 74 LS 244
TTL, 74 175
TTL, 74 LS 138
TTL, 74 LS 139
TTL, 74 LS 32
TTL, 74 LS 11
TTL, 74 LS 02
TTL, 74 LS 00
TTL, 74 LS 32
TTL, 74 LS 20
TTL, 74 LS 139
TTL, 74 LS 32
TTL, 74 LS 139

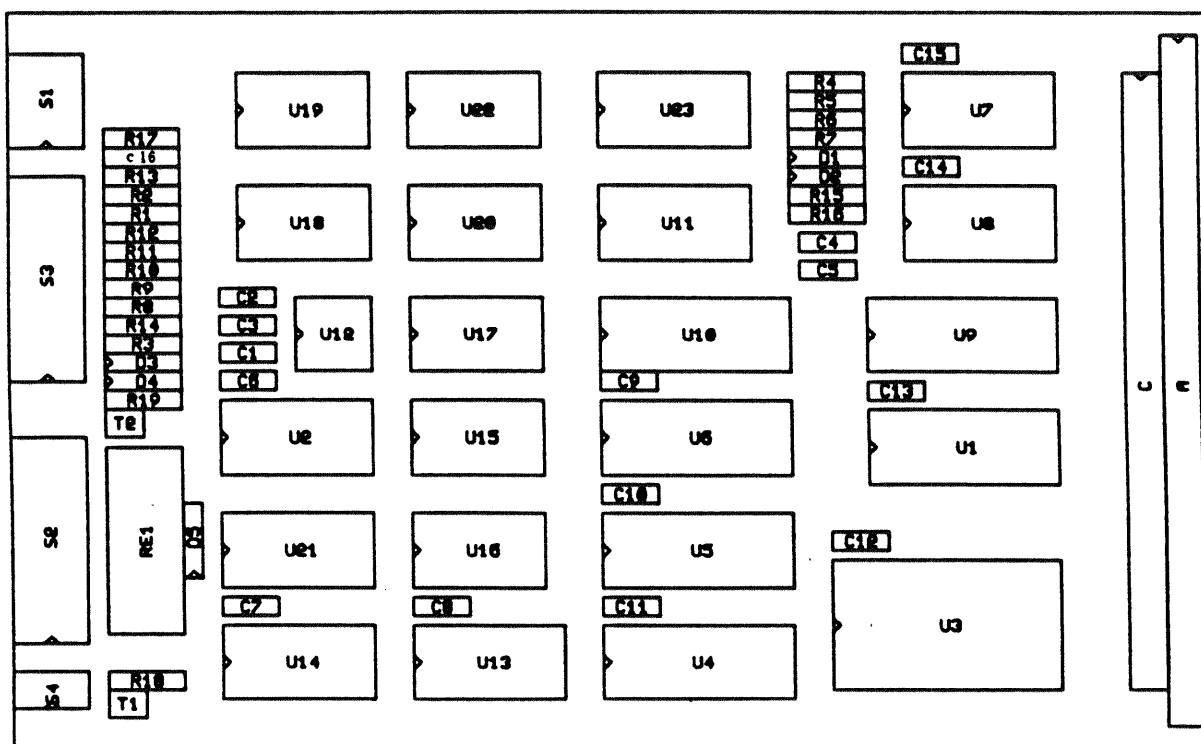
Bauteilname:

Bezeichnung:

U 3
U 12

EPROM 2732 (350)
uA 741

== 17 ==



Stecker: S 1

GENIE IIs - I/O Karte

Dieser Steckverbinder dient im wesentlichen zum Anschluß eines Kassettenrekorders. Dazu verbinden Sie Pin 4 mit dem Kopfhö-
erausgang und Pin 5 mit dem Mikrofoneingang des Rekorders, wobei
Pin 2 die gemeinsame Masse darstellt. Die Pin's 1 und 3 können
von dem eingebauten Reed-Relais kurzgeschlossen werden und
dienen somit zur Motor An/Aus Steuerung. Die Pin's 6 und 7
können mit TTL-Eingangsspegeln belegt und vom System gelesen
werden.

8 5

....

+...

1 4

Die Position des Steckers ent-
nehmen Sie bitte dem Lageplan.

Pin:	Belegung:
------	-----------

1 Motor0

2 Masse

3 Motor1

4 CASIN

Pin:	Belegung:
------	-----------

8 + 5 Volt

7 User0

6 User1

5 CASOUT

Stecker: S 2

Dieser Steckverbinder dient zum Anschluß des Keyboards.

20 11

.....

+.....

1 10

Die Position des Steckers ent-
nehmen Sie bitte dem Lageplan.

Pin:	Belegung:
------	-----------

1 Y0-Eingang

2 Y1-Eingang

3 Y2-Eingang

4 Y3-Eingang

5 Y4-Eingang

6 Y5-Eingang

7 Y6-Eingang

8 Y7-Eingang

9 RESET, aktiv low

10 Masse

Pin:	Belegung:
------	-----------

20 + 5 Volt

19 SPEED, aktiv High

18 X0-Ausgang

17 X1-Ausgang

16 X2-Ausgang

15 X3-Ausgang

14 X4-Ausgang

13 X5-Ausgang

12 X6-Ausgang

11 X7-Ausgang

Über die Pins 11 bis 18 werden LOW-Pegel vom System zum Key-
board übertragen, die je nach gedrückter Taste an den Pins 1
bis 8 einen LOW-Pegel erzeugen. Wird der Pin 19 auf LOW-Pegel
gesetzt, geht die CPU Taktfrequenz von 6 MHz auf 1.77 MHz zu-
rück. Geht Pin 9 auf LOW-Pegel, führt das System einen RESET
durch.

Stecker: S 3

GENIE II's - I/O Karte

Dieser Steckverbinder dient zum Anschluß eines Druckers mit Centronics Parallel Schnittstelle.

20 11
.....
+.....
1 10

Die Position des Steckers entnehmen Sie bitte dem Lageplan.

Pin:	Belegung:
----	-----
1	D0-Ausgang
2	D1-Ausgang
3	D2-Ausgang
4	D3-Ausgang
5	D4-Ausgang
6	D5-Ausgang
7	D6-Ausgang
8	D7-Ausgang
9	Masse
10	Masse

Pin:	Belegung:
----	-----
20	+ 5 Volt
19	+ 5 Volt
18	nicht belegt
17	nicht belegt
16	nicht belegt
15	STROBE, aktiv low
14	BUSY
13	PAPER EMPTY
12	UNIT SELECT
11	UNIT FAULT

Über die Pin's 1 bis 8 werden dem Drucker die Daten übertragen und mit Pin 15 übergeben. Über die Pin's 11 bis 14 teilt der Drucker dem System seinen Status mit.

Achtung:

Die Pin's 19 und 20 nicht mit der + 5 Volt-Leitung des Druckers verbinden. Kurzschlußgefahr.

Stecker: S 4

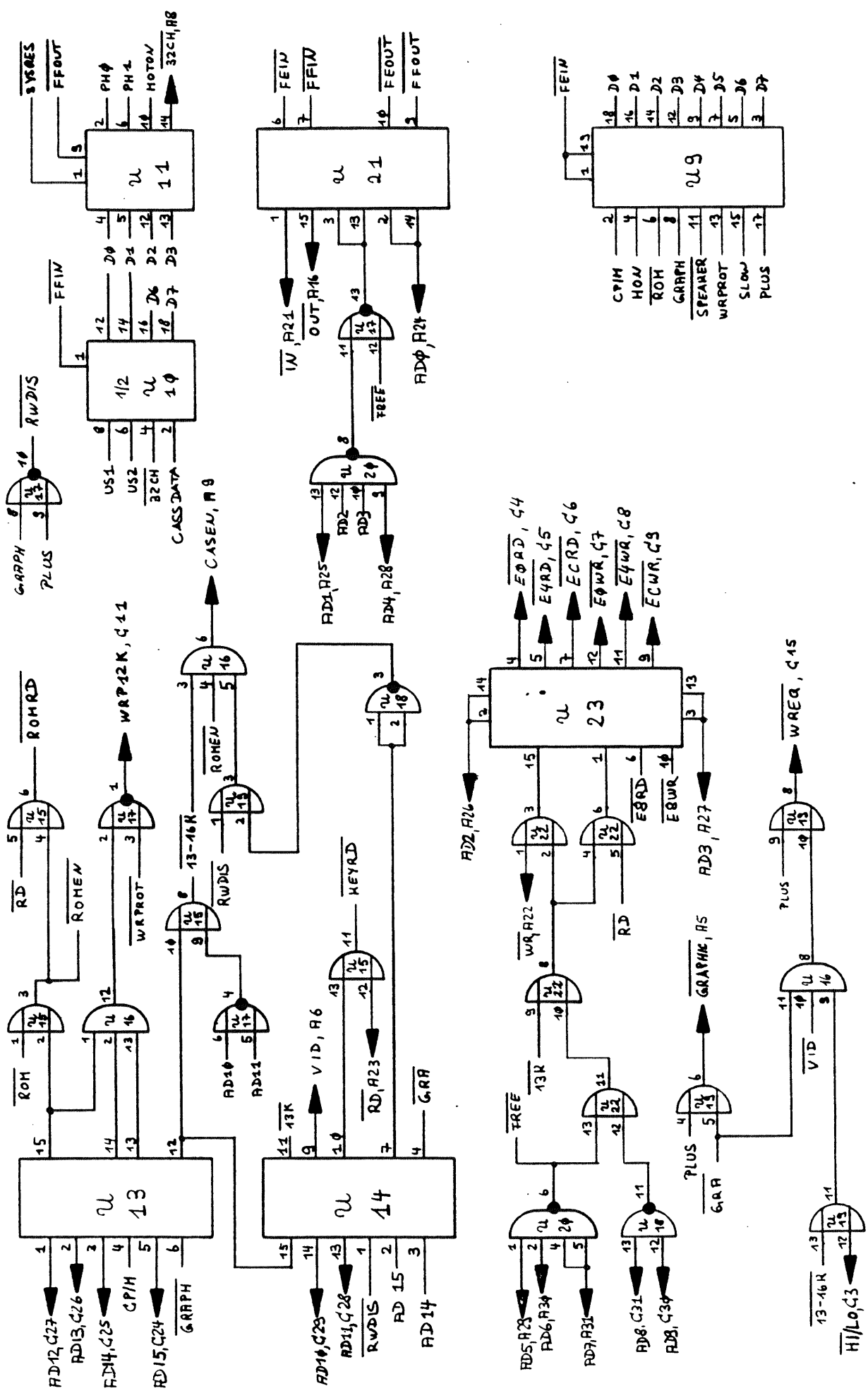
Dieser Steckverbinder dient zum Anschluß eines Lautsprechers.

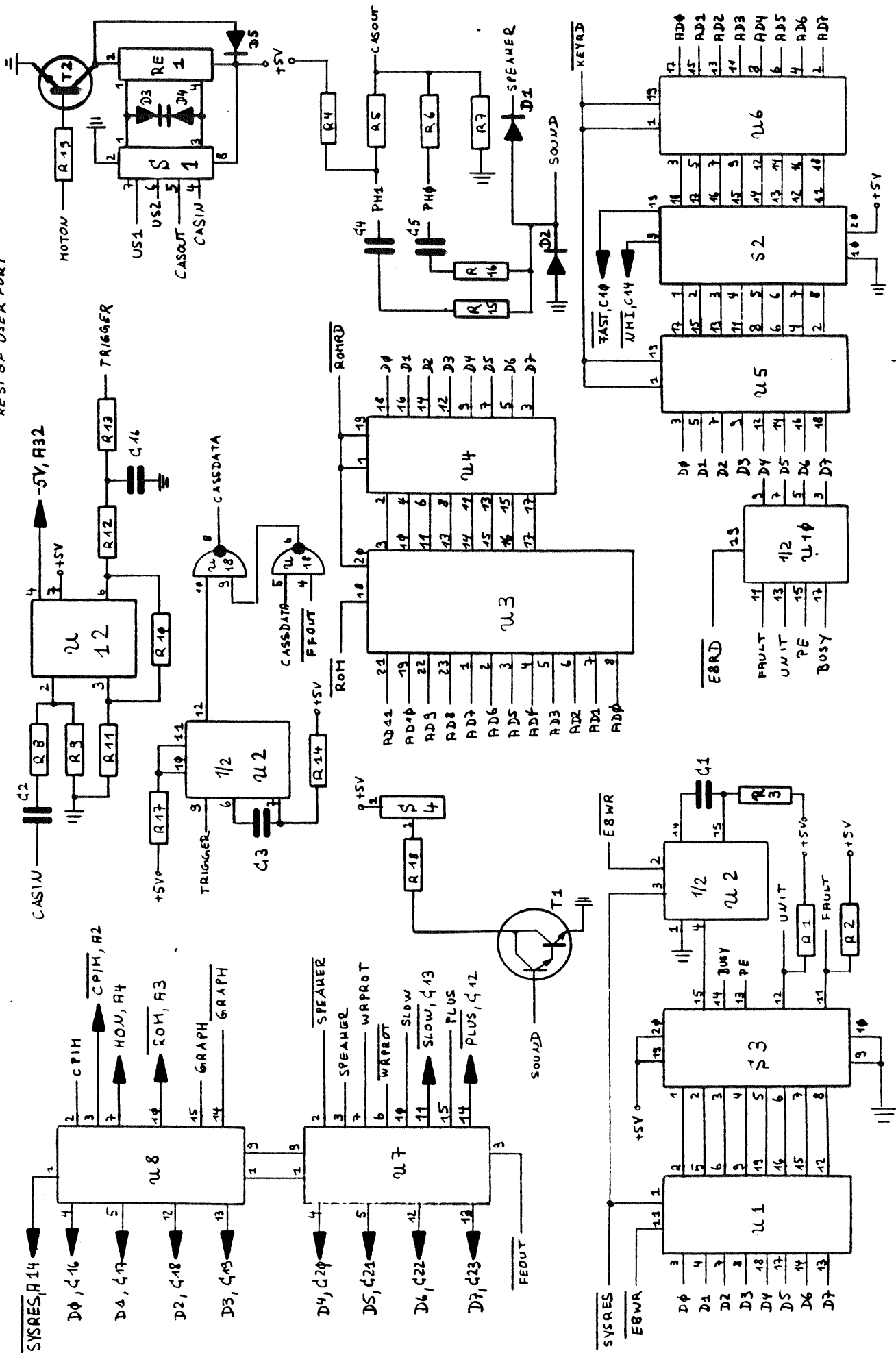
2
.
+
1

Die Position des Steckers entnehmen Sie bitte dem Lageplan.

Pin:	Belegung:
----	-----
1	NF-Out

Pin:	Belegung:
----	-----
2	+ 5 Volt





Belegung der I/O Ports:
=====

L.Nr.	Adre.:	Hex, Dez	Kurzbeschreibung:
1	FE	, 254	System-Byte 0
2	FF	, 255	Bildschirmformat, Kassette, User
3	F9	, 249	Interruptsteuerung, FLOPPY

Die Beschreibung der Ports im Einzelnen:

1. Über den Port FE, 254 (System-Byte 0) können Sie System-Parameter ändern. Da fast jede Änderung interne Systemabläufe beeinflusst, ist das System-Byte 0 nur mit äußerster Vorsicht zu behandeln.
Das System-Byte 0 kann gelesen und geschrieben werden. Die einzelnen BIT's haben dabei folgende Bedeutung:

a. BIT 0 => I/O Freigabe BIT

Mit diesem BIT können Sie die Memory-Mapped I/O Baugruppen ein bzw. ausschalten.

BIT 0 = Low => Aus dem Hauptspeicher werden, abhängig von System-Byte 0, BIT 3 die angegebenen Speicherbereiche ausgeblendet und für Memory-Mapped I/O freigegeben:

3400 - 37DF, 13312 - 14303 => gesperrt
37E0 - 37FF, 14304 - 14335 => Disk I/O
3800 - 3BFF, 14336 - 15359 => Keyboard
3C00 - 3FFF, 15360 - 16383 => Video

BIT 0 = High => Die Memory-Mapped I/O Baugruppen und der Festwertspeicher (EPROM) sind gesperrt.
Der Hauptspeicher ist, abhängig von System-Byte 0, BIT 3 und 7 durchgehend freigegeben.

b. BIT 1 => Grafik An/Aus BIT

Mit diesem BIT können Sie die Grafikseite auf dem Monitor zur Anzeige bringen.

BIT 1 = Low => Es erfolgt keine Anzeige der Grafikseite.

BIT 1 = High => Die Grafikseite wird über den BIT Image-Mischer mit der normalen Videoinformation ODER verknüpft und zur Anzeige gebracht.

c. BIT 2 => ROM BIT

Über dieses Bit erreichen Sie den Festwertspeicher (EPROM) das Systems.

BIT 2 = Low => Die Taktfrequenz des Systems wird auf 1.77 MHz herabgesetzt. Ist System-Byte 0, BIT 0 auf High, erfolgt keine weitere Änderung. Sonst wird der Festwertspeicher des Systems im Adressbereich 0000 - 2FFF, 0000 - 12287 freigegeben.

BIT 2 = High => Der Festwertspeicher ist gesperrt.

d. BIT 3 => Grafik Schalt BIT

Mit diesem BIT können Sie die Grafikseite für Schreib- oder Lese-Zyklen freigeben.

BIT 3 = Low => Die Grafikseite ist gesperrt.

BIT 3 = High => Abhängig von System-Byte 0, BIT 7 wird im Bereich 0000 - 3FFF, 0000 - 16383 die Grafikseite freigegeben. Dabei werden automatisch die Memory-Mapped I/O Baugruppen, der Festwertspeicher und der Bereich 4000 - BFFF, 16384 - 49151 gesperrt.

Beispiel:

Das System ist im 64 Zeichen / 16 Zeilen Modus wobei pro Zeile 12 Scann-Zeilen angezeigt werden (Power-On Wert). Dann errechnen sich die Grenzen der Grafikseiten wie folgt:

X-Grenzen: $0 \leq X$
 : $X < \text{Zeichen}/\text{Zeile} * 6 \text{ Bit} + 16 * 6 \text{ Bit}$
=> : $X < 64 * 6 + 16 * 6 = 384 + 96 = 480$
Y-Grenzen: $0 \leq Y$
 : $Y < \text{Zeilen}/\text{Seite} * \text{Scann-Zeilen} = 16 * 12 = 192$

Das folgende Programm beschreibt ein Verfahren, um in diesem Modus einen beliebigen Punkt X, Y innerhalb der oben genannten Grenzen in Abhängigkeit eines Parameters zu setzen, löschen oder abzufragen. Das Beispiel soll lediglich die Möglichkeiten des Systems darstellen und erhebt keinen Anspruch auf optimale Auslegung. Zuerst jedoch eine Erklärung zu der Adressierung der Grafikseite.

Die Seite teilt sich in einen INNEREN (384 x 192) und einen AUSSEREN (96 x 192) Bereich auf, wobei pro Adressbyte je 6 BIT's sequenziell auf dem Monitor ausgelesen werden. Dabei gilt für die Adressierung:

Innen: Bit's im Adressbyte:
 15 14 13 12 11 10 09 08 07 06 05 04 03 02 01 00
 0 0 : Reihe : : Zeile : : PositionI :

Außen: Bit's im Adressbyte:
 15 14 13 12 11 10 09 08 07 06 05 04 03 02 01 00
 0 0 1 1 :LSB: : Zeile : :MSB: :PositionA:

wobei: $0 \leq \text{Reihe} \leq 11$, $0 \leq \text{Zeile} \leq 15$, $0 \leq \text{PositionI} \leq 63$
 : $0 \leq \text{PositionA} \leq 15$, $\text{Reihe} = 4 * \text{MSB} + \text{LSB}$


```

;*****
;
; Programm zur Generierung des X-Adressoffsets und der X-Bit-
; positionen (TABELB) und einer Y-Tabelle (TABELA).
; Das Programm wird bei INIT gestartet und führt einen Sprung
; ins DOS mit JP 402DH aus.
; Das HIMEM muß auf TABELB gesetzt sein.
;
;*****

```

```

INIT      ORG      START          ;Die Startadresse muß > C000H sein
          LD        HL,TABELB      ;Startadresse für X-Positionen
          XOR       A              ;Lösche A-Register, Offset
INIT01    LD        C,01H          ;Setze BIT 0, ergibt Bitposition
          LD        B,06H          ;6 Bit Zähler
INIT02    LD        (HL),A         ;Offset als Adresse
          INC       HL             ;Nächste Tabellenposition
          LD        (HL),C         ;Speichere Bitposition
          INC       HL             ;Nächste Tabellenposition
          RLC        C             ;Erhöhe die Bitposition
          DJNZ      INIT02         ;Durchlaufe Schleife 6 mal
          INC       A              ;Erhöhe Offset
          CP        50H            ;Zeilenende erreicht ?
          JR        NZ,INIT01      ;Nein, berechne neuen Offset
          LD        HL,TABELA      ;Startadresse für Y-Positionen
          LD        B,00H          ;B ist Zeilenzähler
INIT03    LD        C,00H          ;C ist Scann-Zeilenzähler
INIT04    LD        A,C            ;Lade aktuelle Scann-Zeile nach A
          SLA       A              ;Verschiebe den Scann-Zeilenwert
          SLA       A              ;um insgesamt 4 Bit nach links.
          SLA       A              ;Die Bit's 0 - 3 werden für die
          SLA       A              ;Zeilennummer gebraucht.
          ADD       A,B            ;Ersten 4 Bit ergeben Zeilennummer
          LD        (HL),A         ;Speichere den Wert in Tabelle
          INC       HL             ;Nächste Tabellenposition
          INC       C              ;Nächste Scann-Zeile
          LD        A,C            ;Aktuelle Scann-Zeile nach A
          CP        0CH            ;Alle 12 Scann-Zeilen fertig ?
          JR        NZ,INIT04      ;Nein, berechne weitere Werte
          INC       B              ;Erhöhe Zeilenzähler
          LD        A,B            ;Aktuelle Zeile nach A
          CP        10H            ;Alle 16 Zeilen fertig ?
          JR        NZ,INIT03      ;Nein, berechne weitere Werte
          JP        402DH          ;Fertig, zurück zum DOS =>
TABELB    DEFS      01E0H          ;Platz für Bitpositionen
          DEFS      01E0H          ;Platz für X-Adressoffset
TABELA    DEFS      00C0H          ;Platz für Y-Tabelle

```

```

;*****
;
; Der folgende Programmteil setzt voraus, daß das Programm-
; segment INIT einmal durchlaufen wurde, wobei die Tabellen ab
; Speicher TABELB erstellt wird.
;
; Eingangsparameter: (XK00R) ist X-Position
;                   (YK00R) ist Y-Position
;                   A-Register  2=SET, 1=RESET, 0=POINT
;
; Ausgangsparameter: keine, wenn A-Register 1 oder 2 war
;                   sonst: Punkt aus => HL=0, Punkt an => HL=1
;
;*****

```

```

PLOT    DI                ;Wichtig, Zero-Page ist gesperrt
        CP      0         ;POINT-Funktion ?
        JR      Z,POINT   ;Ja, ausführen =>
        CP      1         ;RESET-Funktion ?
        JR      Z,RESET   ;Ja, ausführen =>
SET      LD      HL,(XK00R) ;Hole X-Position nach HL
        CALL    ADCAL     ;Berechne relative Speicherpos.
        IN      A,(OFEH)  ;Inhalt vom System-Byte 0 lesen
        OR      08H       ;Grafik Schalt BIT setzen
        OUT     (OFEH),A  ;Grafikseite freigeben
        LD      A,(HL)    ;Grafik Image holen
        OR      B         ;BIT setzen
OUTPL    LD      (HL),A    ;Grafik Image zurückschreiben
EXIT     IN      A,(OFEH)  ;Inhalt vom System-Byte 0 lesen
        AND     0F7H      ;Grafik Schalt BIT löschen
        OUT     (OFEH),a  ;Grafikseite sperren
        EI          ;Interrupts freigeben
        RET         ;Zurück zum Hauptprogramm
RESET    LD      HL,(XK00R) ;Hole X-Position nach HL
        CALL    ADCAL     ;Berechne relative Speicherpos.
        IN      A,(OFEH)  ;Inhalt vom System-Byte 0 lesen
        OR      08H       ;Grafik Schalt BIT setzen
        OUT     (OFEH),A  ;Grafikseite freigeben
        LD      A,B       ;Bitposition nach A
        XOR     0FFH      ;und komplementieren
        LD      B,A       ;und zurück nach B
        LD      A,(HL)    ;Grafik Image holen
        AND     B         ;BIT löschen
        JR      OUTPL     ;Zurückschreiben und UP verlassen
POINT    LD      HL,(XK00R) ;Hole X-Position nach HL
        CALL    ADCAL     ;Berechne relative Speicherpos.
        IN      A,(OFEH)  ;Inhalt vom System-Byte 0 lesen
        OR      08H       ;Grafik Schalt BIT setzen
        OUT     (OFEH),A  ;Grafikseite freigeben
        LD      A,(HL)    ;Grafik Image holen
        AND     B         ;Testen ob BIT an oder aus
        LD      HL,0000    ;HL mit 0000 => BIT aus
        JR      Z,EXIT    ;BIT aus, UP verlassen
        INC     HL        ;BIT an, HL = 1
        JR      EXIT      ;UP verlassen

```

```

;*****
;
; Das Unterprogramm ADCAL berechnet aus der X-Position im HL-
; Registerpaar und der Y-Position in Speicherstelle YK00R die,
; nach dem auf Seite 32 dargestellten Verfahren, relative
; Adresse des Grafikspeichers.
;
; Im HL-Register wird die Adresse, im B-Register die Bit-
; position innerhalb der Adresse an den CALLER übergeben.
;
;*****

```

```

ADCAL    LD      BC,TABELB   ;BC zeigt auf Tabellenanfang
        ADD     HL,HL        ;X-Position mal 2
        ADD     HL,BC        ;HL zeigt auf X-Offset
        LD      A,(HL)       ;Hole X-Offset nach A
        CP      40H         ;Innen oder Außen ?
        JP      P,AUSSEN    ;Außen, ( INT(X/6) > 63 )
INNEN    CALL    VERT        ;Berechne Vertikales Segment

```

	SRL	H	;Bitkombinationen in H und L
	RR	L	;müssen um jeweils 2 Stellen
	SRL	H	;nach rechts geschoben werden, um
	RR	L	;die echte Adresse zu erhalten.
	RET		;Zurück zum Hauptprogramm
VERT	INC	HL	;HL zeigt auf Bitposition
	LD	B,(HL)	;Bitposition nach B
	LD	HL,TABELA	;HL zeigt auf Y-Tabelle
	DEFB	0011H	;Mit YKOOR => LD DE,YKOOR
YKOOR	DEFW	0000H	;Speicherstelle YKOOR
	ADD	HL,DE	;HL zeigt auf Zeilenoffset
	LD	H,(HL)	;Hole Zeilenoffset nach H
	LD	L,A	;L = Zeichenposition
	SLA	L	;Schiebe L um zwei Stellen
	SLA	L	;nach links
	RET		;Zurück zum Hauptprogramm
AUSSEN	CALL	VERT	;Berechne Vertikales Segment
	SLA	L	;Schiebe L um weitere 2 Stellen
	SLA	L	;nach links
	RLC	H	;Verschiebe H um zwei Stellen
	RLC	H	;nach links
	PUSH	BC	;Rette Bitposition auf dem STACK
	LD	B,04H	;Für 4 Verschiebeoperationen
AUSEN1	SRL	H	;Verschiebe H nach rechts
	RR	L	;Verschiebe L nach rechts
	DJNZ	AUSEN1	;Durchlaufe Schleife 4 mal
	POP	BC	;Hole Bitposition zurück
	LD	A,H	;Hole MSB-Segment nach A
	ADD	A,30H	;Setze BIT 12 und 13
	LD	H,A	;HL ist echte Adresse
	RET		;Zurück zum Hauptprogramm
XKOOR	DEFW	0000H	;Speicherstelle für X-Koordinate
	END	INIT	;Auto-Start nach INIT

Um mit diesem Programm zu arbeiten, müssen Sie den Source-Code in den Assembler eingeben und assemblieren. Danach setzen Sie das HIMEM auf TABELB und rufen den Object-Code von DOS aus auf und initialisieren damit die Tabellen.

Nun können Sie Ihre gewählten X-, Y-Positionen in die Speicherstellen XKOOR und YKOOR einschreiben, das A-Register mit 0, 1 oder 2 laden und einen CALL PLOT ausführen.

Achtung:

Da beim Freigeben der Grafikseite der Hauptspeicherbereich von 4000 - BFFF, 16384 - 49151 gesperrt wird, ist darauf zu achten, daß der STACK-Pointer in den Bereich von C000 - FFFF, 49152 - 65535 gelegt wird und das Programm selbst auch in diesem Bereich abgelegt ist.

Bitte bedenken Sie, daß Sie nur dann etwas von der Grafikseite auf dem Monitor sehen, wenn System-Byte 0, BIT 1 auf High ist.

e. BIT 4 => Sound BIT

Über dieses BIT haben Sie die Möglichkeit, einen am Stecker S 4 angeschlossenen Lautsprecher abzuschalten.

BIT 4 = Low => Der Stecker S 4 ist freigegeben.

BIT 4 = High => Der Stecker S 4 ist gesperrt.

f. BIT 5 => Schreibschutz BIT

Mit diesem BIT haben Sie die Möglichkeit einen bestimmten Bereich des Hauptspeichers als "Pseudo-ROM" zu deklarieren.

BIT 5 = Low => Der Systemspeicher ist schreib und lesbar.

BIT 5 = High => Ist System-Byte 0, BIT 0 oder BIT 3 auf High hat BIT 5 keine Funktion. Sonst wird der Bereich 0000 - 2FFF, 0000 - 12287 als "Pseudo-ROM" geschaltet, d. h. eine Schreiboperation auf diesen Bereich wird nicht ausgeführt.

g. BIT 6 => Slow-Down BIT

Über dieses BIT können Sie die Taktrate der CPU ändern.

BIT 6 = Low => Ist der "Feuerknopf" gedrückt oder System-Byte 0, BIT 2 auf Low, ergibt sich eine Taktrate von 1.77 MHz, sonst arbeitet das System mit 5.35 MHz.

BIT 6 = High => Die Taktrate der CPU ist, unabhängig vom System-Byte 0, BIT 2 oder des "Feuerknopfes" immer 1.77 MHz.

h. BIT 7 => Expansions BIT

In Verbindung mit entsprechender Hard-Ware kann mittels diesem BIT z. B. eine Speichererweiterung (RAM 2.0) realisiert werden.

BIT 7 = Low => Es gelten die unter Punkt a., d. und f. aufgeführten Hauptspeicherbelegungen.

BIT 7 = High => Der Hauptspeicherbereich 0000 - BFFF, 0000 - 49151 ist gesperrt. Zusatzbaugruppen können innerhalb dieses Adressbereiches alle Daten, die die CPU benötigt auf den BUS legen, wobei die ZBG darauf achten müssen, daß System-Byte 0, BIT 2 auf High liegt. Die Grafikseite ist gesperrt und der Schreibschutz muß von den ZBG über den BUS erkannt werden.

2. Über den Port FF, 255 können der Kassettenport, der Video-
kontrollier und die USER-TTL-Eingänge kontrolliert werden.

Der Port kann gelesen und geschrieben werden, wobei gilt:

Lesen von FF, 255

-
- a. BIT 0 = Low => Pin 7 von Stecker S1 hat TTL-Low Pegel
BIT 0 = High => Pin 7 von Stecker S1 hat TTL-High Pegel
- b. BIT 1 = Low => Pin 6 von Stecker S1 hat TTL-Low Pegel
BIT 1 = High => Pin 6 von Stecker S1 hat TTL-High Pegel
- c. BIT 6 = Low => Das Videoformat ist in 1:2 Darstellung
BIT 6 = High => Das Videoformat ist in 1:1 Darstellung
- d. BIT 7 = Low => Der Kassettenport ist zurückgesetzt.
BIT 7 = High => Über Stecker S1, Pin 4 ist ein Impuls er-
kannt worden. (Muß softwareseitig zurück-
gesetzt werden. Siehe unten.)

Die BIT's 2 bis 5 haben einen zufälligen Wert.

Schreiben von FF, 255

-
- a. BIT 1 : BIT 0 : Spannung an Pin 5 von Stecker S1

- | | | | | |
|---|---|---|---|----------|
| 0 | : | 0 | : | 0.4 Volt |
| 0 | : | 1 | : | 0.8 Volt |
| 1 | : | 0 | : | 0.0 Volt |
| 1 | : | 1 | : | 0.4 Volt |
- b. BIT 2 = Low => Pin 1 und Pin 3 von Stecker S1 sind nicht
miteinander verbunden.
BIT 2 = High => Pin 1 und Pin 3 von Stecker S1 werden über
das Reed-Relais miteinander kurzgeschlossen.
- c. BIT 3 = Low => Das Videoformat ist in der 1:1 Darstellung.
BIT 3 = High => Das Videoformat ist in der 1:2 Darstellung,
d. h.: die Zeichenbreite in X-Richtung wird
verdoppelt, wobei sich die Anzahl der
Zeichen/Zeile halbiert. Es werden auto-
matisch nur noch die Zeichen ausgelesen, die
in einer Speicherzelle mit gerader Adresse
stehen. Das gleiche gilt sinngemäß auch für
die Grafik.

Die BIT's 4 bis 7 können einen beliebigen Wert haben. Bei jedem
Schreibzyklus wird der Kassettenport zurückgesetzt.

Der Port F9, 249 ist nur in Verbindung mit der Floppy-Karte verfügbar. Der Port kann gelesen und geschrieben werden, wobei nur die Bits 2 und 3 von Bedeutung sind.

3. Über den Port F9, 249 können die Interruptanforderungen der einzelnen Baugruppen umgeleitet bzw. unterbunden werden. Dabei gelten folgende Zustände:

a. BIT 3 : BIT 2 : Baugruppe, die den Interrupt anfordert

0 : 0 : System Interrupt, alle 25 ms
0 : 1 : Floppy-Kontrolller
1 : 0 : Externe Baugruppen vom BUS
1 : 1 : Z-80-B SIO/O, Z-80-B PIO

Die Anforderung wirkt auf den Z-80-B INT Eingang und ist damit maskierbar (EI, DI).

Für alle Einstellungen muß Interrupt Mode 1 gewählt werden.

Memory-Mapped I/O: =====

Die etwas aufwendige Art des I/O's ist für die Kompatibilität mit den Systemen TRS-80, GENIE I/II und GENIE III erforderlich, um die reichhaltige Software, sei es unter G-DOS, NEWDOS 80 oder CP/M, voll nutzen zu können. Die I/O Baugruppen werden im einzelnen beschreiben:

1. Erweiterungsbereich: 3400 - 37DF, 13312 - 14303 -----

Dieser Bereich ist für Erweiterungen reserviert.

2. Disk I/O Baugruppe -----

Der Adressbereich von 37E0 - 37EF, 14304 - 14319 dient im wesentlichen zum Abwickeln des Diskettenbetriebs. Dabei ist der Bereich in 4 Blöcke zu je 4 Byte zusammengefaßt; die Adressen 37F0 - 37FF, 14320 - 14335 bilden ein Echo.

Schreiben von 37E0 - 37E3, 14304 - 14307 -----

- a. BIT 0 - 4 = Low => Die Motor-On-Leitung des Steckers S1 und S2 wird aktiv.
- b. BIT 0 = High => wie a., aber Drive Select für Drive 0 wird, je nach Stellung von S3 oder den eingestellten PDRIVE Parametern, an S1 oder S2 aktiv.
Sofern die Startwerte nicht verändert wurden, gilt:
S3 Pin 4 und 9 verbunden => S1 (5")
S3 Pin 3 und 10 verbunden => S2 (8")
- c. BIT 1 = High => wie b., aber Drive 1
- d. BIT 2 = High => wie b., aber Drive 2
- e. BIT 3 = High => wie b., aber Drive 3, wenn S3 Pin 6 und 7 verbunden. Wenn S3 Pin 5 und 8 verbunden sind, wird zusätzlich die Side Select Leitung an S1 und S2 aktiv.
- f. BIT 4 = High => wenn S3 Pin 6 und 7 verbunden sind wird die Side Select Leitung an S1 und S2 aktiv, wenn S3 Pin 5 und 8 verbunden sind wie a.
- g. BIT 5 - 7 = High => wie a.

Achtung:

Der Programmierer hat dafür Sorge zu tragen, daß, je nach Stellung von S3, nur EIN Laufwerk selektiert wird, da es sonst zu Datenverlust auf den Disketten kommen kann.

Beispiel:

```
SELDOV  LD    A,01H      ;Select Drive 0, vordere Seite
        LD    (37E0H),A  ;Kommando zum Kontroller
        RET              ;Zurück zum Hauptprogramm

SELDOH  LD    A,09H      ;Select Drive 0, hintere Seite für
        LD    (37E0H),A  ;FLOPPY 5/8 A
        RET              ;

SELDOH  LD    A,11H      ;Select Drive 0, hintere Seite für
        LD    (37E0H),A  ;FLOPPY DS/DD; S3 Pin 6 und 7 ver-
        RET              ;bunden.
```

Lesen von 37E0 - 37E3, 14304 - 14307

Durch Lesen von 37E0 - 37E3, 14304 - 14307 wird immer das Interrupt Flip-Flop zurückgesetzt (25 ms Interrupt). Durch Überprüfung der oberen 2 BIT erhalten Sie folgende Statusinformation:

- a. BIT 6 = Low => Floppy-Kontroller Interrupt gelöscht
BIT 6 = High => Floppy-Kontroller Interrupt gesetzt
- b. BIT 7 = Low => Interrupt Flip-Flop gelöscht
BIT 7 = High => Interrupt Flip-Flop gesetzt

Durch Ansprechen der Speicherstellen 37E4 - 37E7, 14308 - 14311 werden Freigabeleitungen an den BUS-Erweiterungssteckern VG4 - VG13 aktiv. Dabei gilt:

Lesen 37E4 - 37E7, 14308 - 14311 => Leitung C 5 der Buchsen
VG4 - VG13 nimmt Low-Pegel an.

Schreiben 37E4 - 37E7, 14308 - 14311 => Leitung C 8 der Buchsen
VG4 - VG13 nimmt Low-Pegel an.

Diese Speicherstellen und Leitungen stehen im Prinzip zur freien Verfügung, obwohl wir uns vorbehalten mögliche Erweiterungen über diese Speicherstellen zu betreiben.

Über den Bereich 37E8 - 37EB, 14312 - 14315 können Sie einen an Stecker S3 der I/O Karte angeschlossenen Drucker betreiben. Dabei gilt:

Schreiben von 37E8 - 37EB, 14312 - 14315

Die über die Speicherstellen übergebenen Daten werden am Stecker S3 parallel zur Verfügung gestellt und gleichzeitig wird die STROBE-Leitung (Pin 15 von S3) aktiv, d. h. der Drucker übernimmt die Daten.

Lesen von 37E8 - 37EB, 14312 - 14315

Über die oberen 4 BIT können Sie die Statusinformation des Druckers bestimmen. Die einzelnen BIT's haben folgende Bedeutung:

BIT 4 => Direkte Funktion des Eingangs UNIT FAULT , S3:11

BIT 5 => Direkte Funktion des Eingangs UNIT SELECT, S3:12

BIT 6 => Direkte Funktion des Eingangs PAPER EMPTY, S3:13

BIT 7 => Direkte Funktion des Eingangs BUSY , S3:14

Beispiel:

PRINT LD A,C ;Übergabe des zu druckenden Zeichens
LD (37E8H),A ;Zeichen zum Drucker
LD A,PARA1 ;PARA1 ist Druckerabhängiger Zeitwert
LOOP DEC A ;A=A-1
JR NZ,LOOP ;Wenn A<>0, springe nach LOOP
SCANN LD A,(37E8H) ;Druckerstatus lesen
OR OFH ;PARA2 hängt von den angeschlossenen
CP PARA2 ;Steuerleitungen ab. (S3:11-14)
JR NZ,SCANN ;Warten bis Drucker fertig
RET ;zurück zum Hauptprogramm

Über die Adressen 37EC - 37FF, 14316 - 14319 werden alle Diskettenzugriffe ausgeführt. Dabei gilt:

37EC, 14316 => Kommando/Status Register

37ED, 14317 => TRACK - Register

37EE, 14318 => SECTOR - Register

37EF, 14319 => DATA - Register

Es gilt ferner:

Schreiben von FE, 254 nach 37EC, 14316 => Single Density
Schreiben von FF, 255 nach 37EC, 14316 => Double Density

Schreiben von 80, 128 nach 37EE, 14318 => S1 aktiv (5")
Schreiben von C0, 192 nach 37EE, 14318 => S2 aktiv (8")

Das oben gesagte gilt sinngemäß auch für den Bereich 37F0 - 37FF, 14320 - 14335.

3. Keyboard Baugruppe

Innerhalb des Hauptspeichers meldet sich das Keyboard im Adressbereich 3800 - 38FF, 14336 - 14591. Dabei gibt es noch 3 Echos bei 3900 - 39FF, 14592 - 14847, 3A00 - 3AFF, 14848 - 15103 und 3B00 - 3BFF, 15104 - 15359. Da es sich um eine reine INPUT Baugruppe handelt, kann der Bereich nur gelesen werden. ein Schreibbefehl "auf" das Keyboard wird nicht ausgeführt. Bei dem verwendeten Keyboard handelt es sich um eine sogenannte "Offene X-Y-Matrix", d. h. jedes Zeichen muß nach einem bestimmten Verfahren berechnet werden. Es hat sich gezeigt, daß man gerade dieses Verfahren nicht mit einem ganz genau festgelegten Programm lösen kann; daher verweisen wir an dieser Stelle auf die Literatur, z. B. das ROM-Listing.

Für die Matrixbelegung ergibt sich folgendes Bild:

Adr/Bit :	0	:	1	:	2	:	3	:	4	:	5	:	6	:	7	:
3801H :	\$:	A	:	B	:	C	:	D	:	E	:	F	:	G	:
3802H :	H	:	I	:	J	:	K	:	L	:	M	:	N	:	O	:
3804H :	P	:	Q	:	R	:	S	:	T	:	U	:	V	:	W	:
3808H :	X	:	Y	:	Z	:	Ä	:	Ö	:	Ü	:	ß	:	EOF	:
3810H :	0	:	! / 1	:	" / 2	:	# / 3	:	\$ / 4	:	% / 5	:	& / 6	:	' / 7	:
3820H :	(/ 8	:) / 9	:	* / :	:	+ / ;	:	, / <	:	- / =	:	. / >	:	/ / ?	:
3840H :	ENT	:	CLE	:	BRE	:	P.O	:	P.U	:	P.L	:	P.R	:	SPB	:
3880H :	SHI	:		:		:		:		:		:	P 1	:	P 2	:

Dabei bedeutet: ENT = ENTER, CLE = CLEAR, BRE = BREAK
: P.O = Pfeil oben , P.U = Pfeil unten
: P.L = Pfeil links, P.R = Pfeil rechts

Beispiel:

Ein Programm, welches zum Beispiel das Keyboard nach der Taste "S" abfragt, stellt sich etwa folgendermaßen dar:

```
KEYS    LD    A,(3804H)    ;Dritte Matrix-Zeile nach A
        AND   08H         ;Maskieren BIT 3 => Spalte "S"
        JR    Z,KEYS      ;Warte bis "S" gedrückt wird
        LD    A,'S'       ;ASCII-Wert für "S" nach A
        RET              ;Zurück zum Hauptprogramm
```

Achtung:

Die rastende Taste mit der Bezeichnung "LSP" (Feuerknopf) dient zur permanenten Herabsetzung des Systemtaktes auf 1.77 MHz, unabhängig von irgendwelchen BIT-Kombinationen des System-Bytes 0.

4. Video Baugruppe

Der Speicherbereich 3C00 - 3FFF, 15360 - 16383 wird von der Video-Baugruppe als Bildwiederholtspeicher verwaltet. Dabei wird beginnend bei Adresse 3C00, 15360 für die linke obere Ecke zeilenweise der Speicherinhalt in BIT-Kombinationen des Zeichen-ROM's umgesetzt und als Zeichen auf dem Monitor dargestellt, so daß sich für die untere rechte Ecke, bei einem Format von 64 x 16, die Speicherstelle 3FFF, 16383 ergibt. Wird über das System-Byte 0 der Hauptspeicherbereich durchgehend freigegeben, bleibt die Wiederholfunktion zwar erhalten, aber der Videospeicher kann nun nicht mehr geändert werden.

Passive Bauteile: GENIE IIs - VIDEO Karte
=====

Wertordnung

Widerstände: -----	Anzahl: -----	Bauteilname: -----
10 Ohm	1	R 8
75 Ohm	1	R 7
470 Ohm	5	R 1 - 2, R 4 - 5, R 9
1 kOhm	2	R 3, R 10

Kondensatoren: -----	Anzahl: -----	Bauteilname: -----
470 pF	1	C 1
100 nF	20	C 2 - 21

Dioden: -----	Anzahl: -----	Bauteilname: -----
ZD 2.4 V	1	ZD 1

Quarze: -----	Anzahl: -----	Bauteilname: -----
10.7 MHz	1	Q 1

Steckerleisten: -----	Anzahl: -----	Bauteilname: -----
VG, 64 pol. a+c	1	VG 1, A C

Buchsen: -----	Anzahl: -----	Bauteilname: -----
ToBu 3, Hirschmann	1	BU 1

Achtung:
=====

R 6 entfällt.

Passive Bauteile: GENIE IIs - VIDEO Karte
=====

Rangordnung

Bauteilname:

Widerstand:

R 1 - 2	470 Ohm
R 3	1 kOhm
R 4 - 5	470 Ohm
R 7	75 Ohm
R 8	10 Ohm
R 9	470 Ohm
R 10	1 kOhm

Bauteilname:

Kapazität:

C 1	470 pF
C 2 - 20	100 nF

Bauteilname:

Bezeichnung:

ZD 1	Zener-Diode, 2.4 Volt, 500 mW
------	-------------------------------

Bauteilname:

Bezeichnung:

Q 1	Quarz, 10.7 MHz
-----	-----------------

Bauteilname:

Bezeichnung:

VG 1, A C	Steckerleiste, VG, 64 pol. a+c
-----------	--------------------------------

Bauteilname:

Bezeichnung:

BU 1	Buchse, ToBu 3, Hirschmann
------	----------------------------

Achtung:
=====

R 6 entfällt.

Aktive Bauteile: GENIE IIs - VIDEO Karte
 =====

Wertordnung

Transistoren:	Anzahl:	Bauteilname:
-----	-----	-----
BC 107	1	T 1

TTL Baustein:	Anzahl:	Bauteilname:
-----	-----	-----
74 S 04	1	U 1
74 LS 11	1	U 15
74 LS 20	1	U 23
74 LS 32	2	U 19, U 25
74 LS 37	1	U 13
74 LS 74	2	U 7, U 18
74 LS 92	1	U 14
74 LS 157	4	U 9 - 12
74 157	1	U 8
74 LS 166	1	U 22
74 LS 174	1	U 21
74 LS 175	2	U 20, U 26
74 LS 244	1	U 24
74 LS 374	2	U 3 - 4
74 LS 393	2	U 16 - 17

Sonder IC's	Anzahl:	Bauteilname:
-----	-----	-----
uPD 2114 LC - 3	2	U 2, U 5
EPROM 2732 (350)	1	U 6

Aktive Bauteile: GENIE IIs - VIDEO Karte

Rangordnung

=====

Bauteilname:

Bezeichnung:

T 1

Transistor, BC 107

Bauteilname:

Bezeichnung:

U 1

TTL, 74 S 04

U 3 - 4

TTL, 74 LS 374

U 7

TTL, 74 LS 74

U 8

TTL, 74 157

U 9 - 12

TTL, 74 LS 157

U 13

TTL, 74 LS 37

U 14

TTL, 74 LS 92

U 15

TTL, 74 LS 11

U 16 - 17

TTL, 74 LS 393, nicht Texas Ins.

U 18

TTL, 74 LS 74

U 19

TTL, 74 LS 32

U 20

TTL, 74 LS 175

U 21

TTL, 74 LS 174

U 22

TTL, 74 LS 166

U 23

TTL, 74 LS 20

U 24

TTL, 74 LS 244

U 25

TTL, 74 LS 32

U 26

TTL, 74 LS 175

Bauteilname:

Bezeichnung:

U 2

uPD 2114 LC - 3

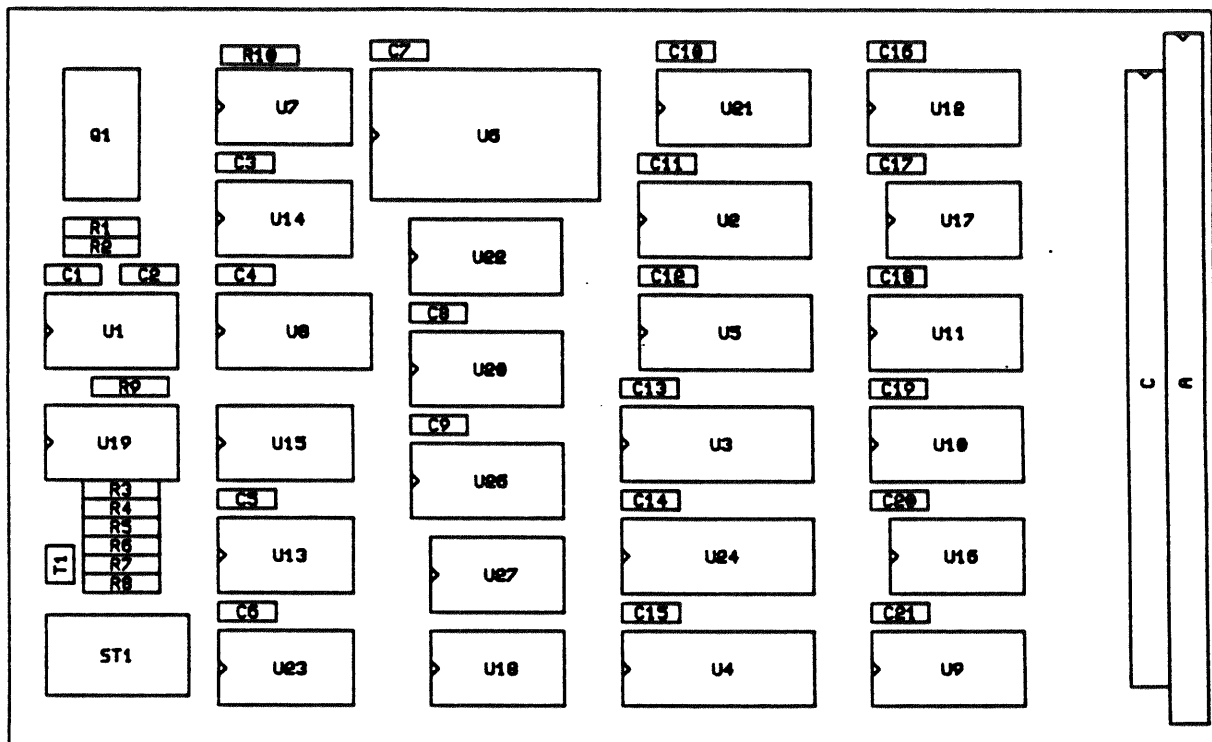
U 5

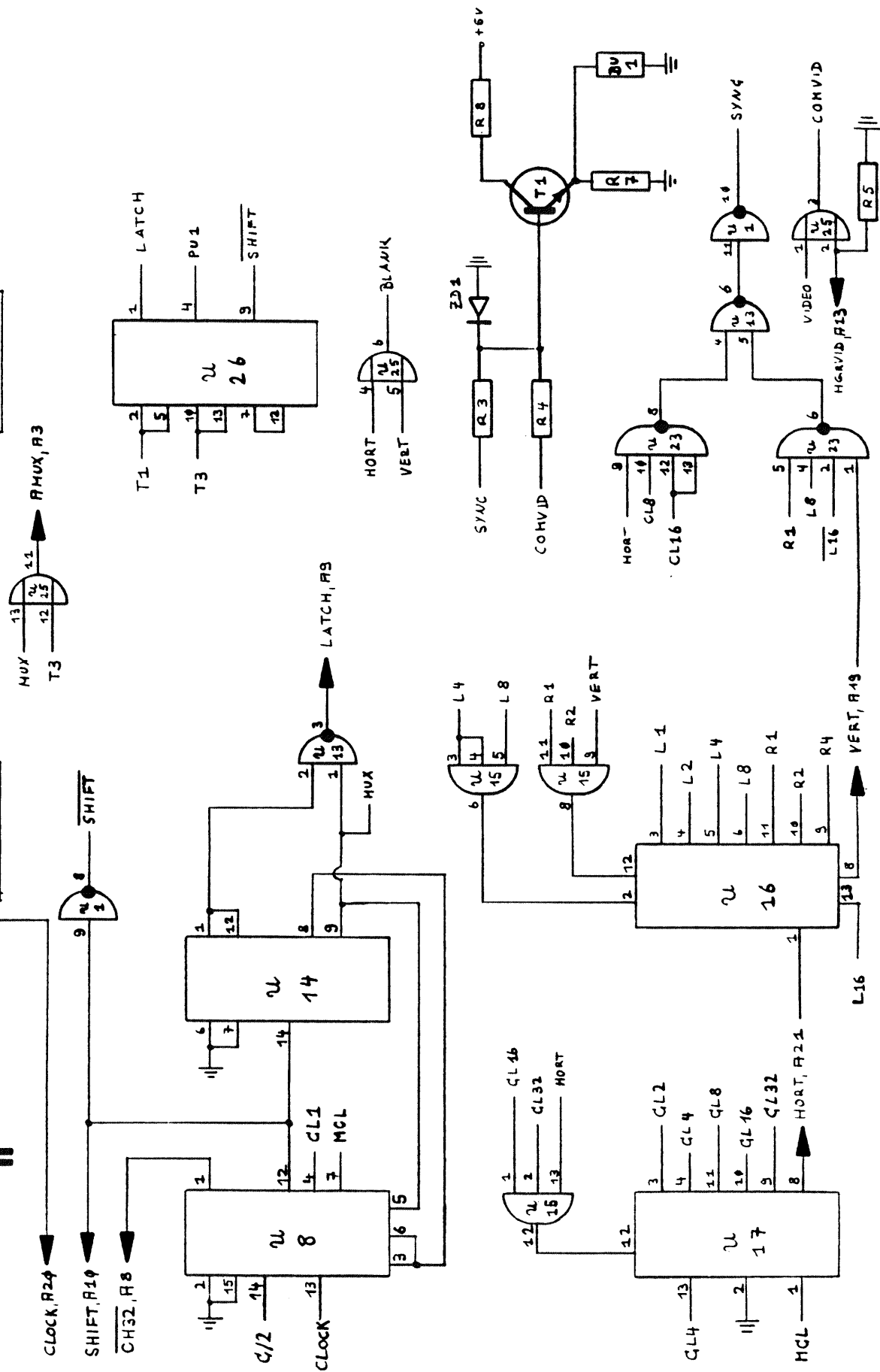
uPD 2114 LC - 3

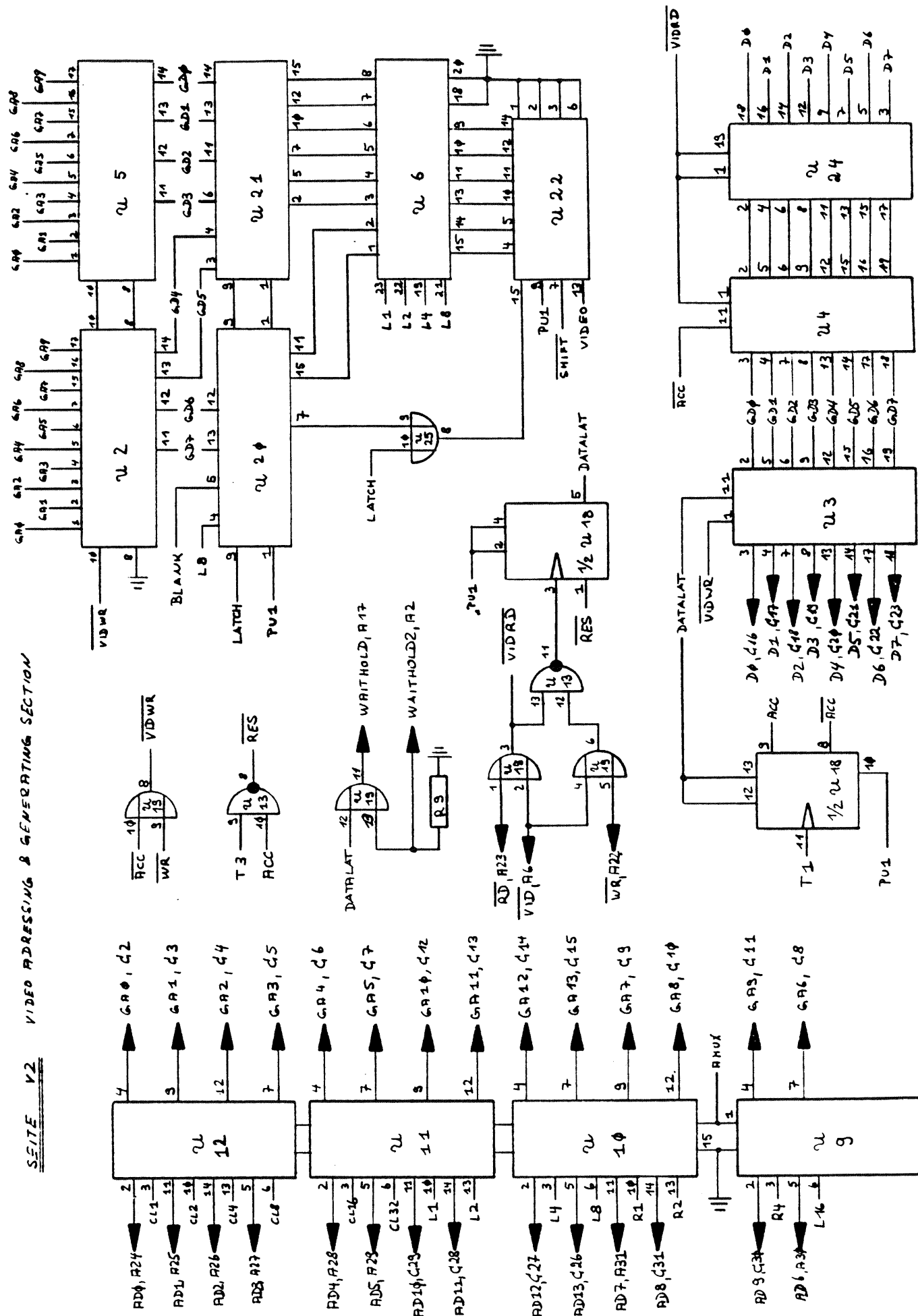
U 6

EPROM 2732 (350)

Bestückungsplan: VIDEO 1.2
 =====







Passive Bauteile: GENIE IIs -- GRAFIK Karte
=====

Wertordnung

Widerstände: -----	Anzahl: -----	Bauteilname: -----
33 Ohm	10	R 1 - 2, R 4 - 11
1 kOhm	1	R 3
Kondensatoren: -----	Anzahl: -----	Bauteilname: -----
100 nF	25	C 1 - 16, C 19 - 27
10 uF	2	C 17 - 18
Steckerleisten: -----	Anzahl: -----	Bauteilname: -----
VG, 64 pol. a+c	1	VG 1, A C

Passive Bauteile: GENIE IIs - GRAFIK Karte
=====

Rangordnung

Bauteilname:

Widerstand:

R 1 - 2
R 3
R 4 - 11

33 Ohm
1 kOhm
33 Ohm

Bauteilname:

Kapazität:

C 1 - 16
C 17 - 18
C 19 - 27

100 nF
10 uF
100 nF

Bauteilname:

Bezeichnung:

VG 1, A C

Steckerleiste, VG, 64 pol. a+c

Aktive Bauteile: GENIE IIs - GRAFIK Karte
 =====

Wertordnung

TTL Baustein:	Anzahl:	Bauteilname:
-----	-----	-----
74 LS 00	1	U 10
74 LS 04	1	U 1
74 LS 08	1	U 8
74 LS 32	2	U 11, U 13
74 LS 74	2	U 2, U 12
74 LS 157	2	U 15 - 16
74 S 157	1	U 14
74 LS 166	1	U 7
74 LS 174	1	U 6
74 LS 175	1	U 9
74 LS 244	1	U 4
74 LS 374	2	U 3, U 5

Sonder IC's	Anzahl:	Bauteilname:
-----	-----	-----
NEC D 416 C - 3	8	M 1 - 8

Aktive Bauteile: GENIE IIs - GRAFIK Karte
 =====

Rangordnung

Bauteilname:

Bezeichnung:

U 1
 U 2
 U 3
 U 4
 U 5
 U 6
 U 7
 U 8
 U 9
 U 10
 U 11
 U 12
 U 13
 U 14
 U 15 - 16

TTL, 74 LS 04
 TTL, 74 LS 74
 TTL, 74 LS 374
 TTL, 74 LS 244
 TTL, 74 LS 374
 TTL, 74 LS 174
 TTL, 74 LS 166
 TTL, 74 LS 08
 TTL, 74 LS 175
 TTL, 74 LS 00
 TTL, 74 LS 32
 TTL, 74 LS 74
 TTL, 74 LS 32
 TTL, 74 S 157
 TTL, 74 LS 157

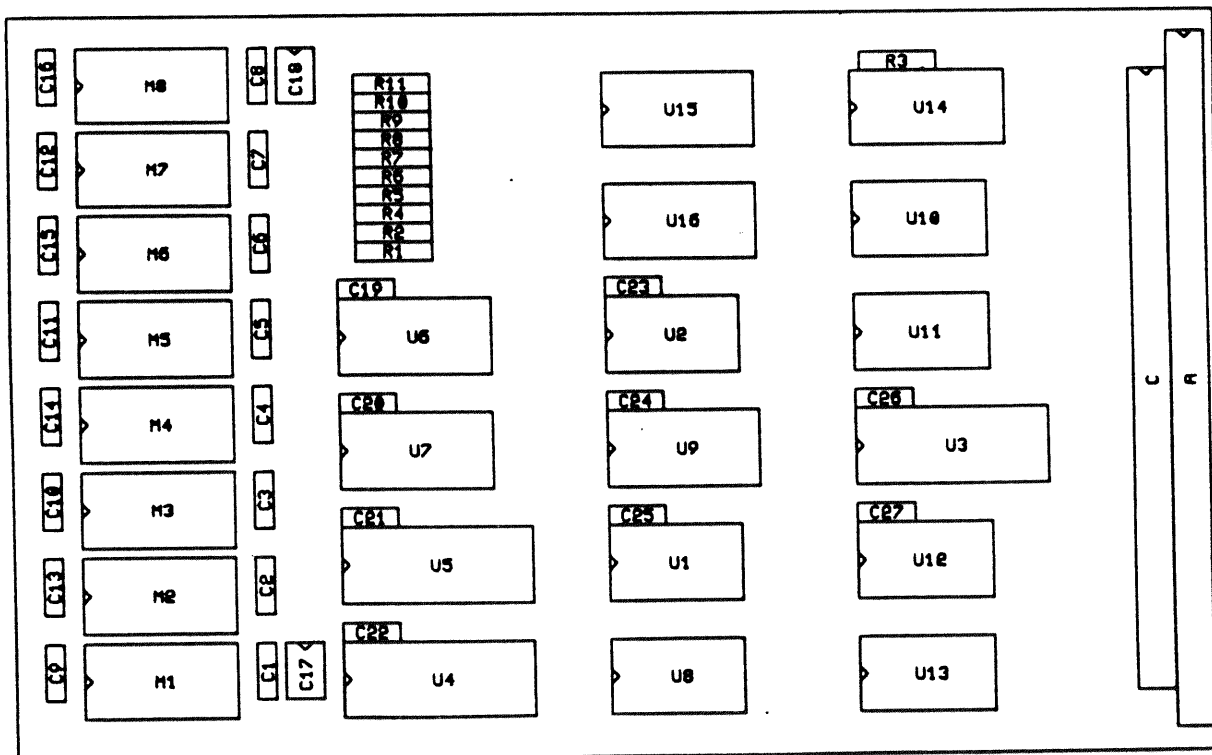
Bauteilname:

Bezeichnung:

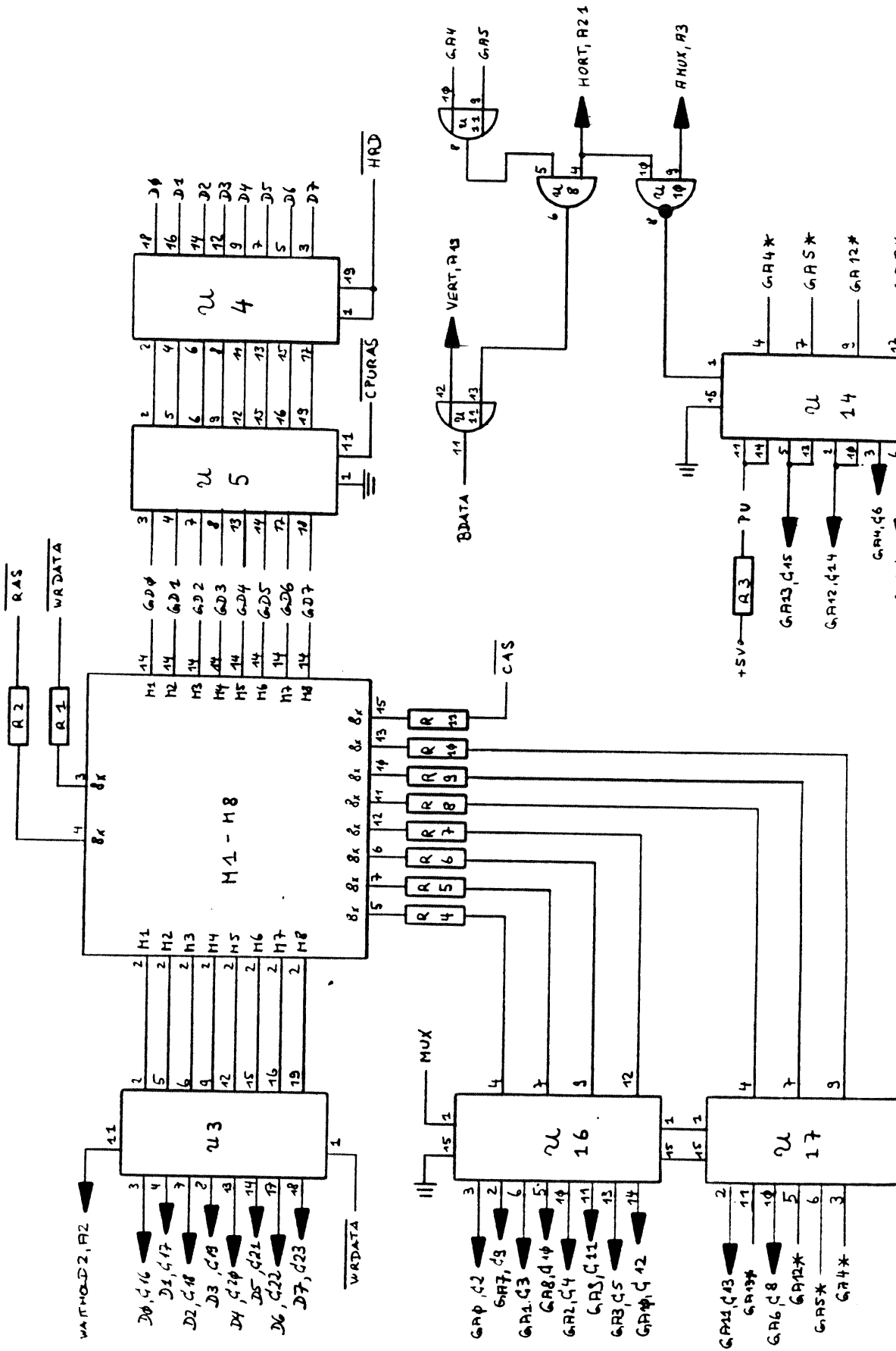
M 1 - 8

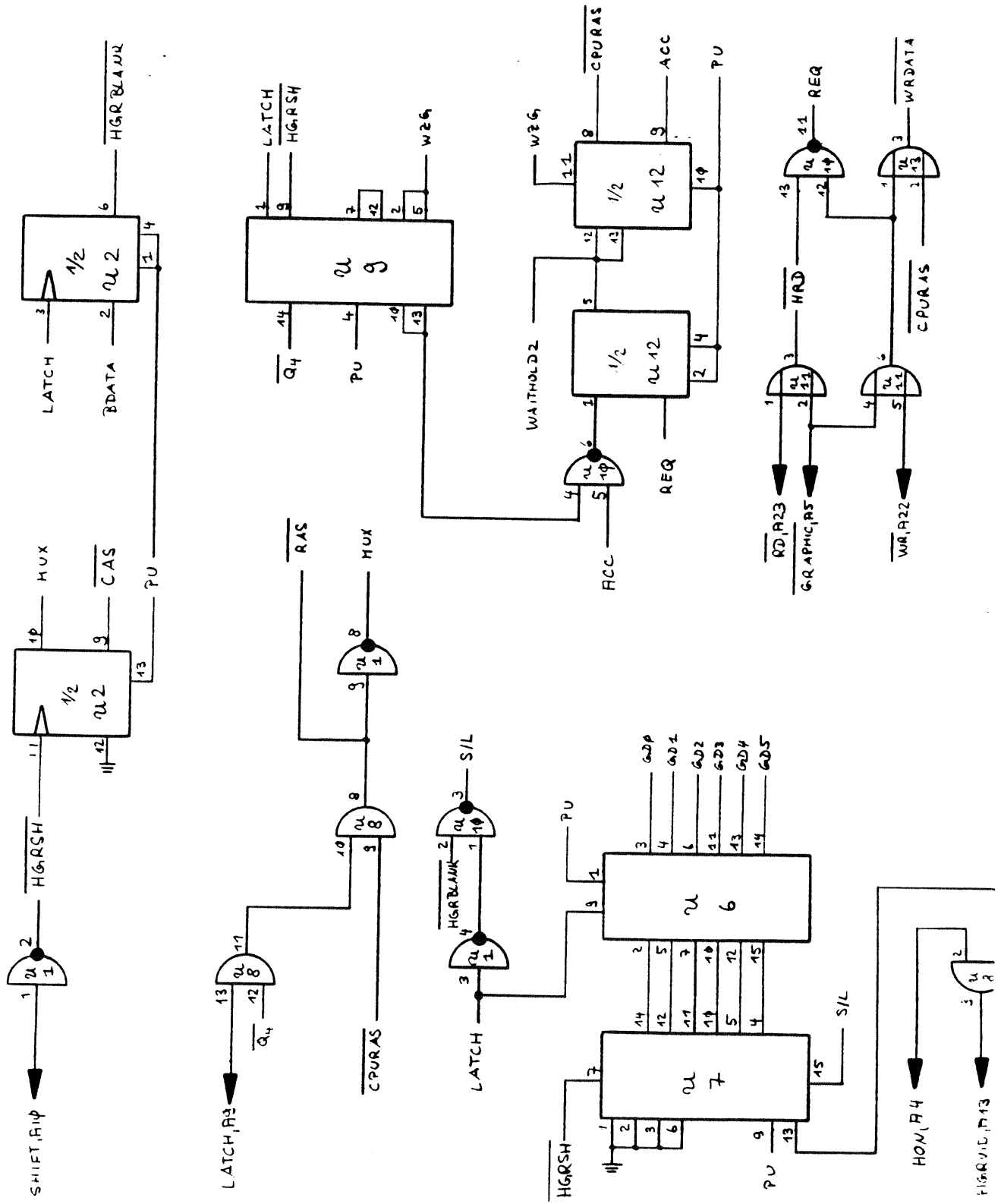
NEC D 416 C - 3

Bestückungsplan: GRAPHIC 1.5
 =====



Memory & Address Section





Beschreibung: GENIE IIs - FLOPPY Karte
=====

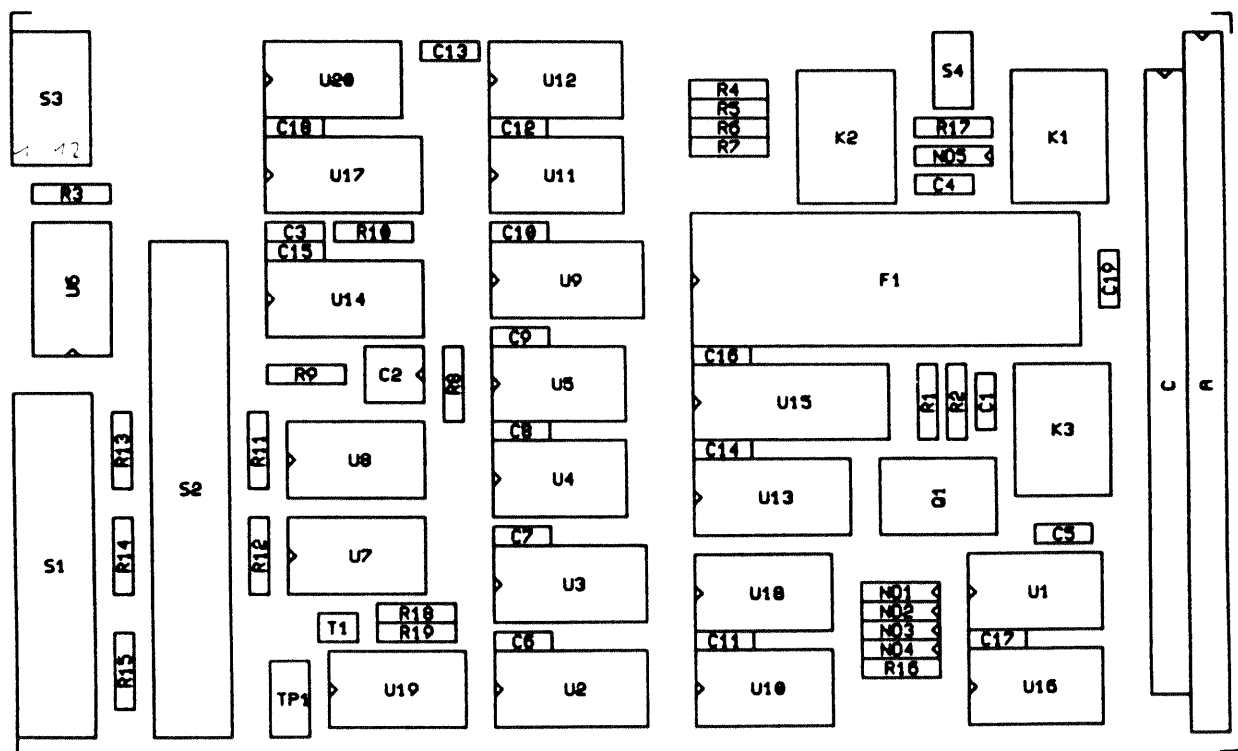
Allgemeines:

Der neue Floppy-Kontrolller FLOPPY DS/DD arbeitet mit dem SIEMENS Kontroller SAB 2791 und ist damit in der Lage alle auf dem Markt befindlichen Laufwerke zu bedienen.

Hinweis:

Mini-Disketten Laufwerke, die das 8"-Format simulieren (z. B.: TEAC FD-55 G) müssen am Stecker S2 angeschlossen werden.

Bestückungsplan: FLOPPY DS/DD



Passive Bauteile: GENIE IIs - FLOPPY Karte

Wertordnung

Widerstände:	Anzahl:	Bauteilname:
330 Ohm	6	R 1, R 11 - 15
470 Ohm	2	R 16, R 18
1 kOhm	3	R 8, R 10, R 17
1.5 kOhm	1	R 2
4.7 kOhm	1	R 3
10 kOhm	4	R 4 - 7
20 kOhm	1	R 19
560 kOhm	1	R 9

Poti's:	Anzahl:	Bauteilname:
50 kOhm	2	K 2 - 3

Kondensatoren:	Anzahl:	Bauteilname:
1 nF	2	C 1, C 3
100 nF	16	C 4 - 19
10 uF	1	C 2

Trimmer:	Anzahl:	Bauteilname:
10 - 60 pF	1	K 1

Dioden:	Anzahl:	Bauteilname:
1 N 4148	5	ND 1 - 5

Quarze:	Anzahl:	Bauteilname:
4.0 MHz	1	Q 1

Steckerleisten:	Anzahl:	Bauteilname:
2 polig	1	S 4
12 polig	1	S 3
34 polig	1	S 1
50 polig	1	S 2
VG, 64 pol. a+c	1	VG 1, A C

Kodierstecker:	Anzahl:	Bauteilname:
2.54 mm	3	KD 1 - 3

Passive Bauteile: GENIE IIs - FLOPPY Karte

Rangordnung

=====

Bauteilname:

R 1
R 2
R 3
R 4 - 7
R 8
R 9
R 10
R 11 - 15
R 16
R 17
R 18
R 19

Widerstand:

330 Ohm
1.5 kOhm
4.7 kOhm
10 kOhm
1 kOhm
560 kOhm
1 kOhm
330 Ohm
470 Ohm
1 kOhm
470 Ohm
20 kOhm

Bauteilname:

K 2 - 3

Widerstand:

50 kOhm Poti, liegend

Bauteilname:

C 1
C 2
C 3
C 4 - 19

Kapazität:

1 nF
10 uF
1 nF
100 nF

Bauteilname:

K 1

Kapazität:

10 - 60 pF, Trimmer

Bauteilname:

ND 1 - 5

Bezeichnung:

Diode, 1 N 4148

Bauteilname:

Q 1

Bezeichnung:

Quarz, 4.0 MHz

Bauteilname:

S 1
S 2
S 3
S 4
VG 1, A C

Bezeichnung:

Steckerleiste, 34 polig
Steckerleiste, 50 polig
Steckerleiste, 12 polig
Steckerleiste, 2 polig
Steckerleiste, VG, 64 pol. a+c

Bauteilname:

KD 1 - 3

Bezeichnung:

Kodierstecker, 2.54 mm

Aktive Bauteile: GENIE IIs - FLOPPY Karte

Wertordnung

=====

Transistoren:	Anzahl:	Bauteilname:
-----	-----	-----

BC 107	1	T 1
--------	---	-----

TTL Baustein:	Anzahl:	Bauteilname:
-----	-----	-----

74 S 04	1	U 1
74 16	1	U 6
74 LS 20	2	U 10, U 16
74 LS 32	1	U 11
74 LS 38	2	U 7 - 8
74 LS 74	3	U 5, U 12, U 20
74 LS 90	1	U 4
74 LS 123	1	U 14
74 LS 125	2	U 18 - 19
74 LS 138	1	U 9
74 LS 139	1	U 17
74 LS 174	1	U 13
74 LS 390	2	U 2 - 3
74 LS 640	1	U 15

Sonder IC's	Anzahl:	Bauteilname:
-----	-----	-----

SAB 2791 - P	1	F 1
--------------	---	-----

Aktive Bauteile: GENIE IIs - FLOPPY Karte

Rangordnung

=====

Bauteilname:

Bezeichnung:

T 1

Transistor, BC 107

Bauteilname:

Bezeichnung:

U 1

TTL, 74 S 04

U 2 - 3

TTL, 74 LS 390

U 4

TTL, 74 LS 90

U 5

TTL, 74 LS 74

U 6

TTL, 74 16, auch 74 05/06

U 7 - 8

TTL, 74 LS 38

U 9

TTL, 74 LS 138

U 10

TTL, 74 LS 20

U 11

TTL, 74 LS 32

U 12

TTL, 74 LS 74

U 13

TTL, 74 LS 174

U 14

TTL, 74 LS 123

U 15

TTL, 74 LS 640

U 16

TTL, 74 LS 20

U 17

TTL, 74 LS 139

U 18 - 19

TTL, 74 LS 125

U 20

TTL, 74 LS 74

Bauteilname:

Bezeichnung:

F 1

SAB 2791 - P

Stecker: S 1

GENIE IIs - FLOPPY Karte

Dieser Steckverbinder dient zum Anschluß von bis zu vier 5 1/4" Floppy-Disk Laufwerken. (Siehe dazu auch S 3, Seite 4)

Die Pinbelegung ist Shugart kompatibel.

2 6 34
.....
+.....
1 5 33

Die Position des Steckers entnehmen Sie bitte dem Lageplan.

Pin:	Belegung:	Pin:	Belegung:
----	-----	----	-----
1	Masse	2	nicht belegt
3	Masse	4	nicht belegt
5	Masse	6	Drive Select 3 (5 1/4")
7	Masse	8	Index Pulse
9	Masse	10	Drive Select 0 (5 1/4")
11	Masse	12	Drive Select 1 (5 1/4")
13	Masse	14	Drive Select 2 (5 1/4")
15	Masse	16	Motor On
17	Masse	18	Direction
19	Masse	20	Step
21	Masse	22	Write Data
23	Masse	24	Write Gate
25	Masse	26	Track 00
27	Masse	28	Write Protect
29	Masse	30	Read Data
31	Masse	32	Side Select (5", 8")
33	Masse	34	nicht belegt

Erklärungen zu den einzelnen Signalen entnehmen Sie bitte dem technischen Manual Ihrer Diskettenlaufwerke.

Sie können jedes 5 1/4" Laufwerk von Single-Sided, Single-Density bis Double-Sided, Double-Density anschließen.

Stecker: S 2

GENIE II's - FLOPPY Karte

Dieser Steckverbinder dient zum Anschluß von bis zu vier 8" Floppy-Disk Laufwerken. (Siehe dazu auch S 3, Seite 4)

Die Pinbelegung ist Shugart kompatibel.

2 6 50
.....
+.....
1 5 49

Die Position des Steckers entnehmen Sie bitte dem Lageplan.

Pin: Belegung:

1	Masse
3	Masse
5	Masse
7	Masse
9	Masse
11	Masse
13	Masse
15	Masse
17	Masse
19	Masse
21	Masse
23	Masse
25	Masse
27	Masse
29	Masse
31	Masse
33	Masse
35	Masse
37	Masse
39	Masse
41	Masse
43	Masse
45	Masse
47	Masse
49	Masse

Pin: Belegung:

2	nicht belegt
4	nicht belegt
6	nicht belegt
8	nicht belegt
10	nicht belegt
12	nicht belegt
14	Side Select (5", 8")
16	nicht belegt
18	Motor On, Head Load
20	Index Pulse
22	nicht belegt
24	nicht belegt
26	Drive Select 0 (8")
28	Drive Select 1 (8")
30	Drive Select 2 (8")
32	Drive Select 3 (8")
34	Direction
36	Step
38	Write Data
40	Write Gate
42	Track 00
44	Write Protect
46	Read Data
48	nicht belegt
50	nicht belegt

Erklärungen zu den einzelnen Signalen entnehmen Sie bitte dem technischen Manual Ihrer Diskettenlaufwerke.

Sie können jedes 8" Laufwerk von Single-Sided, Single-Density bis Double-Sided, Double-Density anschließen.

Stecker: S 3

GENIE II_s - FLOPPY Karte

Dieser Steckverbinder dient in Verbindung mit Kodiersteckern zum Einstellen von POWER ON bzw. RESET Parametern.

12 7
.....
+.....
1 6

Die Position des Steckers entnehmen Sie bitte dem Lageplan.

Pin: Belegung:

1	Set Single Den.
2	Set Double Den.
3	Set 8" Drives
4	Set 5" Drives
5	Drive Sel. 3
6	Drive Sel. 4

Pin: Belegung:

12	System Reset
11	System Reset
10	System Reset
9	System Reset
8	Side Select
7	Side Select

In der Grundeinstellung werden die Pin's 1 und 12, 4 und 9 sowie 5 und 8 über Kodierstecker kurzgeschlossen.

Damit stellt sich das System beim Einschalten oder bei einem RESET wie folgt ein:

1. Der Floppy-Kontrolller wird auf Single-Density Format gesetzt
2. Der Stecker S 1 für 5 1/4" Laufwerke wird aktiv
3. Für den Side-Select wird BIT 3 des Select-Ports aktiv

Änderungen:

Soll das System in Double-Density booten, Pin 1 und 12 öffnen und Pin 2 und 11 kurzschließen.

Soll das System mit 8" Laufwerken über Stecker S 2 booten, Pin 4 und 9 öffnen und Pin 3 und 10 kurzschließen.

Soll für den Side-Select BIT 4 des Select-Ports aktiv werden, Pin 5 und 8 öffnen und Pin 6 und 7 kurzschließen.

Warnung:

=====

Alle anderen Einstellungen, außer eine Kombination der oben genannten, führen zu nicht vorhersehbaren Fehlfunktionen des Systems.

Stecker: S 4

Dieser Steckverbinder ist für Einstellarbeiten am Floppy-Kontrolller erforderlich und darf nicht kurzgeschlossen werden

Der Port F9, 249 ist in Verbindung mit der Karte FLOPPY DS/DD verfügbar. Der Port kann gelesen und geschrieben werden, wobei nur die BIT's 2 und 3 von Bedeutung sind.

1. Über den Port F9, 249 können die Interruptanforderungen der einzelnen Baugruppen umgeleitet bzw. unterbunden werden. Dabei gelten folgende Zustände:

a. BIT 3 : BIT 2 : Baugruppe, die den Interrupt anfordert

```

-----
0   :   0   : System Interrupt, alle 25 ms
0   :   1   : Floppy-Kontroller
1   :   0   : Externe Baugruppen vom BUS
1   :   1   : Z-80-B SIO/O, Z-80-B PIO

```

Die Anforderung wirkt auf den Z-80-B INT Eingang und ist damit maskierbar (EI, DI).

Für alle Einstellungen muß Interrupt Mode 1 gewählt werden.

Einstellen des Kontrollers

```

               12   7               12   7
               +..++.               .++.+.
1. Stecker S3 von +..++. (5"SD) auf .++.+. ändern (8"DD).
                   1   6                   1   6

```

2. Laufwerke abklemmen.
3. System bei gedrückter Taste P2 einschalten.
4. S4 kurzschließen.
5. Impulse an Testpunkt über Poti K2 auf 150 ns einstellen (bei 8" Double Density gegebenenfalls zwischen 100 und 200 ns, je nach Laufwerkstyp).
6. Impulse an Testpunkt unter Poti K3 auf 250 ns einstellen.
7. Zykluszeit an Testpunkt über Trimmer K1 auf 2 us einstellen.
8. S4 öffnen und an S3 gewünschte Kombination einstellen.
9. System ausschalten, Laufwerke anschließen und Funktionen durchtesten (COPY :0 :X,,CBF,FMT; X ist Ziellaufwerk). Bei Fehlfunktionen Einstellung wiederholen.

Hinweis:
=====

Beim Betrieb von 8" DD Laufwerken müssen im DOS folgende Änderungen angebracht werden

```

SYS6/SYS,27,BD ändern E6 41 DD
                   auf E6 C1 DD

```

```

SYS6/SYS,31,F5 ändern 34 0A 26 0A 86 01 9C 27 44 00
                   auf 13 0A 14 0A 53 01 BA 27 26 00

```

```

SYS16/SYS,4,2D ändern 12 1A 24 34 82
                   auf 12 1E 24 3C 82

```

Beschreibung: BUS II S**VIDEO-Slot's**

=====

Über den BUS-Stecker VG1 - VG2 werden die VIDEO- und GRAFIK-Karte angesteuert.

Für die BUS-Belegung der VG-Leisten VG1 - VG2 ergibt sich, von oben gesehen, folgendes Bild:

Reihe A			Reihe C		
=====			=====		
PIN		Belegung	PIN		Belegung
1		+ 12 Volt	1		Masse
2	(R)	WAITHOLD2	2		GA00
3		AMUX	3		GA01
4		HON	4		GA02
5		GRAPHIC	5		GA03
6		VIDEO	6		GA04
7		ENABLE	7		GA05
8		32CH	8		GA06
9		LATCH	9		GA07
10		SHIFT	10		GA08
11	(T) (Z)	RFSH	11		GA09
12	(T) (Z)	CLOCK	12		GA10
13	(R)	HGRVID	13		GA11
14		SYSRES	14		GA12
15	(T) (Z)	MREQ	15		GA13
16	(T) (Z)	OUT	16	(T) (Z)	D0
17	(R)	WAITHOLD	17	(T) (Z)	D1
18	(Z)	WAIT	18	(T) (Z)	D2
19		VERT	19	(T) (Z)	D3
20		10M	20	(T) (Z)	D4
21		HORT	21	(T) (Z)	D5
22	(T) (Z)	WR	22	(T) (Z)	D6
23	(T) (Z)	RD	23	(T) (Z)	D7
24	(T) (Z)	A0	24	(T) (Z)	A15
25	(T) (Z)	A1	25	(T) (Z)	A14
26	(T) (Z)	A2	26	(T) (Z)	A13
27	(T) (Z)	A3	27	(T) (Z)	A12
28	(T) (Z)	A4	28	(T) (Z)	A11
29	(T) (Z)	A5	29	(T) (Z)	A10
30	(T) (Z)	A6	30	(T) (Z)	A9
31	(T) (Z)	A7	31	(T) (Z)	A8
32		- 5 Volt	32		+ 5 Volt

Achtung:

=====

Alle mit (Z) gekennzeichneten PIN's sind Z-80 oder nach ZILOG Spezifikationen abgeleitete Signale (Output: TTL-Pegel, Input: je nach Type).

Alle mit (T) gekennzeichneten PIN's können mittels des Signals ENABLE in den TRI-State Bereich gebracht werden.

Alle mit (R) gekennzeichneten PIN's sind reserviert und sollten nicht benutzt werden.

In den Slots VG1 - VG2 müssen die VIDEO- und GRAFIK-Karte stecken. Diese beiden Karten werden in den Slots VG3 - VG10 zerstört !!!

An den unten aufgeführten PIN's steht Ihnen die jeweils angegebene Spannung zur Verfügung. Die Ausgänge des Netzteils sind kurzschlußfest.

PIN A 1 => + 12 Volt, 1.0 Amp.
PIN C32 => + 5 Volt, 4.0 Amp.
PIN A32 => - 5 Volt, 0.1 Amp.

PIN C 1 => gemeinsame Masse

Für alle anderen PIN's gilt => Output: TTL-Pegel
Input : je nach Type

Die PIN's im einzelnen:

Reihe A:

-
- PIN 2 : Output. Diese Leitung zeigt dem Wait-Zyklen-Generator (WZG) durch High-Pegel an, daß die Karte GRAPHIC für einen Datenaustausch noch nicht bereit ist.
- PIN 3 : Output. Nimmt diese Leitung Low-Pegel an, so liegen an Reihe C, Pin 2 bis 15 die CPU-Adressen A0 bis A13, bei High Pegel die Bildwiederholadressen GA00 bis GA13.
- PIN 4 : Output: Dieser Pin zeigt dem BIT-IMAGE-Mischer der Karte VIDEO durch High-Pegel an, daß das über Reihe a, Pin 13 anliegende Signal mit der Video-information gemischt werden soll.
Der Pegel ist direkt mit System-Byte 0, BIT 1 gekoppelt.
- PIN 5 : Output. Ist System-Byte 0, BIT 7 auf Low und BIT 3 auf High, nimmt diese Leitung im Adressbereich 0000 - 3FFF 00000 - 16383 Low-Pegel an.
- PIN 6 : Output. Ist System-Byte 0, BIT 3 auf Low und BIT 0 auf Low, nimmt diese Leitung im Adressbereich 3C00 - 3FFF, 15360 - 16383 Low-Pegel an.
- PIN 7 : Input. Mittels dieser Leitung können Zusatzbaugruppen (ZBG) alle mit (T) gekennzeichneten PIN's in den TRI-State Bereich bringen, und somit den externen Daten- und Adress-BUS übernehmen.
Auf den ZBG sollte diese Leitung als Open-Collector ausgelegt sein, damit mehrere ZBG eine Anforderung stellen können.
- PIN 8 : Output. Diese Leitung zeigt der Karte VIDEO den Zustand von Port FF, 255 BIT 3 in negierter Form an.
- PIN 9 : Output. Dieser Pin gibt durch Low-Pegel das HGR-Schieberegister der Karte GRAPHIC zur neuen Datenübernahme aus dem HGR-Wiederholpeicher frei.
- PIN 10 : Output. An diesem Pin steht die Video-Taktrate zur Verfügung.
Reihe a, Pin 8 = Low => 5.35 MHz
Reihe a, Pin 8 = High => 10.70 MHz

- PIN 11 : Output. Geht RFSH zusammen mit MREQ auf Low, können die unteren 7 BIT des Adressbusses als Refresh-Adresse für dynamische RAM's benutzt werden.
- PIN 12 : Output. An diesem Pin stellt das System den momentanen CPU Takt zur Verfügung.
- PIN 13 : Output. Über diese Leitung stellt die Karte GRAPHIC dem BIT-IMAGE-Mischer ihre Grafikinformation bereit. Siehe auch Reihe a, Pin 4
- PIN 14 : Output. Diese Leitung geht immer dann auf Low-Pegel, wenn beide RESET-Tasten auf dem Keyboard gedrückt werden oder die CPU einen HALT-Befehl ausführt. Beim Einschalten des Systems bleibt die Leitung für ca. 1 Sekunde auf Low und nimmt dann automatisch High-Pegel an.
- PIN 15 : Output. Dieser Pin zeigt durch Low-Pegel an, daß auf dem Adressbus eine gültige Adresse für Schreib- oder Lese-Zyklen anliegt.
- PIN 16 : Output. Diese Leitung zeigt durch Low-Pegel an, daß IOREQ und WR der CPU auf Low liegen (Port-Write).
- PIN 17 : Output. Diese Leitung zeigt dem WZG durch High-Pegel an, daß entweder die Karte GRAPHIC oder VIDEO für einen Datenaustausch noch nicht bereit ist.
- PIN 18 : Input. Ein Low-Pegel an dieser Leitung zeigt der CPU an, daß der adressierte Speicher- oder I/O Bereich für einen Datentransfer noch nicht bereit ist. Die CPU fügt solange WAIT-Zyklen ein, bis die Leitung wieder einen High-Pegel annimmt. Die Leitung sollte als Open-Collector ausgelegt sein.
- Achtung:
=====
- Wird die Leitung zu lange auf Low gesetzt, kann es zu Datenverlust im Hauptspeicher kommen, da die CPU während dieser Zeit keinen Refresh ausführt.
- PIN 19 : Output. An diesem Pin liegt das Vertikal-Anfangssignal der Karte VIDEO (nicht Vertikal-SYNC !).
- PIN 20 : Output. An dieser Leitung kann das Videotaktsignal mit konstant 10.70 MHz abgegriffen werden.
- PIN 21 : Output. An diesem Pin liegt das Horizontal-Anfangssignal der Karte VIDEO (nicht Horizontal-SYNC !).
- PIN 22 : Output. Diese Leitung zeigt durch Low-Pegel an, daß MREQ und WR der CPU auf Low liegen (Memory-WRITE).
- PIN 23 : Output. Diese Leitung zeigt durch Low-Pegel an, daß MREQ und RD der CPU auf Low liegen (Memory-READ).

An den PIN's 24 bis 31 liegen die Z-80 Adressen A0 - A7.

Reihe C:

An den PIN's 2 bis 15 liegen je nach Pegel von Reihe a, Pin 3 entweder die CPU Adressen A0 bis A13 oder die Bildwiederholadressen GA00 bis GA13.

An den PIN's 16 bis 23 liegt der Z-80 Datenbus D0 bis D7.

An den PIN's 24 bis 31 liegen die Z-80 Adressen A15 bis A8.

Achtung:

=====

Alle BUS-Signale, die einen TTL-Pegel haben und als Output deklariert sind, können mit durchschnittlich 5 Eingängen belastet werden. Für die mit (T) gekennzeichneten Signale gilt ein Lastfaktor von 40.

An dieser Stelle sei darauf hingewiesen, daß sich die Angaben "Output" bzw. "Input" immer vom System aus gesehen verstehen. Für die ZBG kehren sich die Begriffe damit einfach um.

Beschreibung: BUS II S

GENERAL-Slot's

=====

Über die BUS-Stecker VG3 - VG10 haben Sie die Möglichkeit, das System Ihren Wünschen entsprechend selbst zu erweitern. Darüber hinaus bieten wir Ihnen auch Zusatzkarten aus unserer Fertigung an (Real-Time Clock, PIO/SIO, RAM 192 etc.).

Für die BUS-Belegung der VG-Leisten VG3 - VG10 ergibt sich, von oben gesehen, folgendes Bild:

Reihe A		Reihe C	
=====		=====	
PIN	Belegung	PIN	Belegung
1	+ 12 Volt	1	Masse
2	CPM	2	- 12 Volt
3	ROM	3	HI/LO
4	HON	4	37E0RD
5	GRAPHIC	5	(R) 37E4RD
6	VIDEO	6	37E0RD
7	ENABLE	7	37E0WR
8	32CH	8	(R) 37E4WR
9	(R) CASEN	9	37ECWR
10	(Z) M1	10	FAST
11	(T) (Z) RFSH	11	WRP12K
12	(T) (Z) CLOCK	12	PLUS
13	(T) (Z) IOREQ	13	SLOW
14	SYSRES	14	NMI
15	(T) (Z) MREQ	15	(R) WAITREQ
16	(T) (Z) OUT	16	(T) (Z) D0
17	(R) WAITHOLD	17	(T) (Z) D1
18	(Z) WAIT	18	(T) (Z) D2
19	(Z) INT	19	(T) (Z) D3
20	10M	20	(T) (Z) D4
21	(T) (Z) IN	21	(T) (Z) D5
22	(T) (Z) WR	22	(T) (Z) D6
23	(T) (Z) RD	23	(T) (Z) D7
24	(T) (Z) A0	24	(T) (Z) A15
25	(T) (Z) A1	25	(T) (Z) A14
26	(T) (Z) A2	26	(T) (Z) A13
27	(T) (Z) A3	27	(T) (Z) A12
28	(T) (Z) A4	28	(T) (Z) A11
29	(T) (Z) A5	29	(T) (Z) A10
30	(T) (Z) A6	30	(T) (Z) A9
31	(T) (Z) A7	31	(T) (Z) A8
32	- 5 Volt	32	+ 5 Volt

Achtung:

=====

Alle mit (Z) gekennzeichneten PIN's sind Z-80 oder nach ZILOG Spezifikationen abgeleitete Signale (Output: TTL-Pegel, Input: je nach Type).

Alle mit (T) gekennzeichneten PIN's können mittels des Signals ENABLE in den TRI-State Bereich gebracht werden.

Alle mit (R) gekennzeichneten PIN's sind reserviert und sollten nicht benutzt werden.

In den Slots VG1 - VG2 müssen die VIDEO- und GRAFIK-Karte stecken. Diese beiden Karten werden in den Slots VG3 - VG10 zerstört !!!

An den unten aufgeführten PIN's steht Ihnen die jeweils angegebene Spannung zur Verfügung. Die Ausgänge des Netzteils sind kurzschlußfest.

PIN A 1 => + 12 Volt, 1.0 Amp.
PIN C 2 => - 12 Volt, 0.1 Amp.
PIN C32 => + 5 Volt, 4.0 Amp.
PIN A32 => - 5 Volt, 0.1 Amp.

PIN C 1 => gemeinsame Masse

Für alle anderen PIN's gilt => Output: TTL-Pegel
Input : je nach Type

Die PIN's im einzelnen:

Reihe A:

PIN 2 : Output. Diese Leitung zeigt den Zusatzbaugruppen (ZBG) den Zustand von System-Byte 0, BIT 0 an.

PIN 3 : Output. Diese Leitung zeigt den ZBG den Zustand von System-Byte 0, BIT 2 an.

PIN 4 : Output: Dieser Pin zeigt dem BIT-IMAGE-Mischer der Karte VIDEO durch High-Pegel an, daß das über Reihe a, Pin 13 anliegende Signal mit der Videoinformation gemischt werden soll.
Der Pegel ist direkt mit System-Byte 0, BIT 1 gekoppelt.

PIN 5 : Output. Ist System-Byte 0, BIT 7 auf Low und BIT 3 auf High, nimmt diese Leitung im Adressbereich 0000 - 3FFF 00000 - 16383 Low-Pegel an.

PIN 6 : Output. Ist System-Byte 0, BIT 3 auf Low und BIT 0 auf Low, nimmt diese Leitung im Adressbereich 3C00 - 3FFF, 15360 - 16383 Low-Pegel an.

PIN 7 : Input. Mittels dieser Leitung können Zusatzbaugruppen (ZBG) alle mit (T) gekennzeichneten PIN's in den TRI-State Bereich bringen, und somit den externen Daten- und Adress-BUS übernehmen.
Auf den ZBG sollte diese Leitung als Open-Collector ausgelegt sein, damit mehrere ZBG eine Anforderung stellen können.

PIN 8 : Output. Diese Leitung zeigt der Karte VIDEO den Zustand von Port FF, 255 BIT 3 in negierter Form an.

PIN 9 : Output. Dieser Pin gibt durch High-Pegel den BUS-Datentreiber auf der Karte CPU für externen Datenaustausch frei und sperrt den Hauptspeicher.

PIN 10 : Output. Geht M1 zusammen mit MREQ auf Low, führt die CPU eine Opcode Operation durch. Ist M1 mit IOREQ auf Low, wird ein Interrupt beantwortet.

- PIN 11 : Output. Geht RFSH zusammen mit MREQ auf Low, können die unteren 7 BIT des Adressbusses als Refresh-Adresse für dynamische RAM's benutzt werden.
- PIN 12 : Output. An diesem Pin stellt das System den momentanen CPU Takt zur Verfügung.
- PIN 13 : Output. Wenn IOREQ einen Low-Pegel annimmt, zeigt das System damit an, daß an den unteren 8 BIT des Adressbusses eine gültige I/O Adresse für Schreib- oder Lese Zyklen anliegt. Siehe auch Reihe a, PIN 10.
- PIN 14 : Output. Diese Leitung geht immer dann auf Low-Pegel, wenn beide RESET-Tasten auf dem Keyboard gedrückt werden oder die CPU einen HALT-Befehl ausführt. Beim Einschalten des Systems bleibt die Leitung für ca. 1 Sekunde auf Low und nimmt dann automatisch High-Pegel an.
- PIN 15 : Output. Dieser Pin zeigt durch Low-Pegel an, daß auf dem Adressbus eine gültige Adresse für Schreib- oder Lese-Zyklen anliegt.
- PIN 16 : Output. Diese Leitung zeigt durch Low-Pegel an, daß IOREQ und WR der CPU auf Low liegen (Port-WRITE).
- PIN 17 : Output. Diese Leitung zeigt dem WZG durch High-Pegel an, daß entweder die Karte GRAPHIC oder VIDEO für einen Datenaustausch noch nicht bereit ist.
- PIN 18 : Input. Ein Low-Pegel an dieser Leitung zeigt der CPU an, daß der adressierte Speicher- oder I/O Bereich für einen Datentransfer noch nicht bereit ist. Die CPU fügt solange WAIT-Zyklen ein, bis die Leitung wieder einen High-Pegel annimmt. Die Leitung sollte als Open-Collector ausgelegt sein.

Achtung:

=====

Wird die Leitung zu lange auf Low gesetzt, kann es zu Datenverlust im Hauptspeicher kommen, da die CPU während dieser Zeit keinen Refresh ausführt.

- PIN 19 : Input. Wird diese Leitung auf Low gesetzt, erkennt die CPU nach dem momentanen Befehl einen Interrupt an, wenn das "Interrupt Enable Flip-Flop (IFF)" durch den Z-80 Befehl "EI" freigegeben ist. Dabei wird durch M1 und IOREQ ein sogenannter "Interrupt Acknowledge" angezeigt. Die Leitung sollte auf den ZBG als Open-Collector ausgelegt sein.
- PIN 20 : Output. An dieser Leitung kann das Videotaktsignal mit konstant 10.70 MHz abgegriffen werden.
- PIN 21 : Output. Diese Leitung zeigt durch Low-Pegel an, daß IOREQ und RD der CPU auf Low liegen (Port-READ).
- PIN 22 : Output. Diese Leitung zeigt durch Low-Pegel an, daß MREQ und WR der CPU auf Low liegen (Memory-WRITE).
- PIN 23 : Output. Diese Leitung zeigt durch Low-Pegel an, daß MREQ und RD der CPU auf Low liegen (Memory-READ).

Auf den PIN's 24 bis 31 liegen die Z-80 Adressen A0 bis A7.

Reihe C:

PIN 3 : Output. Dieses Signal zeigt durch Low-Pegel an, daß die CPU mit HIGH-SPEED getaktet wird.

PIN 4 : Output. Durch einen Lesezugriff auf die Speicherstellen 37E0 - 37E3, 14304 - 14307 geht dieser PIN auf Low (siehe *).

PIN 5 : Output. Durch einen Lesezugriff auf die Speicherstellen 37E4 - 37E7, 14308 - 14311 geht dieser PIN auf Low (siehe *). Der PIN ist reserviert.

PIN 6 : Output. Durch einen Lesezugriff auf die Speicherstellen 37EC - 37EF, 14316 - 14319 geht dieser PIN auf Low (siehe *).

PIN 7 : Output. Wie PIN 4, aber Schreibzugriff.

PIN 8 : Output. Wie PIN 5, aber Schreibzugriff.

PIN 9 : Output. Wie PIN 6, aber Schreibzugriff.

PIN 10 : Output. Ein Low-Pegel an diesem PIN schaltet die CPU in den SLOW-SPEED Modus. Diese Leitung folgt im Pegel dem Feuerknopf.

PIN 11 : Output. Ist System-Byte 0, BIT 5 auf High geht diese Leitung auf High, wenn die CPU den Bereich 0000 - 2FFF, 00000 - 12287 adressiert (siehe *).

PIN 12 : Output. Diese Leitung zeigt den ZBG den Pegel von System-Byte 0, BIT 7 in negierter Form an.

PIN 13 : Output. Diese Leitung zeigt den ZBG den Pegel von System-Byte 0, BIT 6 in negierter Form an.

PIN 14 : Input. Wenn diese Leitung auf Low gesetzt wird, erkennt die CPU nach dem momentanen Befehl immer einen Interrupt an. Dabei wird durch M1 und IOREQ ein Interrupt Acknowledge angezeigt. Die Leitung sollte auf den ZBG als Open-Collector ausgelegt sein.

PIN 15 : Über diese Leitung fordern die Memory-Mapped I/O Baugruppen gegebenenfalls einen WAIT-Zyklus an (siehe *).

An den PIN's 16 bis 23 liegt der Z-80 Datenbus D0 bis D7.

An den PIN's 24 bis 31 liegen die Z-80 Adressen A15 bis A8.

* => Die mit * versehenen Angaben gelten nur, wenn im System-Byte 0, BIT 0 und BIT 3 auf Low gesetzt sind.

Bei den VG-Leisten VG7 - VG10 sind auch die B-Reihen bestückt und miteinander verbunden, also z.B.: VG7, PIN 1 mit VG8, PIN 1 mit VG9, PIN 1 mit VG10, PIN 1.

Diese Reihen stehen Ihnen zur freien Verfügung, obwohl wir uns vorbehalten bei Neuentwicklungen die Anschlüsse mit genauen Definitionen zu versehen.

Bauteileliste: BUS II S

=====

Widerstände:	Anzahl:	Bauteilname:
-----	-----	-----

10 kOhm	2	R 1 - 2
---------	---	---------

Kondensatoren	Anzahl:	Bauteilname:
-----	-----	-----

10 uF	2	C 1 - 2
-------	---	---------

Buchsenleisten:	Anzahl:	Bauteilname:
-----	-----	-----

VG, 64 pol. a+c	6	VG 1 - 6
VG, 96 pol. a+b+c	4	VG 7 - 10

Achtung:

=====

Wird der BUS II S mit einer Taktfrequenz von über 6 MHz betrieben, sind erstens die in der Beschreibung des Speed-Up Moduls angegebenen Änderungen auf den System-Karten durchzuführen und zweitens ist das IC U 19 (74 LS 32) auf der Karte VIDEO gegen einen 74 S 32 zu tauschen.

Beschreibung: SIO/PIO 1.0 A für GENIE II S und SpeedMaster 5.3
=====

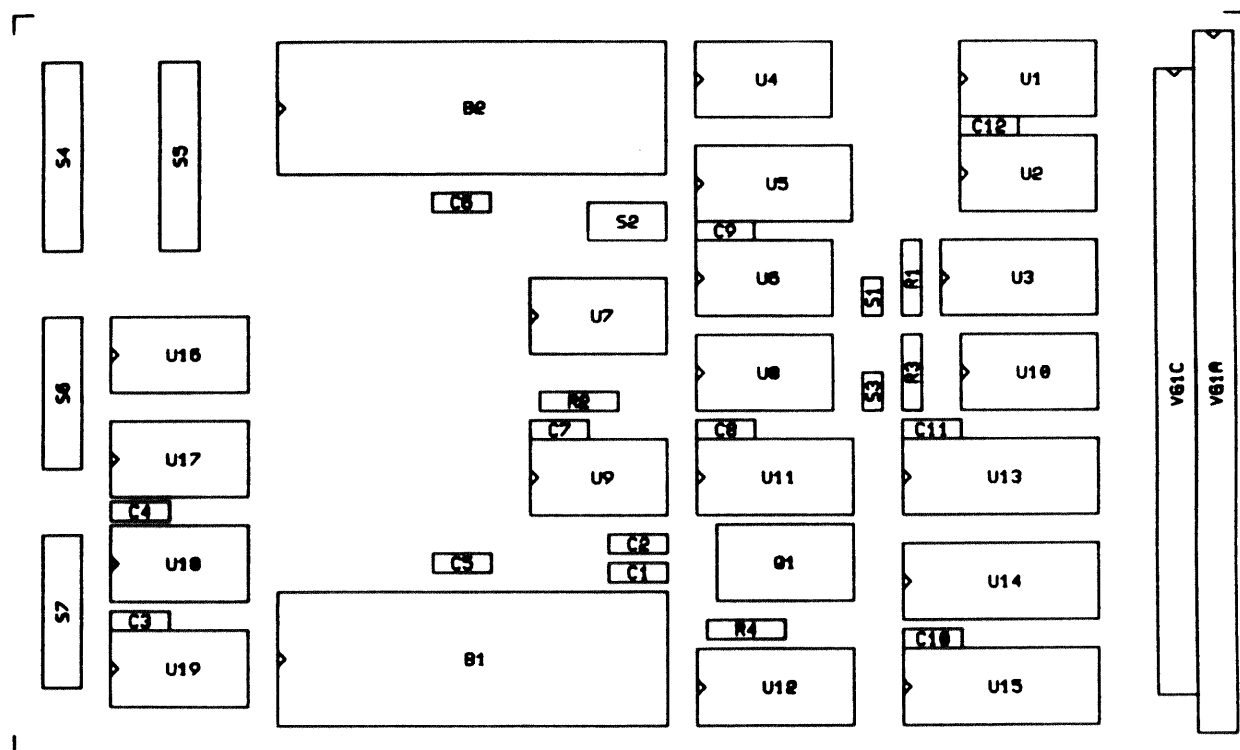
Allgemeines:

Durch die Karten SIO/PIO 1.0 A können die I/O-Möglichkeiten der Systeme GENIE II S und SpeedMaster 5.3 erheblich erweitert werden. Es können bis zu 4 Karten gleichzeitig benutzt werden, wobei jede Karte SIO/PIO 1.0 A zwei serielle Schnittstellen und 16 I/O-Leitungen mit 4 Handshake Signalen zur Verfügung stellt.

Hinweis:

Bei Verwendung von 2, 3 oder 4 Karten SIO/PIO 1.0 A muß auf den Karten 2 - 4 der Kodierstecker von Stecker S3 entfernt werden.

Bestückungsplan: SIO/PIO 1.0 A



Hardwaremodifikation:

=====

Um den Interrupt Mode 0 oder 2 der Z-80-CPU in Verbindung mit der Karte SIO/PIO 1.0 A nutzen zu können, muß die Karte CPU 1.0 modifiziert werden. Dabei gehen Sie bitte wie folgt vor:

1. Ziehen Sie das IC U 13 (74 LS 08) aus der Fassung und biegen Sie die Pins 11, 12 und 13 etwa 90 Grad ab.
2. Verbinden Sie mit einem Stück Fädeldraht (o.Ä.) auf der Lötseite der Karte die Pins 13 und 11 (bei Speed-Up 8.0 bereits durchgeführt).
3. Setzen Sie das IC U 13 wieder in die Fassung ein, wobei auf mögliche Kurzschlüsse zu achten ist.
4. Biegen Sie von IC U 4 (74 LS 245) den Pin 1 wie oben beschrieben ab.
5. Wenn Sie das Speed-Up Modul besitzen, biegen Sie bitte von IC U 10 die Pins 4, 5 und 6 ab. Sonst löten Sie über IC U 10 ein IC des Typs 74 LS 32 (auf Kurzschlüsse achten).
6. Verbinden Sie IC U 1 (Z-80), Pin 27 (M1) mit IC U 10, Pin 4.
7. Verbinden Sie IC U 1 (Z-80), Pin 20 (IO) mit IC U 10, Pin 5.
8. Verbinden Sie IC U 10, Pin 6 mit IC U 13, Pin 13.
9. Verbinden Sie IC U 14 (74 LS 32), Pin 3 mit IC U 13, Pin 12.
10. Verbinden Sie IC U 13, Pin 11 mit IC U 4, Pin 1.

Nachdem Sie die Modifikationen durchgeführt haben, überprüfen Sie die Karte noch einmal auf mögliche Kurzschlüsse und nehmen das System wieder in Betrieb. Sollte nach dem Einschalten nicht sofort die gewohnte Meldung erscheinen, gehen Sie bitte alle Punkte noch einmal durch.

Diese oben beschriebene Änderung bewirkt, daß der Datenbus-treiber U 4 auf der CPU-Karte auch bei einem INTACK (M1 und IOREQ beide Low) in Richtung CPU umschaltet und damit die von der Karte SIO/PIO 1.0 A bereitgestellte Information gelesen werden kann.

Achtung:

=====

1. Der Stecker S1 ist auf der Karte SIO/PIO 1.0 A mit einem Kodierstecker kurzzuschließen, wenn die Änderung durchgeführt ist.
2. Bei Verwendung des Speed-Up Moduls 8.0 muß im Mode 0 oder 2 bei eingeschalteten Interrupts mit Slow-Speed gearbeitet werden, da die Bausteine SIO-B und PIO-B bei 8 MHz nicht mehr in der Lage sind, den Vektor auf den BUS zu legen bzw. den RETI-Befehl zu dekodieren.

Passive Bauteile: SIO/PIO 1.0 A

=====

Wertordnung

Widerstände:	Anzahl:	Bauteilname:
-----	-----	-----

1 kOhm	1	R 2
10 kOhm	2	R 1, R 3
10 MOhm	1	R 4

Kondensatoren:	Anzahl:	Bauteilname:
-----	-----	-----

56 pF	2	C 1 - 2
100 nF	10	C 3 - 12

Quarze:	Anzahl:	Bauteilname:
-----	-----	-----

2.4576 MHz	1	Q 1
------------	---	-----

Steckerleisten:	Anzahl:	Bauteilname:
-----	-----	-----

2 polig	2	S 1, S 3
8 polig	1	S 2
16 polig	2	S 6 - 7
20 polig	2	S 4 - 5
VG, 64 pol. a+c	1	VG 1, A C

Kodierstecker:	Anzahl:	Bauteilname:
-----	-----	-----

2.54 mm	2	KD 1 - 2
---------	---	----------

=====

Bauteilname:

R 1
R 2
R 3
R 4

Widerstand:

10 kOhm
1 kOhm
10 kOhm
10 MOhm

Bauteilname:

C 1 - 2
C 3 - 12

Kapazität:

56 pF
100 nF

Bauteilname:

Q 1

Bezeichnung:

Quarz, 2.5476 MHz

Bauteilname:

S 1
S 2
S 3
S 4 - 5
S 6 - 7
VG1, A C

Bezeichnung:

Steckerleiste, 2 polig
Steckerleiste, 8 polig
Steckerleiste, 2 polig
Steckerleiste, 20 polig
Steckerleiste, 16 polig
Steckerleiste, VG, 64 pol. a+c

Bauteilname:

KD 1 - 2

Bezeichnung:

Kodierstecker, 2.54 mm

Aktive Bauteile: SIO/PIO 1.0 A

=====

Wertordnung

TTL Baustein: -----	Anzahl: -----	Bauteilname: -----
74 LS 08	1	U 6
74 LS 10	1	U 1
74 LS 32	3	U 2, U 4, U 7
74 LS 74	2	U 8 - 9
74 LS 125	1	U 10
74 LS 138	1	U 3
74 LS 139	1	U 5
74 LS 244	1	U 14
74 LS 245	1	U 15
74 LS 273	1	U 13

Sonder IC's: -----	Anzahl: -----	Bauteilname: -----
F-4702, Fairchild	2	U 12 - 13
MC 1488	2	U 16 - 17
MC 1489	2	U 18 - 19
Z-80-B PIO	1	B 2
Z-80-B SIO/O	1	B 1

Aktive Bauteile: SIO/PIO 1.0 A

=====

Rangordnung**Bauteilname:**

Bezeichnung:

U 1	TTL, 74 LS 10
U 2	TTL, 74 LS 32
U 3	TTL, 74 LS 138
U 4	TTL, 74 LS 32
U 5	TTL, 74 LS 139
U 6	TTL, 74 LS 08
U 7	TTL, 74 LS 32
U 8 - 9	TTL, 74 LS 74
U 10	TTL, 74 LS 125
U 13	TTL, 74 LS 273
U 14	TTL, 74 LS 244
U 15	TTL, 74 LS 245

Bauteilname:

Bezeichnung:

U 12 - 13	F-4702, Fairchild
U 16 - 17	MC 1488
U 18 - 19	MC 1489
B 1	Z-80-B SIO/O
B 2	Z-80-B PIO

Pinbelegung der Steckverbinder: SIO/PIO 1.0 A

=====

Stecker: S 1

Dieser Stecker ermöglicht es, den Interrupt Mode 0 und 2 der Z-80 CPU zu benutzen. Beachten Sie bitte die Hardware-modifikation und Programmierhinweise auf Seite 7.

2
.
+
1

Die Position des Steckers entnehmen Sie bitte dem Lageplan.

Pin:	Belegung:	Pin:	Belegung:
----	-----	----	-----
1	INTACK, aktiv low	2	DIRECTION, aktiv low

Stecker: S 2

Dieser Stecker dient zur Auswahl der Karten 1 - 4.

8 5
....
+...
1 4

Die Position des Steckers entnehmen Sie bitte dem Lageplan.

Pin:	Belegung:	Pin:	Belegung:
----	-----	----	-----
1	CARD0, aktiv low	8	CARDFE, aktiv low
2	CARD1, aktiv low	7	CARDFE
3	CARD2, aktiv low	6	CARDFE
4	CARD3, aktiv low	5	CARDFE

Dabei haben Sie folgende Möglichkeiten: (siehe auch Seite 6)

1. Pin 1 und 8 verbunden => Karte reagiert auf CARD0-Select
2. Pin 2 und 7 verbunden => Karte reagiert auf CARD1-Select
3. Pin 3 und 6 verbunden => Karte reagiert auf CARD2-Select
4. Pin 4 und 5 verbunden => Karte reagiert auf CARD3-Select

Achtung:

Alle anderen Kombinationen sind nicht erlaubt und können unter Umständen zur Zerstörung der Karte führen.

Stecker: S 3

Über diesen Stecker kann die Leseanforderung der CPU auf den Kartenselektionskanal unterdrückt werden, d.h. daß bei einem Lesezyklus der BUS-Treiber nicht freigegeben wird. Bei Verwendung von mehr als einer Karte SIO/PIO 1.0 A darf der Kodierstecker somit nur auf einer Karte stecken.

2

.

+

1

Die Position des Steckers entnehmen Sie bitte dem Lageplan.

Pin:	Belegung:
----	-----
1	TRFE, aktiv low

Pin:	Belegung:
----	-----
2	37E4RD, aktiv low

Stecker: S 4, S 5

Diese Steckverbinder stellen Ihnen 2 parallel Schnittstellen mit Handshakeleitungen zur Verfügung. Die Schnittstellen werden von der eingebauten Z-80-B PIO bedient; Stecker S 4 von Kanal A und Stecker S 5 von Kanal B. Dabei ist zu beachten, daß an Stecker S 4 auch die unteren 5 Bit von PIO Kanal B angeschlossen sind.

20 11
.....
+.....
1 10

Die Position der Stecker entnehmen Sie bitte dem Lageplan.

Pin:	Benennung:
----	-----
1	Daten A0/B0
2	Daten A1/B1
3	Daten A2/B2
4	Daten A3/B3
5	Daten A4/B4
6	Daten A5/B5
7	Daten A6/B6
8	Daten A7/B7
9	Masse
10	Masse

Pin:	Benennung:
----	-----
20	+ 5 Volt
19	+ 5 Volt
18	nicht belegt
17	STROBE A/B, aktiv low
16	READY A/B, aktiv high
15	Daten B4, nur S 4
14	Daten B3, nur S 4
13	Daten B2, nur S 4
12	Daten B1, nur S 4
11	Daten B0, nur S 4

Programmierhinweise der Z-80-B PIO finden Sie in einschlägiger Z-80 Literatur.

Stecker: S 6, 7

Diese Steckverbinder stellen Ihnen 2 serielle Schnittstellen mit Handshakeleitungen zur Verfügung. Die Schnittstellen werden von der eingebauten Z-80-B SIO/O bedient; Stecker S 6 von Kanal A und Stecker S 7 von Kanal B.

16 9
.....
+.....
1 8

Die Position der Stecker entnehmen Sie bitte dem Lageplan.

Pin:	Benennung:
----	-----
1	TxD, aktiv low
2	DTR, aktiv high
3	RTS, aktiv high
4	CTS, aktiv high
5	DCD, aktiv high
6	RxD, aktiv low
7	Masse
8	Masse

Pin:	Benennung:
----	-----
16	+ 5 Volt
15	+ 5 Volt
14	nicht belegt
13	nicht belegt
12	nicht belegt
11	nicht belegt
10	SYNC, aktiv low
9	WAIT/READY, aktiv low

Programmierhinweise der Z-80-B SIO finden Sie in einschlägiger Z-80 Literatur.

Portbelegung der Karte: SIO/PIO 1.0 A

=====

Auf der Karte werden 11 Z-80 I/O-Ports decodiert. Eine genaue Bestimmung der Adressen und eine Beschreibung der Funktionen entnehmen Sie bitte den folgenden Seiten.

L.Nr.	Addr.: Hex, Dez	Kurzbeschreibung
1	D0-D3, 208-211	Z-80-B SIO/O
2	D4-D7, 212-215	Z-80-B PIO
3	F1, 241	Baud-Raten Einstellung
4	F2, 242	BTx Umschaltung
5	F9, 249	Interrupt Freigabe

Die Beschreibung der Ports im Einzelnen:

1. Über die Ports D0-D3, 208-211 können Sie die Z-80-B SIO/O programmieren. Dabei gilt:

D0, 208 => Kanal A, Daten -Register
D1, 209 => Kanal B, Daten -Register
D2, 210 => Kanal A, Kontroll-Register
D3, 211 => Kanal B, Kontroll-Register

2. Über die Ports D4-D7, 212-215 können Sie die Z-80-B PIO programmieren. Dabei gilt:

D4, 212 => Kanal A, Daten -Register
D5, 213 => Kanal B, Daten -Register
D6, 214 => Kanal A, Kontroll-Register
D7, 215 => Kanal B, Kontroll-Register

3. Über den Port F1, 241 können Sie die Baud-Raten für die serielle Datenübertragung für beide SIO-Kanäle getrennt einstellen (Siehe auch Punkt 4). Dabei sind für Kanal A die BIT's 0 - 3, und für Kanal B die BIT's 4 - 7 belegt. Der Inhalt des Ports kann gelesen und geschrieben werden, wobei sich für die Baud-Raten folgende BIT-Muster ergeben:

Baud-Rate	:	Kanal A, BIT				:	Kanal B, BIT			
	:	3	2	1	0	:	7	6	5	4
19200	:	0	0	0	0	:	0	0	0	0
19200	:	0	0	0	1	:	0	0	0	1
9600	:	1	0	0	0	:	1	0	0	0
4800	:	1	0	0	1	:	1	0	0	1
2400	:	1	1	0	0	:	1	1	0	0
2400	:	0	1	1	1	:	0	1	1	1
1800	:	1	0	1	0	:	1	0	1	0
1200	:	1	0	1	1	:	1	0	1	1
600	:	0	1	1	0	:	0	1	1	0
300	:	1	1	0	1	:	1	1	0	1
200	:	0	1	0	1	:	0	1	0	1
150	:	1	1	1	0	:	1	1	1	0
134.5	:	0	1	0	0	:	0	1	0	0
110	:	1	1	1	1	:	1	1	1	1
75	:	0	0	1	1	:	0	0	1	1
50	:	0	0	1	0	:	0	0	1	0

Die angegebenen Baud-Raten gelten sowohl für Senden als auch für Empfangen (Siehe auch Punkt 4).

4. Über den Port F2, 242 können Sie den SIO-Kanal A auf getrennte Sende- und Empfangs- Baud-Raten einstellen. Dabei wird die Sende Baud-Rate von den BIT's 4 - 7, die Empfangs Baud-Rate von den BIT's 0 - 3 des Ports F1, 241 bestimmt. Gleichzeitig gilt für den SIO-Kanal B die Sende Baud-Rate für Senden und Empfangen.

Schreiben von F2, 242

- a. BIT 0 = Low => Es gilt Punkt 3
b. BIT 1 = High => Es gilt die Einleitung zu Punkt 4

Lesen von F2, 242

Der Port kann jederzeit gelesen werden, wobei der eingelesene Wert rein zufällig ist.

5. Über den Port F9, 249 können die Interrupts der Karte beeinflußt werden. Für den Fall, daß die Interrupts freigegeben sind, wird eine Daisy-Chain aktiv, die beginnend bei SIO Kanal A über Kanal B zur PIO Kanal A und Kanal B läuft. Bei deaktivierten Interrupts, wird die Kette gesperrt.

Schreiben von F9, 249

- a. BIT 2 und 3 = High => Die Interrupts sind freigegeben
b. Alle anderen Bitkombinationen sperren die Interrupts.

Lesen von F9, 249

Der Port kann jederzeit gelesen werden, wobei der eingelesene Wert, außer bei FLOPPY DS/DD, rein zufällig ist. Bei FLOPPY DS/DD werden die BITS 2 und 3 wiedergegeben.

Speicherbelegung der Karte: SIO/PIO 1.0 A

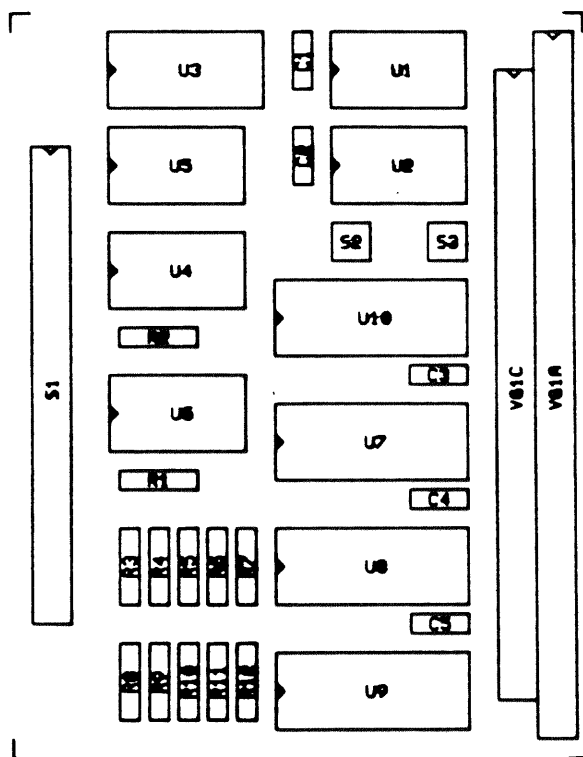
=====

Die Karte benutzt als Memory-Mapped I/O die Adressen 37E4, 14308 - 37E7, 14311. Über diese Adressen wird die schon auf Seite 2 beschriebene Kartenauswahl vorgenommen, wobei jedoch nur die unteren 2 BITS von Bedeutung sind. Dabei gilt:

BIT 1 : BIT 0 : Aktiver Pin an Stecker S 2

0	:	0	:	Pin 1, CARD 0
0	:	1	:	Pin 2, CARD 1
1	:	0	:	Pin 3, CARD 2
1	:	1	:	Pin 4, CARD 3

Schnittstelle angeschlossen werden.



Passive Bauteile: HOST II/III S

Wertordnung

=====

Widerstände:	Anzahl:	Bauteilname:
-----	-----	-----
220 Ohm	5	R 3 - 7
330 Ohm	5	R 8 - 12
1 kOhm	1	R 1
10 kOhm	1	R 2

Kondensatoren:	Anzahl:	Bauteilname:
-----	-----	-----
100 nF	5	C 1 - 5

Steckerleisten:	Anzahl:	Bauteilname:
-----	-----	-----
4 polig	2	S 2 - 3
8 polig	1	S 4
50 polig	1	S 1
VG, 64 pol. a+c	1	VG 1, A C

Kodierstecker:	Anzahl:	Bauteilname:
-----	-----	-----
2.54 mm	2	KD 1 - 2

Passive Bauteile: HOST II/III S
=====

Rangordnung

Bauteilname:

R 1
R 2
R 3 - 7
R 8 - 12

Widerstand:

1 kOhm
10 kOhm
220 Ohm
330 Ohm

Bauteilname:

C 1 - 5

Kapazität:

100 nF

Bauteilname:

S 1
S 2 - 3
VG1, A C

Bezeichnung:

Steckerleiste, 50 polig
Steckerleiste, 4 polig
Steckerleiste, VG, 64 pol. a+c

Bauteilname:

KD 1 - 2

Bezeichnung:

Kodierstecker, 2.54 mm

Aktive Bauteile: HOST II/III S
=====

Wertordnung

TTL Baustein: -----	Anzahl: -----	Bauteilname: -----
74 LS 14	1	U 5
74 LS 32	2	U 1 - 2
74 LS 38	1	U 4
74 LS 74	1	U 6
74 LS 139	1	U 3
74 LS 240	3	U 8 - 10
74 LS 374	1	U 7

Aktive Bauteile: HOST II/III S
=====

Rangordnung

Bauteilname:

Bezeichnung:

U 1 - 2
U 3
U 4
U 5
U 6
U 7
U 8 - 10

TTL, 74 LS 32
TTL, 74 LS 139
TTL, 74 LS 38
TTL, 74 LS 14
TTL, 74 LS 74
TTL, 74 LS 374
TTL, 74 LS 240

Steckerbelegung: HOST II/III S

Stecker: S1

Dieser Stecker dient zum Anschluß des 50-poligen Verbindungskabels der Hard-Disk Station mit dem HOST-Adapter. Der Stecker ist nach der SASI-Norm belegt.

2 50

 +
 1 49

Die Position des Steckers entnehmen Sie bitte dem Lageplan.

Pin:	Belegung
----	-----
1	Masse
3	Masse
5	Masse
7	Masse
9	Masse
11	Masse
13	Masse
15	Masse
17	Masse
19	Masse
21	Masse
23	Masse
25	Masse
27	Masse
29	Masse
31	Masse
33	Masse
35	Masse
37	Masse
39	Masse
41	Masse
43	Masse
45	Masse
47	Masse
49	Masse

Pin:	Belegung:
----	-----
2	Data 0 - negiert
4	Data 1 - negiert
6	Data 2 - negiert
8	Data 3 - negiert
10	Data 4 - negiert
12	Data 5 - negiert
14	Data 6 - negiert
16	Data 7 - negiert
18	nicht belegt
20	nicht belegt
22	nicht belegt
24	nicht belegt
26	nicht belegt
28	nicht belegt
30	nicht belegt
32	nicht belegt
34	nicht belegt
36	BUSY - negiert
38	ACK - negiert
40	RESET - negiert
42	MESSAGE - negiert
44	SELECT - negiert
46	COM/DAT - negiert
48	REQUEST - negiert
50	IN/OUT - negiert

Stecker: S2 / S3

=====

Diese Stecker dienen zum Anpassen der Karte an das verwendete System.

1 2
..
..
3 4

Die Position der Stecker entnehmen Sie bitte dem Lageplan.

Stecker: S2

Pin: ----	Belegung: -----	Pin: ----	Belegung: -----
1	ZRD, VGA-23 (IIIS)	2	IN, VGA-21 (IIS, SM5.3)
3	Decoded ZRD/IN	4	Decoded ZRD/IN

Stecker: S3

Pin: ----	Belegung: -----	Pin: ----	Belegung: -----
1	ZWR, VGA-22 (IIIS)	2	OUT, VGA-16 (IIS, SM5.3)
3	Decoded ZWR/OUT	4	Decoded ZWR/OUT

Es gelten folgende Zustände:

Jeweils (S2 und S3) Pin 1 und 3 kurzgeschlossen => GENIE III S

Jeweils (S2 und S3) Pin 2 und 4 kurzgeschlossen => GENIE II S,
SpeedMaster

Alle anderen Kombinationen sind nicht erlaubt und können unter Umständen zur Zerstörung der Karte oder des Systems führen.

Portbelegung der Karte:

=====

Die Karte HOST II/III S belegt die Z-80 Ports 00 - 03. Die Ports können gelesen und geschrieben werden, wobei jedoch nur die unten angegebenen Werte gültig sind.

Dabei gilt für

Port 00

=====

Lesen:

Es werden die aktuellen Daten des Hard-Disk Controllers gelesen und die ACK-Leitung von S1 auf LOW-Pegel gelegt.

Schreiben:

Es werden die aktuellen Daten der CPU zwischengespeichert und an S1 in negierter Form angelegt. Die ACK-Leitung wird auf LOW-Pegel gelegt.

Port 01

=====

Lesen:

Es werden die Status-Bits des Hard-Disk Controllers gelesen. Dabei gilt folgende Zuordnung:

Bit 0	=>	REQUEST	Bit 1	=>	BUSY
Bit 2	=>	MESSAGE	Bit 3	=>	COM/DAT
Bit 4	=>	IN/OUT	Bit 5	=>	LOW-Pegel
Bit 6	=>	LOW-Pegel	Bit 7	=>	LOW-Pegel

Schreiben:

Die RESET-Leitung an Stecker S1 wird auf LOW-Pegel gelegt. (Software-Reset des HD-Controllers)

Port 02

=====

Lesen:

Keine Funktion

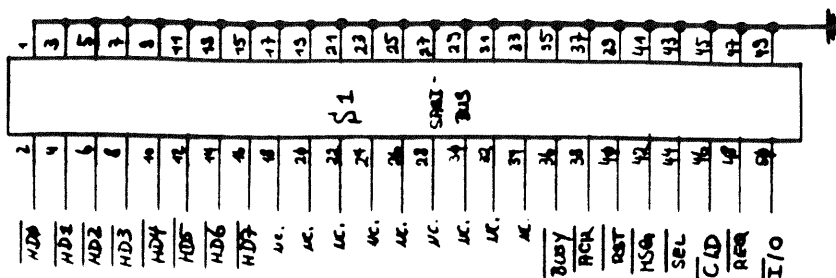
Schreiben:

Die SELECT-Leitung an Stecker S1 wird auf LOW-Pegel gelegt.

Port 03

=====

Der Port ist für Erweiterungen reserviert. Schreib- oder Lese-Zugriffe haben keine Funktion.



Host II/III

Q1. 07, 89

Uwe Böls

Beschreibung: ROM 32/64/128 für GENIE II S, SpeedMaster 5.3
=====

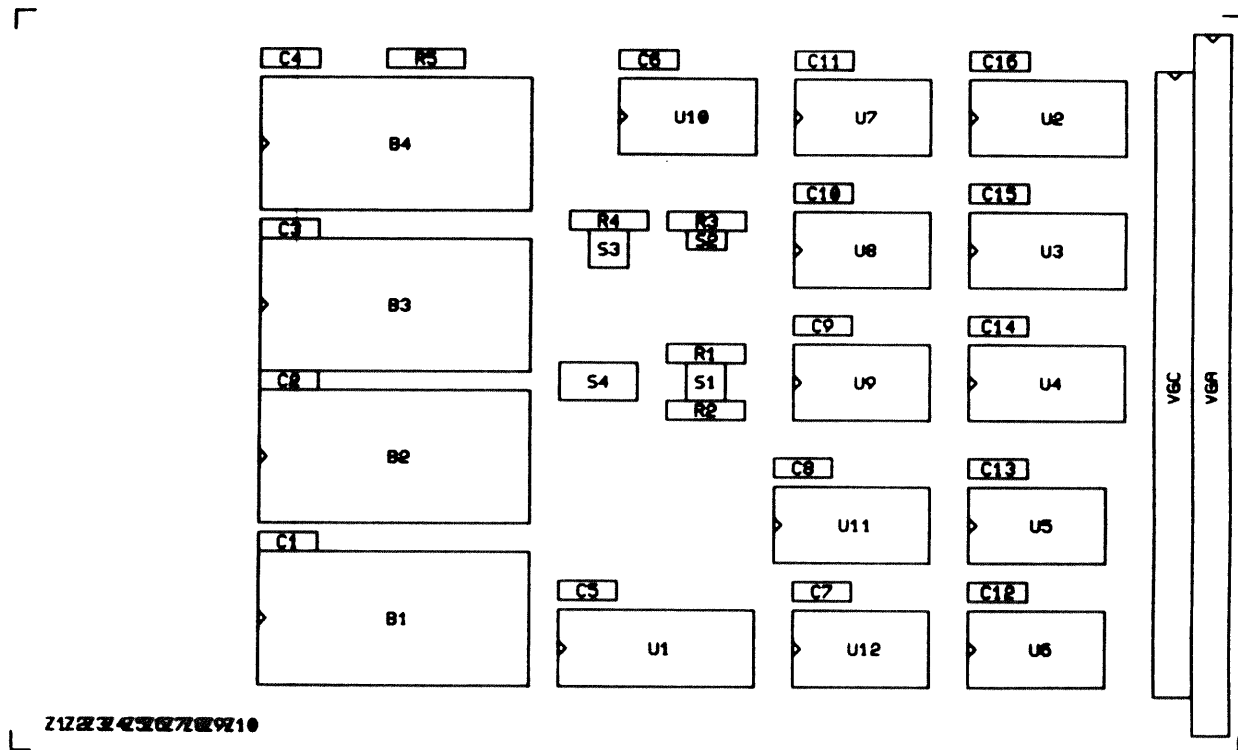
Allgemeines:

Durch die Karten ROM 32/64/128 kann bei den Systemen GENIE II S und SpeedMaster 5.3 der ROM-Bereich auf bis zu 4 mal 32 kByte erweitert werden.

Hinweis:

Bei Verwendung von 2 Karten ROM 32/64/128 muß auf einer Karte das IC U 12 (74 LS 125) entfernt werden.

Bestückungsplan: ROM 32/64/128



Passive Bauteile: ROM 32/64/128
=====

Wertordnung

Widerstände:	Anzahl:	Bauteilname:
-----	-----	-----
1 kOhm	3	R 1 - 2, R 5
10 kOhm	2	R 3 - 4

Kondensatoren:	Anzahl:	Bauteilname:
-----	-----	-----
100 nF	16	C 1 - 16

Steckerleisten:	Anzahl:	Bauteilname:
-----	-----	-----
2 polig	1	S 2 (nicht bestückt)
4 polig	2	S 1, S 3
8 polig	1	S 4
VG, 64 pol. a+c	1	VG 1, A C

Kodierstecker:	Anzahl:	Bauteilname:
-----	-----	-----
2.54 mm	3	KD 1 - 3

Passive Bauteile: ROM 32/64/128
=====

Rangordnung

Bauteilname:

R 1 - 2
R 3 - 4
R 5

Widerstand:

1 kOhm
10 kOhm
1 kOhm

Bauteilname:

C 1 - 16

Kapazität:

100 nF

Bauteilname:

S 1
S 2 (nicht bestückt)
S 3
S 4
VG1, A C

Bezeichnung:

Steckerleiste, 4 polig
Steckerleiste, 2 polig
Steckerleiste, 4 polig
Steckerleiste, 8 polig
Steckerleiste, VG, 64 pol. a+c

Bauteilname:

KD 1 - 3

Bezeichnung:

Kodierstecker, 2.54 mm

Aktive Bauteile: ROM 32/64/128
=====

Wertordnung

TTL Baustein:	Anzahl:	Bauteilname:
-----	-----	-----
74 LS 00	1	U 10
74 LS 08	1	U 5
74 LS 30	1	U 9
74 LS 32	3	U 6 - 8
74 LS 125	1	U 12
74 LS 138	1	U 2
74 LS 157	2	U 3 - 4
74 LS 175	1	U 11
74 LS 245	1	U 1

Sonder IC's	Anzahl:	Bauteilname:
-----	-----	-----
EPROM 2732 - 350	4	B 1 - 4 (Pin 18 CE, 21 A11)
oder		
EPROM 2764 - 250	4	B 1 - 4
oder		
EPROM 27128- 250	4	B 1 - 4
oder		
PROM 9332	4	B 1 - 4 (Pin 21 CE, 18 A11)

Aktive Bauteile: ROM 32/64/128
=====

Rangordnung

Bauteilname:

Bezeichnung:

U 1	TTL, 74 LS 245
U 2	TTL, 74 LS 138
U 3 - 4	TTL, 74 LS 157
U 5	TTL, 74 LS 08
U 6 - 8	TTL, 74 LS 32
U 9	TTL, 74 LS 30
U 10	TTL, 74 LS 00
U 11	TTL, 74 LS 175
U 12	TTL, 74 LS 125

Bauteilname:

Bezeichnung:

B 1 - 4	EPROM 2732 - 350 (siehe Seite 8)
oder	
B 1 - 4	EPROM 2764 - 250
oder	
B 1 - 4	EPROM 27128- 250
oder	
B 1 - 4	PROM 9332 (siehe Seite 8)

Steckerbelegung: ROM 32/64/128
=====

Stecker: S1
=====

Dieser Stecker dient zur Auswahl des benutzten EPROM-Typs.

4 3
..
+.
1 2

Die Position des Steckers entnehmen Sie bitte dem Lageplan.

Pin:	Belegung
----	-----
4	MUX2
1	MUX1

Pin:	Belegung:
----	-----
3	Masse
2	Masse

Es gelten folgende Zustände:

- a. Stecker offen => EPROM 2732 oder PROM 9332
- b. Pin 3 und 4 kurzgeschlossen => EPROM 2764
- c. Pin 1 und 2 Kurzgeschlossen => wie a.
- d. Pin 1 und 2, Pin 3 und 4 => EPROM 27128

Stecker: S2 (nicht bestückt)
=====

Dieser Stecker dient zur Treiberfreigabe bei Schreibzyklen. Wird der Stecker kurzgeschlossen, wird der Bustreiber U 1 auch bei einem Schreibzyklus aktiv. Bitte nur kurzschließen, wenn die restliche Schaltung für den Einsatz von RAMs vorbereitet ist.

Stecker: S3
=====

Über diesen Stecker können Sie 2 Karten ROM 32/64/128 betreiben. Es ist darauf zu achten, daß jeweils nur EIN Pin-Paar kurzgeschlossen ist.

4 3
..
+.
1 2

Die Position des Steckers entnehmen Sie bitte dem Lageplan.

Pin:	Belegung:
----	-----
4	CARDSE
1	FE1

Pin:	Belegung:
----	-----
3	CARDSE
2	FE2

Es gelten folgende Zustände:

- a. Stecker offen => Karte immer gesperrt.
- b. Pin 1 und 4 kurzgeschlossen => Karte wird mit BIT 1 in Port 7FH freigegeben.
- c. Pin 2 und 3 kurzgeschlossen => Karte wird mit BIT 2 in Port 7FH freigegeben.

Alle anderen Kombinationen sind nicht erlaubt und können unter Umständen zur Zerstörung der Karte führen.

Stecker: S4
=====

Durch diesen Stecker werden die Pins 23 und 20 an den Fassungen B 1 - B 4 beschaltet. Dadurch ist es auch möglich PROMs des Typs 9332 zu betreiben.

5 8
....
+...
1 4

Die Position des Steckers entnehmen Sie bitte dem Lageplan.

Pin:	Belegung:
1	AD 11
2	CARDSE
3	CARDSE
4	AD 11

Pin:	Belegung:
5	Pin 23, B 1 - B 4
6	Pin 23, B 1 - B 4
7	Pin 20, B 1 - B 4
8	Pin 20, B 1 - B 4

Es gelten folgende Zustände:

Pin 1 und 5, Pin 3 und 7 kurzgeschlossen => EPROM 2732/64/128

Pin 2 und 6, Pin 4 und 8 kurzgeschlossen => PROM 9332

Alle anderen Kombinationen sind nicht erlaubt und können unter Umständen zur Zerstörung der Karte führen.

Hinweis:

Beim Einsatz von EPROMs 2732 oder PROMs 9332 ist das Bauteil rechtsbündig in die entsprechende Fassung B 1 - B 4 einzubauen, d. h.: links des ICs sind in jeder Reihe 2 Pins der Fassung frei.

Speicherbelegung: ROM 32/64/128
=====

Je nach Stellung von S1 belegt die Karte verschiedene Hauptspeicherbereiche. Dabei gilt:

Bauteil:	Speicherbelegung:
-----	-----
2732	4000H - 7FFFFH, 16384 - 32767
9332	4000H - 7FFFFH, 16384 - 32767
2764	4000H - BFFFFH, 16384 - 49151
27128	4000H - BFFFFH, 16384 - 49151, Block0 => B 1, B 2 4000H - BFFFFH, 16384 - 49151, BLOCK1 => B 3, B 4

Damit die Karte angesprochen werden kann, muß im System Byte 0 BIT 7 auf HIGH gesetzt werden. Danach wird die durch Port 7FH, 127 selektierte Karte in dem angegebenen Speicherbereich aktiv.

Werden "langsame" EPROMs verwendet, muß BIT 6 im System Byte 0 auf HIGH gesetzt werden, damit die CPU mit langsamer Taktfrequenz arbeitet.

Portbelegung der Karte:
=====

Die Karte ROM 32/64/128 belegt den Z-80 Port 7FH, 127. Der Port kann gelesen und geschrieben werden, wobei jedoch nur die untern 4 Bits von Bedeutung sind.

Dabei gilt:

a. BIT 0 => Kartenselektierung

Mit diesem BIT können Sie die durch BIT 1 und 2 ausgewählte Karte für einen Lesezyklus selektieren.

BIT 0 = Low => Die Karte(n) ist(sind) gesperrt.

BIT 0 = High => Die Karte(n) ist(sind) selektiert.

b. BIT 1 => Kartenauswahl 0

Mit BIT 1 können Sie die Karte 0 anwählen (Stecker S3, Pin 1 und 4 verbunden).

BIT 1 = Low => Karte 0 ist gesperrt.

BIT 1 = High => Karte 0 ist freigegeben.

c. BIT 2 => Kartenauswahl 1

Mit BIT 2 können Sie die Karte 1 anwählen (Stecker S3, Pin 2 und 3 verbunden).

BIT 2 = Low => Karte 1 ist gesperrt.

BIT 2 = High => Karte 1 ist freigegeben.

d. BIT 3 => Blockselektierung

=====

Mit diesem BIT können Sie bei Verwendung von EPROMs des Typs 27128 die Fassungen selektieren, die angesprochen werden sollen.

BIT 3 = Low => Die Fassungen B 1 und B 2 sind aktiv.

BIT 3 = High => Die Fassungen B 3 und B 4 sind aktiv.

Achtung:
=====

Bei Verwendung von 2 Karten ROM 32/64/128 muß bei einer Karte das IC U 12 (74 LS 125) aus der Fassung genommen werden.

Der Stecker S3 darf jeweils nur mit EINEM Kodierstecker kurzgeschlossen werden (siehe Seite 3).

Beschreibung: RAM 192 B für GENIE II S, SpeedMaster 5.3
=====

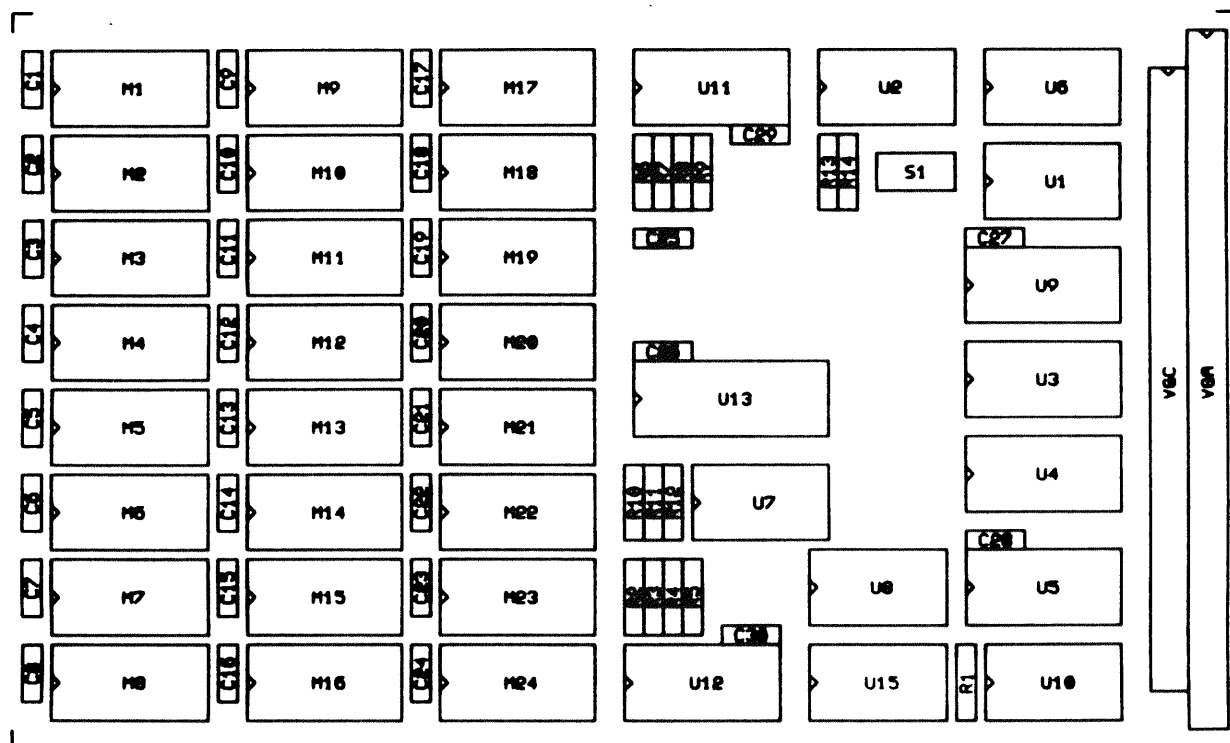
Allgemeines:

Durch die Karten RAM 192 B kann bei den Systemen GENIE II S und SpeedMaster 5.3 der RAM-Bereich auf bis zu 832 kByte erweitert werden (4 x RAM 192 B plus 64 kByte Systemspeicher).

Hinweis:

Bei Verwendung von 2, 3 oder 4 Karten RAM 192 B muß auf den Karten 2 - 4 das IC U 4 (74 LS 367) entfernt werden.

Bestückungsplan: RAM 192 B



Passive Bauteile: RAM 192 B**=====****Wertordnung**

Widerstände:	Anzahl:	Bauteilname:
-----	-----	-----
33 Ohm	13	R 2 - 14
1 kOhm	1	R 1

Kondensatoren:	Anzahl:	Bauteilname:
-----	-----	-----
100 nF	30	C 1 - 30

Steckerleisten:	Anzahl:	Bauteilname:
-----	-----	-----
8 polig	1	S 1
VG, 64 pol. a+c	1	VG 1, A C

Kodierstecker:	Anzahl:	Bauteilname:
-----	-----	-----
2.54 mm	1	KD 1

Passive Bauteile: RAM 192 B

=====

Rangordnung

Bauteilname:

R 1
R 2 - 14

Widerstand:

1 kOhm
33 Ohm

Bauteilname:

C 1 - 30

Kapazität:

100 nF

Bauteilname:

S 1
VG1, A C

Bezeichnung:

Steckerleiste, 8 polig
Steckerleiste, VG, 64 pol. a+c

Bauteilname:

KD 1

Bezeichnung:

Kodierstecker, 2.54 mm

Aktive Bauteile: RAM 192 B

=====

Wertordnung

TTL Baustein:	Anzahl:	Bauteilname:
-----	-----	-----
74 LS 04	1	U 1
74 LS 08	1	U 8
74 LS 30	1	U 2
74 LS 32	3	U 6 - 7, U 10
74 LS 74	1	U 15
74 LS 139	2	U 5, U 9
74 S 157	2	U 11 - 12
74 LS 174	1	U 3
74 LS 244	1	U 13
74 LS 367	1	U 4

U 14 entfällt.

Sonder IC's	Anzahl:	Bauteilname:
-----	-----	-----
uPD 4164 - 3	24	M 1 - 24

Aktive Bauteile: RAM 192 B
=====

Rangordnung

Bauteilname:

Bezeichnung:

U 1
U 2
U 3
U 4
U 5
U 6 - 7
U 8
U 9
U 10
U 11 - 12
U 13
U 15

TTL, 74 LS 04
TTL, 74 LS 30
TTL, 74 LS 174
TTL, 74 LS 367
TTL, 74 LS 139
TTL, 74 LS 32
TTL, 74 LS 08
TTL, 74 LS 139
TTL, 74 LS 32
TTL, 74 S 157
TTL, 74 LS 244
TTL, 74 LS 74

U 14 entfällt.

Bauteilname:

Bezeichnung:

M 1 - 24

uPD 4164 - 3

Steckerbelegung: RAM 192 B

=====

Stecker: S1

=====

Dieser Stecker dient zur Auswahl der Karten 1 - 4.

8 5

 +...
1 4

Die Position des Steckers entnehmen Sie bitte dem Lageplan.

Pin:	Belegung
----	-----
1	CARD0
2	CARD1
3	CARD2
4	CARD3

Pin:	Belegung:
----	-----
8	CARDFE
7	CARDFE
6	CARDFE
5	CARDFE

Dabei haben Sie folgende Möglichkeiten: (siehe auch Seite 3)

1. Pin 1 und 8 verbunden => Karte reagiert auf CARD0-Select
2. Pin 2 und 7 verbunden => Karte reagiert auf CARD1-Select
3. Pin 3 und 6 verrbunden => Karte reagiert auf CARD2-Select
4. Pin 4 und 5 verbunden => Karte reagiert auf CARD3-Select

Achtung:

Alle anderen Kombinationen sind nicht erlaubt und können unter Umständen zur Zerstörung der Karte führen.

Portbelegung der Karte:

=====

Die Karte RAM 192 B belegt den Z-80 Port 7EH, 126. Der Port kann gelesen und geschrieben werden, wobei jedoch nur die unteren 6 Bits von Bedeutung sind.

Dabei gilt:

a. BIT 0 => Kartenselektierung

Mit diesem BIT können Sie die durch BIT 2 und 3 ausgewählte Karte für einen Zugriffszyklus aktivieren. Dabei findet eine Freigabe nur dann statt, wenn im System-Byte 0 BIT 7 und BIT 0 auf HIGH gesetzt sind.

BIT 0 = Low => Die Karte(n) ist(sind) gesperrt.

BIT 0 = High => Die Karte(n) ist(sind) selektiert.

b. BIT 1 => Keine Funktion

BIT 1 kann geschrieben und gelesen werden, führt aber keine Funktion aus.

c. BIT 2, 3 => Kartenauswahl

Mit BIT 2 und 3 können Sie bis zu 4 Karten, die über S1 kodiert sind, anwählen (siehe Seite 2).

BIT 3 : BIT 2 : Aktiver Pin an Stecker S1

0	:	0	:	Pin 1, CARD 0
0	:	1	:	Pin 2, CARD 1
1	:	0	:	Pin 3, CARD 2
1	:	1	:	Pin 4, CARD 3

Beispiel:

- i. Sie wollen von Karte 2 auf Karte 3 umschalten, die BITS 0 und 7 im System-Byte 0 sind nicht aktiv.

ORG	START		;Irgendwo im Hauptspeicher
SCHALT	IN	A, (07EH)	;Inhalt von Port 7E, 126 lesen
	AND	0F3H	;BIT 2, 3 löschen
	OR	00BH	;BIT 3 setzen
	OUT	(07EH),A	;Karte 3 aktivieren
	JP	WEITER	;Weiter im Programm

- ii. Sie wollen von Karte 1 auf Karte 4 umschalten, die BITS 0 und 7 im System-Byte 0 sind beide HIGH.

ORG	D000H		;Größer C000H, kleiner FFF4H
SCHALT	IN	A, (07EH)	;Inhalt von Port 7E, 126 lesen
	OR	0CH	;Bit 2, 3 setzen
	OUT	(07EH),A	;Karte 4 aktivieren
	JP	WEITER	;Weiter im Programm

d. BIT 4, 5 => Blockauswahl

Mit diesen BITS können Sie einen von vier 48 kByte Blöcken
je Karte auswählen. Dabei gilt:

BIT 5 : BIT 4 : Block und aktive Speicherbausteine

0 : 0 : Block 0, unteren 48 kByte von M 1 - M 8
0 : 1 : Block 1, unteren 48 kByte von M 9 - M16
1 : 0 : Block 2, unteren 48 kByte von M17 - M24
1 : 1 : Block 3, jeweils die oberen 16 kByte von
 : M 1 - M24

Hinweis:

Die Adresstransformierung für Block 3 erfolgt auf der Karte,
sodaß sich auch bei Block 3 ein linearer Addressbereich ergibt.

Speicherbelegung: RAM 192 B

=====

Ist der Stecker S1 nicht beschaltet, ist (sind) die Karte(n)
immer gesperrt. Sonst erfolgt eine Speicherfreigabe unabhängig
von der angewählten Karte und des selektierten Blocks immer im
Addressbereich 0000H, 0000 - BFFFH, 49151.

Dabei ist zu beachten, daß im System-Byte 0 BIT 7 und BIT 0
auf HIGH gesetzt sein müssen.

Bedenken Sie bitte, daß nach einem Block- oder Kartenwechsel
möglicherweise der Stackpointer neu gesetzt werden muß. Weiter-
hin sind die Interrupt Routinen neu zu initialisieren.

Achtung:

=====

Bei Verwendung von 2, 3 oder 4 Karten RAM 192 B muß auf den
Karten 2 - 4 das IC U 4 (74 LS 367) entfernt werden.

Der Stecker S1 darf jeweils nur mit EINEM Kodierstecker kurzge-
schlossen werden (siehe Seite 2).

Beispiel:**=====**

Das nachfolgende Programm soll Ihnen eine Idee geben, wie zum Beispiel ein Bereich des Hauptspeichers in die Karte RAM 192 B geschrieben werden kann.

	ORG	0F000H	; Muß größer 0C000H sein
WR192	DI		; Interrupt ausschalten!
	LD	(STACK), SP	; Aktuellen Stack retten
	LD	SP, 0FFFEH	; Muß größer END+2 sein
	LD	A, 01H	; 192 B freigeben
	OR	08H	; Karte 3 selektieren
	OR	20H	; Block 2 ansprechen
	OUT	(07EH), A	; Karte vorbereiten
	LD	B, 4	; 1 kByte = 4 * 256 Byte
WRLOOP	PUSH	BC	; Schleifenzähler retten
	LD	HL, (START)	; HL auf Speicheranfang
	LD	DE, BUFFER	; DE auf 256 Byte-Buffer
	LD	BC, 100H	; Bufferlänge ist 256
	LDIR		; Block "hoch" kopieren
	LD	(START), HL	; Nächste Addr. retten
	IN	A, (0FEH)	; System-Byte 0 holen
	OR	81H	; BIT 7 und 0 setzen
	OUT	(0FEH), A	; RAM 192 B aktivieren
	LD	HL, BUFFER	; HL auf Kopierbereich
	LD	DE, (ZIEL)	; Zieladresse nach DE
	LD	BC, 100H	; Bufferlänge
	LDIR		; Block nach RAM 192 B
	LD	(ZIEL), DE	; Nächstes Ziel retten
	AND	7EH	; BIT 7 und 0 löschen
	OUT	(0FEH), A	; RAM 192 B deaktivieren
	POP	BC	; Schleifenzähler zurück
	DJNZ	WRLOOP	; Schleife wiederholen
	LD	SP, (STACK)	; Stackpointer zurück
	XOR	A	; A-Register löschen
	OUT	(07EH), A	; RAM 192 B sperren
	EI		; Interrupts freigeben
	RET		; Fertig
STACK	DEFW	0000H	; 2 Byte für Stack
START	DEFW	0000H	; Hier Startadresse
ZIEL	DEFW	0000H	; Hier Zieladresse
BUFFER	DEFS	0100H	; 256 Byte Buffer
	END	402DH	; DOS Ausgang

Pin Belegungen der Außenanschlüsse: GENIE II s

=====

Druckeranschluß

Pfostenstecker S3	DB 25	Centronics	Bedeutung
1	2	2	Data Bit 0
2	3	3	Data Bit 1
3	4	4	Data Bit 2
4	5	5	Data Bit 3
5	6	6	Data Bit 4
6	7	7	Data Bit 5
7	8	8	Data Bit 6
8	9	9	Data Bit 7
9	18	-	Masse
10	25	25	Masse
11	15	32	UNIT FAULT
12	13	13	UNIT SELECT
13	12	12	OUT of PAPER
14	11	11	BUSY
15	1	1	STROBE (aktiv low)
16	-		nicht belegt
17	-		nicht belegt
18	-		nicht belegt
19	-		+ 5V
20	-		+ 5V

Keyboard

Pfostenstecker S2	DB 25	Bedeutung
1	1	Y0 - EINGANG
2	2	Y1 - EINGANG
3	3	Y2 - EINGANG
4	4	Y3 - EINGANG
5	5	Y4 - EINGANG
6	6	Y5 - EINGANG
7	7	Y6 - EINGANG
8	8	Y7 - EINGANG
9	9	RESET, aktiv low
10	10	Masse
11	23	X7 - AUSGANG
12	22	X6 - AUSGANG
13	21	X5 - AUSGANG
14	20	X4 - AUSGANG
15	19	X3 - AUSGANG
16	18	X2 - AUSGANG
17	17	X1 - AUSGANG
18	16	X0 - AUSGANG
19	15	SPEED, aktive high
20	14	+ 5 Volt

Video Anschluß

Buchse T1	DB9	Bedeutung
innen	7	BAS Signal
aussen	1	Masse

Der GENIE IIs Monitor =====

Dieser Monitor wurde geschaffen, um dem GENIE IIs das Lebenslicht anzuzünden. Er ist daher nicht mit üblichen Monitoren zu vergleichen.

Wesentlich ist, daß mit diesem Monitor ein Betrieb des Systems auch dann möglich ist, wenn keinerlei Betriebssysteme von der Diskette geladen sind.

Um vom laufenden System in den Monitor zu gelangen, drücken Sie bitte die Taste F1 und gleichzeitig beide RESET-Tasten auf dem Keyboard. Die dabei anfallende Fingerakrobatik verhindert, daß der Monitor nicht zufällig aktiviert wird. Halten Sie beim Einschalten des Systems die Taste F1 gedrückt, geht das System nach der Grundinitialisierung auch in den Monitor.

Ein Befehl, den der Monitor nach jedem Aufruf durchführt, lautet

T oder t

Nach T und ENTER wird der Hauptspeicher getestet, ohne daß vorhandene Belegungen geändert werden. Etwaige Programme, sofern nicht im Bereich F400 - FFFF, 62464 - 65535 von Block 0, werden gerettet.

Danach wird der Speicher zuerst mit AA, 170 danach mit 55, 85 beschrieben und ausgelesen. Im Falle eines Speicherfehlers meldet der Monitor einen MEMORY ERROR. Bitte sprechen Sie in diesem Fall Ihren Händler an.

G oder g

ist ein GO-Befehl. G 4200 oder g4200 und ENTER würde das System veranlassen nach Adresse 4200H zu springen.

Sofern der Bereich des Monitors F400 - FFFF, 62464 - 65535, nicht zerstört wird, kann von einem Programm aus mit C3 00 F4 wieder in den Monitor gesprungen werden.

Grundsätzlich gilt bei allen Befehlen, die Argumente verlangen, daß diese als hexadezimale Zahlen ohne führende Nullen einzugeben sind, wobei zwischen Befehl und erstem Argument keine Trennung erforderlich ist. Ansonsten wird durch Blanks getrennt, deren Anzahl beliebig ist.

C oder c

ist ein Kopierbefehl. CA0 2DF FF und ENTER würde bedeuten, die Anzahl von FF (hex) Bytes beginnend bei Adresse A0 nach Adresse 2FD umzukopieren. Der Befehl unterliegt keinerlei Einschränkungen bezüglich des Adressbereiches, d. h., die Kopierbereiche können sich überschneiden, auf- oder absteigen.

D oder d

und ENTER bewirkt eine Anzeige von 128 Bytes im Hexformat. Die Eingabe von D 0 2FFF und ENTER würde dazu führen, daß ab Adresse Null bis Adresse 2FFF alle im Speicher stehenden Werte auf den Bildschirm "gedumpt" werden. Die Ausgabe kann dabei wie in BASIC mit SHIFT/5 angehalten werden. Durch BREAK kann man den DUMP-Befehl jederzeit verlassen.

K oder k

ist ein KILL-Befehl und führt durch Angabe von 3 Argumenten zum Überschreiben eines bestimmten Speicherbereiches. K AA0 3000 89 und ENTER beschreibt zum Beispiel den Bereich ab Adresse 0AA0H bis Adresse 3000H mit 89H. Bei diesem Befehl schützt sich der Monitor vor einer Selbstzerstörung, d. h. K F300 F678 00 wird nicht ausgeführt, da der Bereich des Monitors dabei überschrieben würde.

M oder m

mit einer nachgestellten Startadresse und ENTER führt in den MODIFY-Modus. Dabei zeigt der Monitor zuerst den Inhalt der Startadresse und ein Gleichheitszeichen (z. B. 8000 45=) und erwartet danach einen neuen Inhalt im Hex-Format und ENTER oder nur ENTER. Im ersten Fall wird die Speicherstelle mit dem neuen Wert überschrieben, im zweiten Fall wird zur nächsten Adresse übergegangen. Nach jeweils 8 Adressen wird eine neue Zeile mit der jeweiligen Adresse ausgegeben. Durch Eingabe von . (Punkt) wird der MODIFY-Modus abgebrochen. Nun kann durch G<ENTER> an die Startadresse gesprungen werden.

B oder b

Bei einem RESET oder beim Einschalten versucht das System selbstständig von Laufwerk 0 zu booten, wobei die durch Stecker S3 vorgegebene Laufwerksgröße und Schreibdicke als gültig angenommen wird.

Der Init-Loader versucht nun Spur 0, Sektor 0 zu lesen. Gibt die Floppy-Baugruppe keine gültigen Werte aus, und führen 9 weitere Versuche nicht zum Ziel, wird der Monitor initialisiert und ein BOOT ERROR ausgegeben.

Um eine Möglichkeit zu haben, die durch S3 voreingestellte Laufwerksgröße zu umgehen, kann man mit dem B-Befehl unabhängig von S3 jeden Laufwerkstyp booten.

B5 4200 und ENTER bootet 5 1/4" Laufwerk 0 nach Adresse 4200. B6 5000 und ENTER bootet 8" Laufwerk 0 nach Adresse 5000. Nach dem Booten meldet sich der Monitor zurück. Danach kann mit G und ENTER der Disketten-Loader ab der angegebenen Adresse gestartet werden.

S oder s

bewirkt ein Abspeichern des Speicherinhaltes auf Kassette. S 300 3FF 30A :PROGRA und ENTER bewirkt, daß der Bereich 300H - 3FFH mit Startadresse 30AH unter dem Namen "PROGRA" auf der Kassette abgespeichert wird. Wird die Startadresse vierstellig eingegeben, kann der Doppelpunkt bereits direkt hinter die Adresse gesetzt werden. S300 3FF 030A:PROGRA ist also auch möglich. Beim Speichern ohne Angabe eines Programmnamens wird der Name NONAME automatisch eingesetzt.

Als letzten Befehl kennt der Monitor

I oder i

Mit diesem Befehl ist es möglich, unter Beibehaltung der Laufwerksgröße einen "Pseudo RESET" durchzuführen. I und ENTER setzt alle, außer den oben genannten Parameter auf die Power-On Werte, schaltet das ROM ein und springt nach Adresse 0000, um nach der Grundinitialisierung von der Diskette Spur 0, Sektor 0 zu booten.

Der GENIE IIs Init-Loader =====

Der Init-Loader, Bestandteil des ROM-Bereichs, hat die Aufgabe, das System nach dem Einschalten oder RESET zu initialisieren. Dabei wird folgende Sequenz durchlaufen:

1. Testen ob die Taste P2 gedrückt ist. Wenn P2 gedrückt ist, wird der Monitor aus dem BOOT-ROM nach F400H kopiert und nach F400H gesprungen.
2. Testen ob FLOPPY-Karte vorhanden. Wenn ja, lesen von Spur 0, Sektor 0. Der Wert, den der Loader an der relativen Position ED findet (1ED bei 512 Byte/Sektor, 3ED bei 1024 Byte/Sektor) entscheidet über den weiteren Bootverlauf.
3. Lesen von Spur 0, Sektor 0 wie unter B-Befehl beschrieben. Der Wert, den der Loader an der relativen Position E0, 224 des Sektors findet, entscheidet über den weiteren Bootverlauf. Es gilt:
 - 00 => Standardwert für GENIE IIs G-DOS Disketten.
Spur 0, Sektor 0 wird nach 4200, 16896 gebootet und nach 4200, 16896 gesprungen.
 - 02 => Standardwert für GENIE IIs CP/M Disketten.
Spur 0, Sektor 0 wird nach FB00, 64256 gebootet und nach FB00, 64256 gesprungen.
 - 03 => Standardwert für GENIE IIs Service Disketten.
Spur 0, Sektor 0 nach FF00, 65280 gebootet und nach FF00, 65280 gesprungen.

Für alle anderen Werte gilt:

Gegebenenfalls Kaltstart durchführen. Danach wird System Byte 0 24H gesetzt, Spur 0, Sektor 0 nach 4200H, 16896 gebootet und nach 4200H, 16896 gesprungen.

Damit ist es möglich, Standard G-DOS oder NEWDOS 80 Disketten vom GENIE I/II und TRS 80 Model I zu booten. Sollte es sich um Disketten handeln, die in SINGLE DENSITY aufgezeichnet sind, muß der "Feuerknopf" gedrückt werden, d. h.: das System kann solche Disketten nur mit einer Taktrate von bis zu 2 MHz booten.