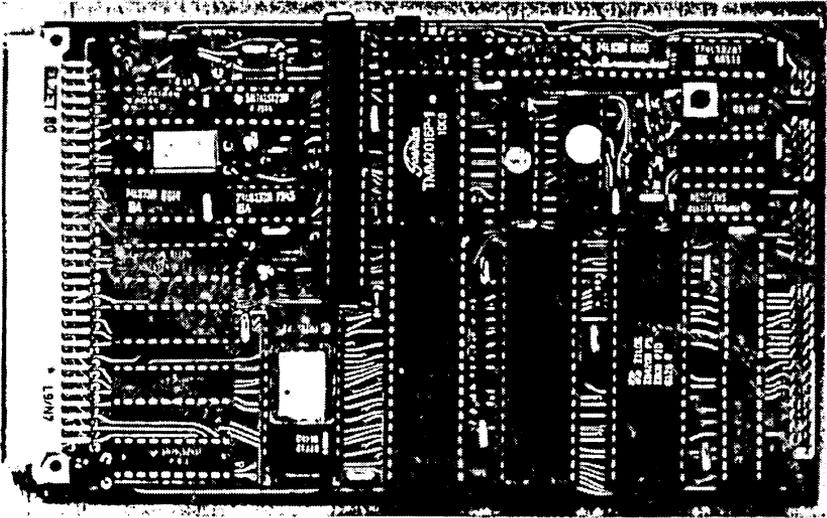




CPU / IEC



Z80 A/B Zentraleinheit und Einplatinencomputer
=====



Mikrocomputer GmbH & Co. KG
Vaalser Straße 14B
5100 Aachen
Telefon 0241-870081
Telex B 329454 elzet G
Telefax 0241-870231

ELZET 80

Z80 A/D Zentraleinheit und Einplatinencomputer

Die ELZET 80 CPU/IEC eignet sich für den universellen Einsatz als Zentraleinheit in Geräten aller Größen vom kleinen Steuerungsrechner bis zum Großsystem mit Floppys. Durch eigenen RAM- und ROM-Bereich, zwei Serienschnittstellen RS232 und eine Parallelschnittstelle mit IEC-Bus-Treibern ist sogar ein eigenständiger Einsatz der Platine möglich.

Vesentlichste Konstruktionsforderung beim Baugruppendesign war die kompromislose Pufferung aller Signale, sei es zum Bus hin oder für die Peripherieanschlüsse. Die Steuerung der Bustreiber erfolgt aufgrund der Komplexität der Steuerbedingungen, z.B. bei DMA-Zugriffen auf interne Speicher oder Vektorinterruptbetrieb, durch ein Spezial-Gate-Array-IC.

Die ELZET 80 CPU/IEC ist aufgebaut auf einer Multilayer-Platine im Europaformat und verfügt über eine 64-polige Steckerleiste nach DIN 41612, Bauform C. Im Betrieb als Einplatinencomputer dient diese Steckerleiste zur Zuführung der Betriebsspannungen (+5V und Masse normal, +12V und -12V bei Benutzung der Serienschnittstellen). Wird die CPU/IEC in einem Mehrplatinensystem eingesetzt, so werden über den Stecker die gepufferten Adreß-, Steuer- und Datenleitungen auf den Systembus geführt.

Die Baugruppe CPU/IEC ist in der Lage, ca. 40 Systemkarten anzusprechen, so daß Steuerrechner mit hunderten von Ein-/Ausgabekanälen realisierbar sind.

SCHALTUNGSBESCHREIBUNG

TAKTGENERATOR

Neben der eigentlichen CPU mit ihren Bustreibern enthält die Karte den Taktgenerator und die RESET/HMI-Logik. Der Taktgenerator ist aufgebaut mit einem Quarz und einem 74LS321 als Quarzoszillator. Das Oszillator-IC liefert die Quarz-Grundfrequenz F sowie die Frequenzen $F/2$ und $F/4$. Die durch einen Jumper gewählte Frequenz wird auf einen Schottky-Treiberbaustein geführt, der zusammen mit einem Treibertransistor die Impulsformung vornimmt. Dieses Taktsignal wird über einen Jumper auf die Busleitung 29c geführt, mit der auch der Phi-Eingang der CPU verbunden ist. Das ermöglicht den Betrieb in einem Bussystem mit externem Takt.

RESET

Die RESET-Logik besteht aus einem Eingangsfiler mit Schmitt-Trigger-Treiber 74LS132, welches sein Signal vom Bus Pin 31c oder von einem Tasteranschluß am vierpoligen Pfostenstecker STV 2 erhält. Es folgt die M1-Verknüpfung in einem Flip-Flop 74LS73A, ein Monoflop 74LS123 zur Zeitbegrenzung des RESET auf unter 2ms, um Ausfälle dynamischer Speicher zu verhindern, die Einschalt-RESET-Erkennung mit einer Dioden/Kondensator-Schaltung und nachfolgendem Schmitt-Trigger 74LS132 und ein Schottky-Treiberbaustein 74S04 auf die Busleitung 26c PWRCL (Power-On-Clear).

NMI

Die NMI Logik verarbeitet das Signal eines an STV 2 angeschlossenen NMI-Tasters ebenfalls mit Tiefpaß und Impulsformung über einen 74S04. Über ein Monoflop 74LS123 und einen Transistortreiber (offener Kollektor) gelangt das Signal auf Bus-Pin 20c. Bei entsprechender Initialisierung des NMI-Sprungvektors kann ein NMI-Taster gute Dienste beim Austesten neuer Programme leisten (Ausprung aus endloser Schleife etc.).

WAIT

Die Baugruppe CPU/IEC enthält Sockel und Adreßdekode-Logik für interne Speicher, für 2K RAM und 4K oder 8K Eprom. Für diese Speicher oder auch externe Speicher kann WAIT erzeugt werden, da dies insbesondere bei der 6MHz CPU sehr zeitkritisch ist, werden spezielle Schottky-IC's verwendet. Verschiedene Steckbrücken ermöglichen eine Auswahl der WAIT-Funktionen. Es sind die Jumper "WAIT", "RAM-WAIT" und "1", "2" und "3".

Über ein Flip-Flop mit /MREQ als Eingang und Systemtakt als CLK wird zunächst ein WAIT-Vorsignal erzeugt, das mit REFRESH verknüpft auf den Eingang einer folgenden Flip-Flopkette in einem AM 25 S 08 geführt wird. Die REFRESH Verknüpfung ist notwendig, damit bei dieser Art eines Speicherzugriffs kein WAIT erzeugt wird.

Die drei Ausgänge der Flip-Flop-Kette werden über die

Jumper 1, 2 oder 3 auf ein Schottky-NAND-Gatter mit vier Eingängen geführt, wo die Verknüpfung mit dem WAIT-Vorsignal und der Extern/Intern-WAIT-Logik vorgenommen wird. Ist der Jumper zu dieser Logik ("WAIT") nicht gesteckt, so ergibt sich am Open-Collector-Ausgang des 'S22 bei jedem Speicherzugriff ein /WAIT-Signal, dessen Länge in Taktzyklen dem gesteckten der Jumper 1, 2 oder 3 entspricht.

Da nun üblicherweise WAIT auf jeden Speicherzugriff unsinnig ist, kann über die Extern/Intern-WAIT-Logik ein WAIT bei bestimmten Betriebszuständen vermieden werden. Dazu ist zunächst der Jumper WAIT zu stecken, um diese Logik zu aktivieren. Der Vergleicherausgang des AM 25LS2521 für das Eprom schaltet dann bei jedem Speicherzugriff, der nicht auf das eingebaute Eprom geht, die WAIT-Erzeugung ab. Mit dem Jumper "RAM-WAIT" kann die WAIT-Erzeugung wiederum auch auf das interne RAM ausgedehnt werden, dazu wird wie beim Eprom das Vergleichersignal des 2521 benutzt. Die WAIT-Erzeugung für Zugriffe auf das interne Eprom ist nicht abschaltbar. Die mit 1, 2 oder 3 eingestellte Zyklenzahl ist gleich für alle ansprechbaren Speicher.

INTERNER SPEICHER

Die ELZET 80 CPU/IEC verfügt über Sockel für internen EPROM-Speicher und internes statisches (CMOS-) RAM. Bei Zugriff auf den internen Speicher wird der Datenbustreiber über ein 74LS08 Gatter und das Bussteuer-Spezial-IC in Schreibrichtung umgeschaltet. Dadurch kann RETI auch von externen I/O-Karten verwertet werden.

EPR0M

Das Eprom auf der CPU/IEC erfüllt zwei Aufgaben, je nach Einsatzgebiet der Baugruppe. In Steuerungen ist in den bis zu 8K Programmspeicher das Arbeitsprogramm unterzubringen, das Eprom wird automatisch bei RESET angesprochen. Selbst für den ELZET 80 PROCESS BASIC Interpreter und ein zugehöriges BASIC Programm reicht der Platz aus.

Für den Einsatz der CPU/IEC als Zentraleinheit in einem Floppy-Gerät dient das Eprom als Bootlader. Betriebssysteme wie CP/M müssen von der Diskette geladen werden. Das Programm steht dann auf vorbekannten Spuren und Sektoren, bei CP/M auf Spur 0 und 1 und muß in den RAM-Bereich gebracht werden. Das ist Aufgabe eines Boot-Programms das in diesem Fall in dem Eprom untergebracht wird (z.B. SSM). Da das Boot-Programm nach Laden des gewünschten Betriebssystems nicht mehr benötigt wird, ist es Speicherplatzverschwendung, diesen Bereich ständig zur Verfügung zu haben. Daher ist das Boot-Eprom per Programm ausblendbar.

Der 28-polige Eprom-Sockel ist ausgelegt für 2732 (4Kx8) und 2764 (8Kx8) Speicher und ist fest adressiert auf 0. Bei Aufsicht auf die Platine mit Busstecker links sind die Eproms mit der Nase nach unten einzustecken, bei einem 2732 müssen die unteren vier Anschlüsse frei bleiben. Die Adressselektion erfolgt über einen 8-Bit-Komparator AM 25LS2521 aus A12 bis A15 und unter Berücksichtigung des DTR-Bits des SIO-B-Kanals, das bei RESET High ist. Der AM 25LS2521 gibt auf DTR High frei und ermöglicht so den

Zugriff auf das Eprom nach RESET. Mit einem Ausgabebefehl auf das Schreibregister 5 der SIO B kann DTR rückgesetzt werden und der Vergleicher sperrt den Zugriff auf das interne Eprom.

RAM

Für die Anwendung als Einplatinencomputer oder für Steuerungen ohne großen RAM-Bedarf wird auf der CPU/IEC noch ein Sockel für 2K RAM zur Verfügung gestellt. Wahlweise ist CMOS (6116) oder NMOS-RAM (2016) einsetzbar, der Zugriff kann, wie oben beschrieben, einstellbar mit WAIT-Zyklen erfolgen, so daß auch langsame Speicher einsetzbar sind. Die Adreßdekodierung des RAM-Bereichs wird mit dem 8-fach-Komparator AN 25LS2521, IC12 fest auf E000 eingestellt. Wird der RAM-Bereich nicht benötigt, so kann das RAM über einen Jumper deselektiert werden. Die Betriebsspannung des RAM's kann wahlweise von der +5V Standardversorgung bezogen werden oder von der Busleitung Vcmos, die beispielsweise von einem Akku kommen kann. Wenn der /CS Pull-Up dann auch nach Vcmos statt zur Standardspannung gezogen wird, können ausfallsichere Systeme konstruiert werden.

EIN-/AUSGABE-SCHNITTSTELLEN

Als Peripheriebausteine werden auf der CPU/IEC eingesetzt eine 280A/B SIO und eine 280A/B PIO mit entsprechenden Treiberbausteinen. Die Adreßdekodierung ist fest auf 00H bis 07H eingestellt.

SIO

Die Z80 SIO ist ein universeller Baustein für zwei unabhängige Serienschnittstellen, die sowohl asynchron als auch synchron arbeiten können. Im Synchronbetrieb verwaltet die Z80 SIO selbständig die Protokolle für die Betriebsarten BiSync, HDLC oder SDLC mit den Prüfungen CRC-16 oder CRC-CCITT. Im Asynchronbetrieb ist die SIO programmierbar auf 5,6,7 oder 8 -Bit-Worte mit verschiedenen Stop-Bits.

Unabhängig von der Betriebsart steht bei Empfang ein 3-Byte-FIFO-Puffer und bei Senden ein 1-Byte-Puffer zur Verfügung, so daß der Baustein eine Positionierung weit unten in der Interruptpriorität zuläßt.

Die SIO erzeugt pro Kanal vier unterschiedliche Interruptvektoren, separat für Empfänger erstes Byte, Empfänger jedes Byte, Sender, Steuerbitänderung und Status, so daß sehr kleine und damit schnelle Interrupt-Serviceroutinen möglich werden.

Der Ausgang des SIO-Kanals A ist mit allen Signalen nach RS232C/V24 gepuffert, wenn neben der +5V-Betriebsspannung noch +12 und -12V vom Bus zugeführt werden. Die Pufferung umfaßt die Signale Daten, CTS und DCD sendeseitig und die Signale Daten, RTS und DTR empfangsseitig und wird mit den Bausteinen MC1488 und MC1489 vorgenommen. Die bei Kanal A "übrigbleibenden" Puffer, je ein Sender und Empfänger, dienen als Treiber für die Datenleitungen des B-Kanals.

Für den Kanal B sind keine Modemleitungen herausgeführt, für die Datenleitungen kann gewählt werden zwischen V24 und TTL-Pegel, empfangsseitig auch noch Stromschleifeneingang 20mA über Optokoppler. Der 20mA-Eingang ist speziell für den Anschluß der ELZET 80 Text-Tastatur vorgesehen, die einen Stromschleifentreiber zur Erhöhung der Störsicherheit beinhaltet. Mit dem Jumper RS232/20mA wird der Eingang umgeschaltet. Das TTL-Eingangssignal wird -ebenso wie der Ausgang des 20mA Optokopplers- auf den Eingang des RS232-Empfängers geführt. Der TTL-Ausgang wird mit einem 74LS04-Inverter gepuffert. Das DTR-Bit des B-Kanals ermöglicht die Abschaltung des Eproms, das DCD-Bit wird von der IEC-Bus-Software ausgewertet (Abfrage des C/TL-Jumpers). RTS und CTS sind nicht beschaltet.

Beide Kanäle erhalten den Takt aus einem diskret aufgebauten Baudratengenerator mit einer Grundfrequenz von 614,4 kHz (Sonderausführung mit 76,8 kHz auf Anfrage). Ein FET-Oszillator wird über einen Puffertransistor auf einen Schmitt-Trigger/Treiber geführt, dessen Ausgang mit den CLK-Eingängen der 280 SIO verbunden ist. Die SIO verfügt im Asynchronbetrieb über interne Takteiler, so daß die Baudraten 9600, 19200, 38400 und 614400 Software-wählbar sind.

Die Ausgangssignale beider Kanäle sind auf die 10-Pin-Pfostenstecker STV 3 (Kanal B) und STV 4 (Kanal A) geführt, von wo aus eine Verdrahtung auf die gewünschten Normstecker möglich ist.

PIO

Als universelles Parallelport wird auf der CPU/IEC eine Z80A/B PIO eingesetzt, die über zwei 8-Bit Ports mit je 2 Quittungssignalen verfügt. Die PIO ist jedoch nicht in der Lage, Lasten über einigen mA und über größere Entfernungen zu treiben. Da mindestens eine dieser Bedingungen jedoch in nahezu allen Fällen erfüllt werden muß, wurden der PIO Treiberbausteine 75160 (Port B0) und 75161 (Port A) nachgeschaltet. Diese IC's sind bidirektionale IEC-Bus-Treiber, mit einer garantierten Last von min. 50mA, typ. 120mA und integriertem, aktivem Terminator-Netzwerk. Der 75160 geht bei Betrieb als Eingangspuffer oder bei Abschalten der Versorgungsspannung in einen Zustand hoher Impedanz. So sind bei Betrieb als Eingang Ströme von einigen Mikroampere ausreichend. Die Treiberichtung des Port B-Treibers 75160 wird mit Port A Bit A7 gewählt (L=Input, H=Output). Die Richtungen der Port A Treibers sind abhängig von der Richtungsumschaltung (A7), vom Jumper C/TL und von A4, siehe dazu die Wahrheitstabelle. Jeder Eingang kann einen Vektorinterrupt auslösen.

Neben der Verfügbarkeit eines für viele Anwendungen ausreichend getriebenen Parallelports bietet die Lösung mit den IEC-Bus-Treibern den Vorteil des Zugangs zu diesem populären Bussystem. Port B0 bis B7 entspricht den GPIB-Bus-Leitungen DIO 1 bis DIO 8, A0 bis A6 entsprechen DAV, NDAC, NRFD, EOI, ATN, SRQ und IFC. REN wird bei Controller-Betrieb über den Jumper C/TL auf Masse gelegt und ist im Talker/Listener-Betrieb auf Empfang.

INTERRUPTPRIORITÄT

Die Bausteine SIO und PIO liegen in der Interrupt-Priorisierungskette IEI/IEO. Eine Carry-Look-Ahead-Logik mit zwei 74LS08-Gattern verkürzt die Durchlaufzeit der Interruptkette. Hier wird auch ein Signal "interner INT aktiv" für das Bussteuer-IC gewonnen. Die PIO hat die höhere Interruptpriorität. Das CPU-/BUSAK-Signal wird zur korrekten Behandlung der DMA-Kette gleichzeitig auf Bus-Pin 31a (/BUSAK) und 25a (BAO) geführt.

IEC-SOFTWAREMODUL

Das von uns angebotene Softwaremodul IEC ermöglicht den Betrieb als Controller wie auch als Talker oder Listener. Durch das Programmpaket wird der Anwender von sämtlichen Aufgaben des Datentransfers, der Handshakes und der Adressierungs- und Befehlsvorgänge entlastet, da vollständige Funktionen aufgerufen werden können.

Damit ist zum einen ein IEC-Bus-System mit einem 80'er Controller (Softwareentwicklung unter CP/M) möglich, zum anderen die Ausstattung eines Meßgeräts oder einer Steuereinheit mit IEC-Bus. So lassen sich IEC-Bus-Geräte in Einzelanfertigung erstellen, die aus der CPU/IEC und einer bzw. einigen Peripheriekarte(n) bestehen, die auf einem kleinen Bus zusammengesteckt sind. Denkbar sind z.B. CPU und A/D-Wandler, CPU und Universal-Parallelport, CPU und Relaiskarte, CPU, APU und D/A-Wandler u.v.m. Bei bestehenden Meß-/Laboraufbauten mit IEC-Bus bedeutet das u.a.

die Eingliederungsmöglichkeit von Nicht-IEC-Bus-Fähigen Meßgeräten, Triggereinrichtungen, Schaltern, Fühlern und dergleichen.

Für den Betrieb als Controller sind die IEC-BUS-Funktionen C1, C2, (C3), C4, C26 implementiert, für den Betrieb als Talker/Listener die folgenden Funktionen:

Talker: T 5, TE 5

Listener: L 3, LE 3

Standard: SH1, AH1, SR1, PP1, DC1, DT1

Im Talker-/Listenerbetrieb sind gegenüber der Normdefinition folgende Einschränkungen gegeben:

1. Reaktion auf ATN erfolgt nicht innerhalb von 200 ns.
2. Antwort auf PP erfolgt nicht innerhalb von 200 ns.

Dies wird jedoch in den wenigsten Fällen zu Schwierigkeiten führen, da nur in sehr wenigen Systemen solche Zeiten gefordert werden. Dieses Programm wurde in Verbindung mit einem sehr schnellen IEC-BUS Controller, dem Controller des HP 1000 Computersystems, getestet, wobei außer beim Parallel Poll keine Schwierigkeiten auftraten. Da man auf den Seriell Poll zurückgreifen kann, ist dies kein schwer wiegender Nachteil.

Das Softwaremodul verwertet Signale wie ATN und SRQ im Vektorinterrupt. Es benötigt ca. 2kByte Programmspeicher in ROM oder RAM, 200 bis 600 Byte RAM an beliebiger indi-

zierter Stelle, maximal 50 Byte Stacktiefe, 2 Byte RAM (SPMEM) mit fester Adresse und 2 Byte RAM in Vektortabelle für Interrupt.

Es ist daher möglich, alle Voraussetzungen durch Einsatz der CPU/IEC zu erfüllen, da sie mit bis zu 8 KByte EPROM und 2 KByte RAM bestückt werden kann.

Richtungstabelle PIO Port A Treiber

Eingangsbedingungen		Richtung									
TE	DC	!	ATN	!	DAV	NDAC	NRFD	EOI	SRQ	IFC	
A7	C/TL	!(Pegel)	A4 (Richtg)	!	A0	A1	A2	A3	A5	A7	
H	O	!	H	!	S	E	E	S	S	E	
H	O	!	L	!	S	E	E	E	S	E	
H	G	!	X	!	S	E	E	S	E	S	
L	O	!	X	!	E	S	S	E	S	E	
L	G	!	H	!	E	S	S	E	E	S	
L	G	!	L	!	E	S	S	S	E	S	

TE = Talk-Enable-Eingang des 75161, verbunden mit A7, High für Ausgangsbetrieb des Ports B, L für Eingang

DC = Direction Control, Jumper C/TL, O = offen = H (Pull-up), G = geschlossen = L (Masse)

H = High (Vcc) L = Low (Masse)

X = beliebiger Zustand E = Empfang S = Senden

DAV,NDAC,NRFD,EOI,SRQ,IFC = IEC-Bus-Bezeichnung

Die getriebenen PIO-Signale sind zusammen mit Masse (6 Pins) auf den 26-poligen Pfostenstecker STV 5 geführt. Durch Freilassen von zwei Adern eines 26-poligen Flachbandkabels kann ein 24-poliger JD-Steckverbinder direkt angequetscht werden und hat dann eine Normbeschriftung.

280 A/B Zentraleinheit und Einplatinencomputer

Die Portadressen der internen Peripheriebausteine

PIO		SIO	
Port A Daten	0	Port A Daten	4
Port B Daten	1	Port B Daten	5
Port A Control	2	Port A Control	6
Port B Control	3	Port B Control	7

Z80 A/B Zentraleinheit und Einplatinencomputer

Die Belegung der Steckverbinder am Kartenrand

STV 2	RESET	(1)	(4)	Masse	
	MIII	(2)	(3)	Masse	
	+ 20mA Eingang	(1)	(10)	- 20mA Eingang	
	TTL-Eingang	(2)	(9)	Masse	
STV 3	TTL-Ausgang	(3)	(8)	Masse	
	RS 232-Ausgang	(4)	(7)	Masse	
	RS 232-Eingang	(5)	(6)	Masse	
	Daten-Eingang	(1)	(10)	Masse	
	Daten-Ausgang	(2)	(9)	Masse	
STV 4	RTS-Ausgang	(3)	(8)	Masse	
	CTS-Eingang	(4)	(7)	Masse	
	DTR-Ausgang	(5)	(6)	DCD-Eingang	
					-IEEE 4888-Nr.-
	DIO 1	(1)	(26)	DIO 5	-13-
	DIO 2	(2)	(25)	DIO 6	-14-
	DIO 3	(3)	(24)	DIO 7	-15-
	DIO 4	(4)	(23)	DIO 8	-16-
	EOI	(5)	(22)	REN	-17-
STV 5	DAV	(6)	(21)	GND#6	-18-
	NRFD	(7)	(20)	GND#7	-19-
	NDAC	(8)	(19)	GND#8	-20-
	IFC	(9)	(18)	GND#9	-21-
	SRQ	(10)	(17)	GND#10	-22-
	ATN	(11)	(16)	GND#11	-23-
	Abschirmung	(12)	(15)	GND Logik	-24-
	(Masse	(13)	(14)	Masse)	

Z80 A/B Zentraleinheit und Einplatinencomputer

Jumper-Plazierung

STV2 ==STV3== ==STV4== =====STV5=====

+++	RS232/20mA	REN	++
123		C/TL	12

+
"3"
+ "1"
+ "2"
+

WAIT-Zyklen

+++ Vcmos
123

+ RAM-WAIT
+
+ WAIT
+

+++ 2732/
123 2764

++ RAM

+++ Taktfrequenz
+++
123

++ Takt

!-----STV 1 Busstecker-----!

Erläuterungen zu den Jumpern

RS 232 / 20mA: (SIO-Kanal B-Eingang)

1/2 = 20mA Stromschleifeneingang

2/3 = RS 232 oder TTL-Eingang

REN und C/TL: (IEC-Bus-Treiber)

1/2 gesteckt = Controllerbetrieb

WAIT-Zyklen:

"1", "2" und "3" entsprechen der Anzahl WAIT-Zyklen für das Eprom und sonstige gew. Speicher.

Vmos: (Speisespannung für RAM)

1/2 = Speisung von Vmos-Busleitung

2/3 = Speisung aus +5V Hauptspannung

RAM-WAIT:

Wenn offen, erfolgt WAIT nicht auf internes RAM, außer bei offenem "WAIT"-Jumper.

WAIT:

WAIT nur auf interne Speicher, wenn gesteckt.
WAIT auf alle MREQ-Zugriffe, wenn offen.

2732/2764: (Eprom-Auswahl)

1/2 für 2764-Eproms

2/3 für 2732-Eproms

RAM:

Internes RAM ausgeblendet wenn offen

Taktfrequenz:

1 = Quarzfrequenz

2 = Halbe Quarzfrequenz

3 = Viertel Quarzfrequenz

Takt:

Wenn gesteckt, Taktfrequenz vom intern.Oszillator

Z80 A/B Zentraleinheit und Einplatinencomputer

Die Belegung der Steckverbinder am Kartenrand

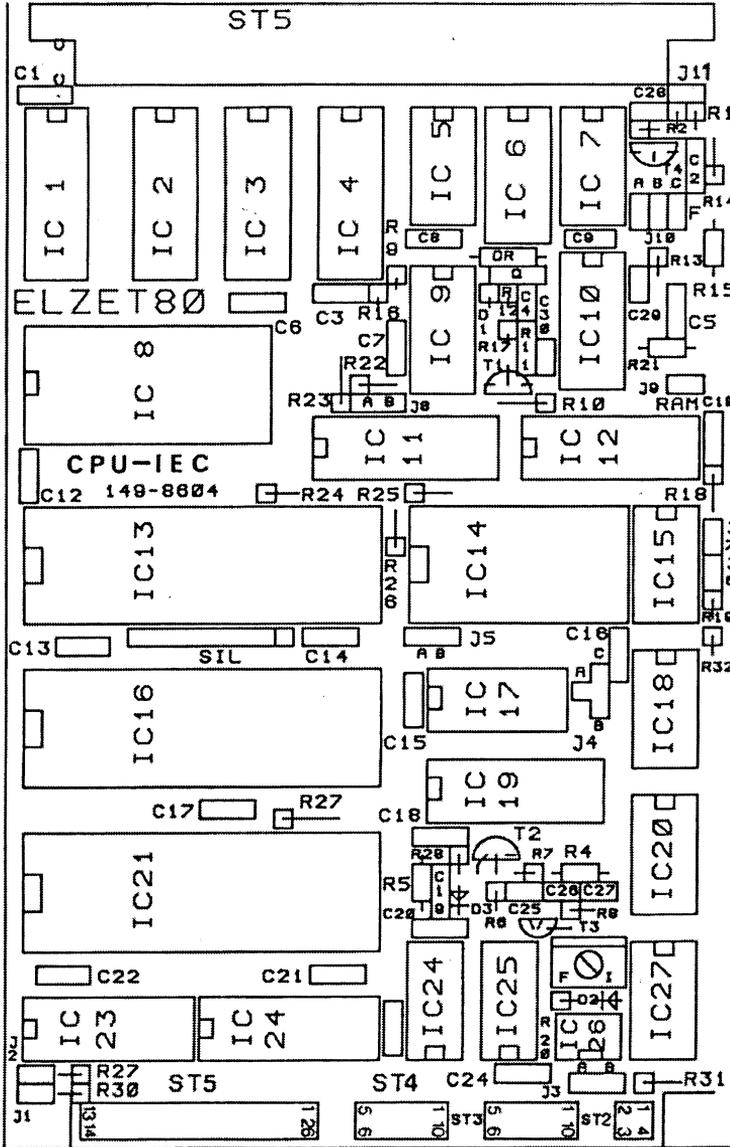
STV 2	NMI	(1)	(4)	Masse
	Reset	(2)	(3)	
	+ 20 mA Eingang	(1)	(10)	- 20 mA-Eingang
	TTL-Eingang	(2)	(9)	Masse
STV 3	TTL-Ausgang	(3)	(8)	Masse
	RS 232-Ausgang	(4)	(7)	+ 5 Volt
	RS 232-Eingang	(5)	(6)	Masse
	Daten-Eingang	(1)	(10)	Masse
	Daten-Ausgang	(2)	(9)	Masse
	RTS-Ausgang	(3)	(8)	Masse
	CTS-Eingang	(4)	(7)	+ 5 Volt
	DTR-Ausgang	(5)	(6)	DCD-Eingang

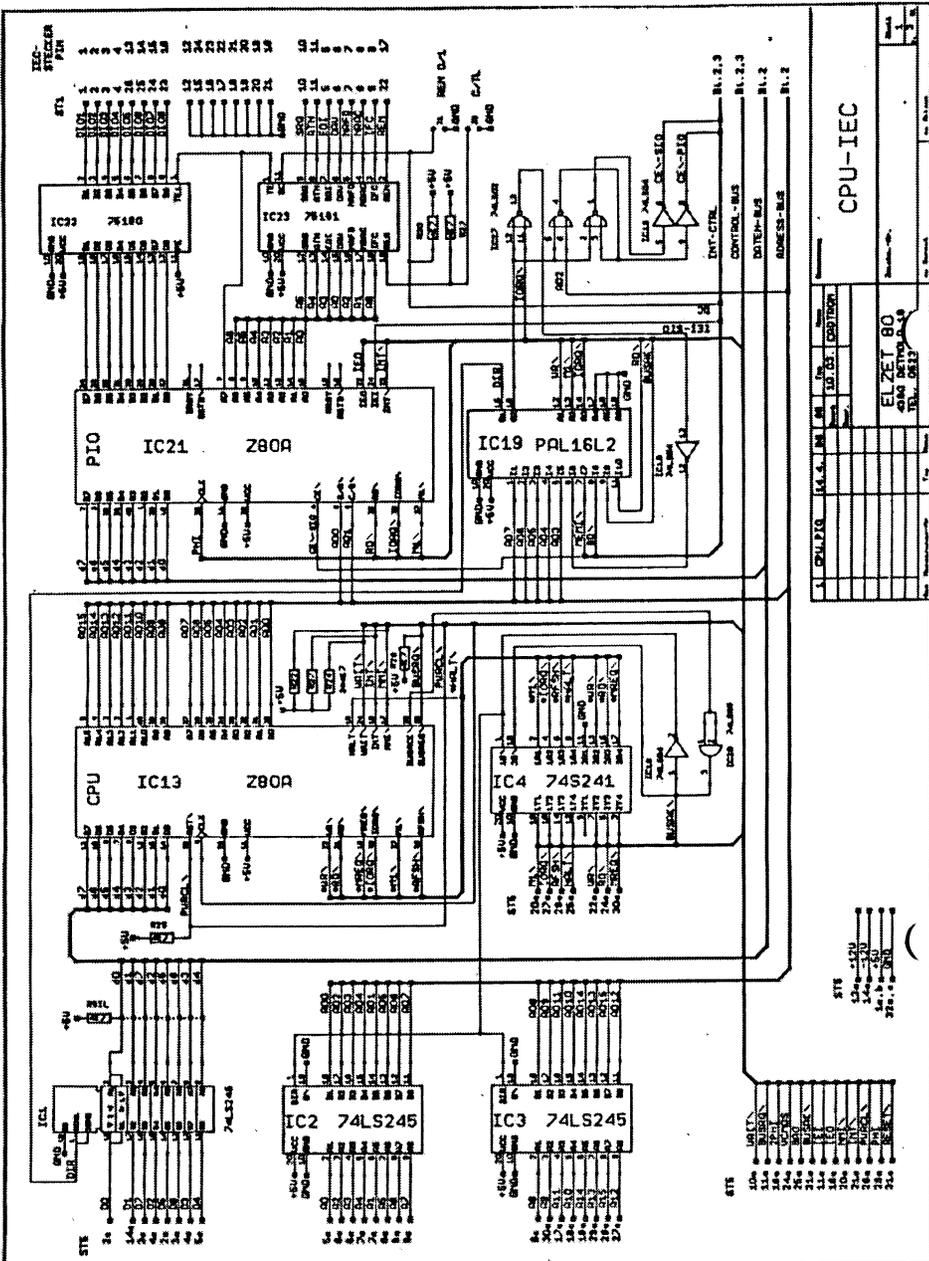
STV 5 Wie in der Dokumentation

Diese Belegung gilt ab Auflage 3 der CPU/IEC.



LAGE 1 BESTUECKORUCK JOB: CPU-IEC



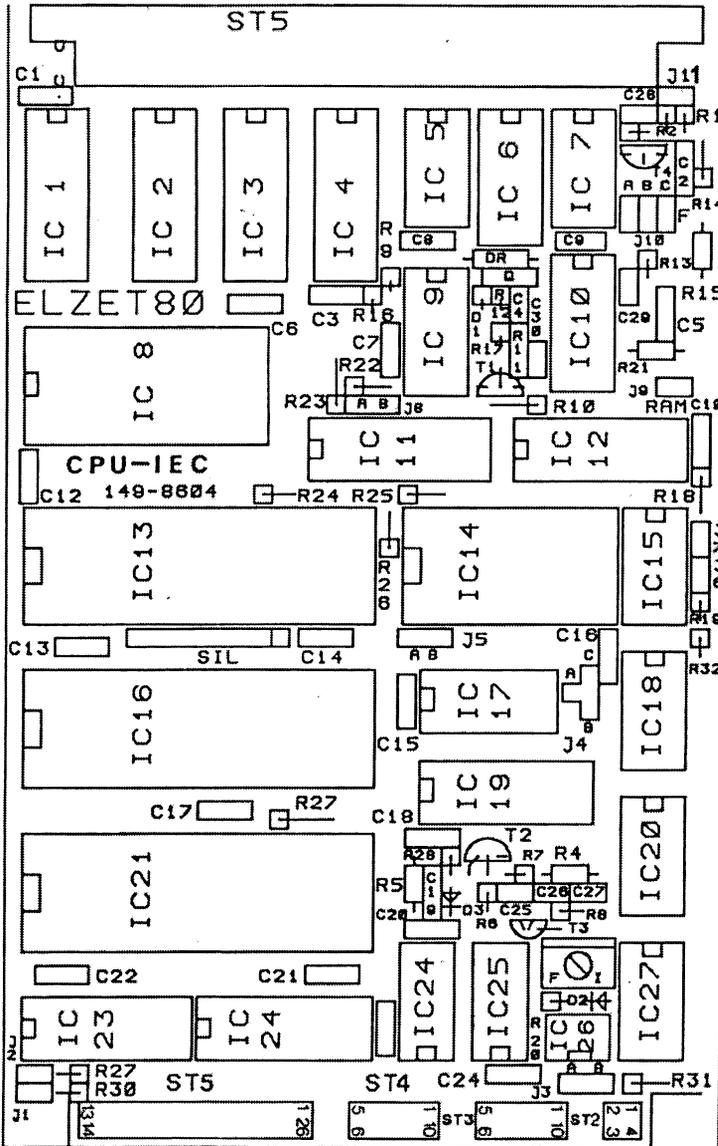


CPU-IEC	
IC	Part Number
1	CPU-IEC
2	ELZET 80
3	ELZET 80
4	ELZET 80
5	ELZET 80
6	ELZET 80
7	ELZET 80
8	ELZET 80
9	ELZET 80
10	ELZET 80
11	ELZET 80
12	ELZET 80
13	ELZET 80
14	ELZET 80
15	ELZET 80
16	ELZET 80
17	ELZET 80
18	ELZET 80
19	ELZET 80
20	ELZET 80
21	ELZET 80
22	ELZET 80
23	ELZET 80
24	ELZET 80
25	ELZET 80
26	ELZET 80
27	ELZET 80
28	ELZET 80
29	ELZET 80
30	ELZET 80

CPU-IEC	
IC	Part Number
1	CPU-IEC
2	ELZET 80
3	ELZET 80
4	ELZET 80
5	ELZET 80
6	ELZET 80
7	ELZET 80
8	ELZET 80
9	ELZET 80
10	ELZET 80
11	ELZET 80
12	ELZET 80
13	ELZET 80
14	ELZET 80
15	ELZET 80
16	ELZET 80
17	ELZET 80
18	ELZET 80
19	ELZET 80
20	ELZET 80
21	ELZET 80
22	ELZET 80
23	ELZET 80
24	ELZET 80
25	ELZET 80
26	ELZET 80
27	ELZET 80
28	ELZET 80
29	ELZET 80
30	ELZET 80



LAGE 1. BESTUECKDRUCK JOB: CPU-IEC



Modifikation der IEC-Software für andere PIO

Die IEC-Software ist ausgelegt für den Betrieb mit der CPU/IEC. Die PIO auf dieser Karte wurde um Treiber erweitert, die natürlich auch an andere PIOs angeschlossen werden können.

Da IEC-Bus eine zeitkritische Sache ist, greift die Software direkt auf die PIO-Ports zu, so daß nicht auf EPROM-Ebene gepatcht werden kann. Es müssen die Equates für die Hardwareadressen geändert werden. Diese sind in IDEFV13.MAC zu finden, Auszug wie folgt:

```
      SUBTTL LISTE DER DEFINITIONEN
;Letzte Änderung:      20.01.1983 W1
;*****
;* I E C - B U S  TREIBERSOFTWARE V 1.3      *
;*                                             *
;* LISTE ALLER DEFINITIONEN FÜR .REL FILE   *
;*****
;
;      PIO - EQUATES:
PIOADA EQU      0
PIOBDA EQU      PIOADA+1
PIOACO EQU      PIOADA+2
PIOBCO EQU      PIOADA+3
;
;      SIO - EQUATES:
SIOBCO EQU      PIOADA+7
;
SIRESO EQU      10H      ;SIO REG.0 und Status Reset
                        ;UM DCD VON SIO B ZU LESEN
;
;
```

Die hier aufgeführten SIO-Equates werden benötigt, um über die Steckbrücke C/TL auf der CPU/IEC die Betriebsart einzulesen, also T/L oder Controller. Dazu wird der DCD-Eingang (aktiv Low) der SIO benutzt. Der gesteckte Jumper (Masseverbindung) entspricht der Betriebsart Talker/Listener.

Diese Einstellung wird nur einmal abgefragt und kann demnach durch eine feste Vorgabe ersetzt werden. Im Quelltext der Datei IMANV15.MAC findet man die Abfrage ab Zeile 190.

Für den Betrieb mit der MOPS-PIO xx1 müssen die PIO-Adressen nicht geändert werden, da die PIO wie auf der CPU/IEC ab 0 aufwärts liegt.

Universal-Floppy-Steuerung und 128kByte RAM

Steuerbaugruppe für ein- und doppelseitige 5 1/4" und 8"-
Floppy-Laufwerke für einfache und doppelte Bitdichte,
Bank-Adreß-Erzeugung und 128kByte RAM mit 4164

=====

ELEKTRONIKLADEN

Giesler & Danne GmbH & Co.KG

W. Mellies Str. 88 · 4930 DETMOLD 18

Telefon: 05232 - 8131

Telex: 931473 laden d

Geöffnet Mo - Fr 9-17h u.n. Vereinbarung

ELZET 80

Inhaltsverzeichnis

Übersicht	Seite 3
Anwendungshinweise RAM	Seite 5
Anwendungshinweise FDC	Seite 7
Schaltungsbeschreibung RAM	Seite 10
Schaltungsbeschreibung FDC	Seite 11
Technische Daten	Seite 15
Belegung der Peripherieschnittstellen	Seite 17
Pfostenreihen für Steckbrücken	Seite 19
Adresseinstellung	Seite 21
Bestückungsplan	Seite 23
Stückliste	Seite 24
Datenblätter 1793, 9229	Anhang A
Schaltbilder	Anhang B

=====
Copyright 1983 bei Giesler & Danne GmbH & Co.KG., Detmold

ELZET 80 FDC 3 ist eine Baugruppe für den ELZET 80 -Bus, die in kompakter Form Floppy-Steuerung und Arbeitsspeicher vereint. Zum Aufbau eines Floppy-Computers sind lediglich eine CPU-Baugruppe wie z.B. die ELZET 80 CPU/IEC und ein Floppy-Laufwerk hinzuzufügen.

Die beiden Funktionsgruppen Floppy-Steuerung und Speicher sind voneinander völlig unabhängig, lediglich der Busstecker wird gemeinsam benutzt.

128KBYTE DYNAMISCHES RAM

ELZET 80 FDC 3 ist eine zuverlässige Speicherkarte für Z80-Systeme mit dem ELZET 80-Bus, also ECB-Bus mit echter Adreßerweiterung auf 20 Leitungen. Die dazu verwendeten Busleitungen sind 19c, 17a, 12a und 12c entsprechend A16 bis A19. Wenn nicht durch die Systemsoftware anders gewählt, werden die Adressen durch die PIO auf FDC 3 erzeugt. Ist das nicht erwünscht, so sind die Pins 27 bis 30 der PIO vom Busstecker zu trennen.

Der zweite 64K-Bereich kann als RAM-Floppy genutzt werden, das ELZET 80 DD-BIOS unterstützt diese Funktion. Weitere Informationen finden Sie unter "Anwendungshinweise".

ELZET 80 FDC 3 verwendet die Refreshadressen, die die Z80 CPU liefert, so daß 64K-Speicher mit 128 Auffrischadressen innerhalb 2ms verwendet werden, z.B. Fujitsu MB 8264. Die Speicher haben eine Zugriffszeit von 200 ns oder schneller.

FLOPPY-LAUFWERKS-STEUERUNG

Die Floppy-Steuerung auf der FDC3 ist unter Verwendung modernster Schaltkreise aufgebaut. Der bewährte SAB 1793 wird als Steuerbaustein eingesetzt, die nötigen externen Funktionen Daten-/Takttrennung, Schreibvorkompensation und Takterzeugung werden komplett durch das IC 9229 B abgedeckt. Der 9229 enthält eine aufwendige digitale PLL zur Datensynchronisation, digital einstellbare Schreibvorkompensation und Taktumschaltung.

Die Abfrage und Steuerung der sonstigen digitalen Signale, wie Laufwerksauswahl, Seitenauswahl, Motorsteuerung, Erkennung des Laufwerktyps (SS/DS) etc. wird über eine Z80A PIO vorgenommen, wobei 4 freie Bits direkt auf den Busstecker gehen und die Bank-Adressen A16 bis A19 erzeugen können.

Der Datentransfer erfolgt über eine Z80A DMA, die ohne Zuhilfenahme der CPU direkt den Systemspeicher adressieren kann.

Für den Anschluß der Laufwerke ist je ein 34-poliger (für 5") und ein 50-poliger Steckverbinder (für 8") vorgesehen. Gemischter Betrieb mit verschiedenen Laufwerksgrößen an einem Controller ist möglich und wird von Sonderversionen des ELZET 80 DD-CBIOS unterstützt.

Die Baugruppenadresse ist auf 16'er-Grenzen ausdekodiert und über ein Pfostenfeld einstellbar.

Alle Busanschlüsse (außer Bankadressen) sind LS-TTL-gepuffert. Die Steuerung der Laufwerkssignale erfolgt über IC-Treiber mit offenem Kollektor, eingangsseitig über Schmitt-Trigger.

Die Baugruppe FDC 3 ist bis auf die Bankadressierung softwarekompatibel zum ELZET 80 FDC 2.

Anwendungshinweise

=====

128KBYTE DYNAMISCHES RAM

Die Bankadresauswahl geschieht aus A16 bis A19 durch ein PROM, das auch die Ausblendung und die Reaktion auf die ELZET 80-Bussignale /Boot active und /Video Blank vornimmt. Standardmäßig wird die Baugruppe geliefert für die Banks 0 bis 3, innerhalb dieser Banks können durch die Steckjumper ST7 und 8 zwei Banks ausgewählt werden. Bank Null wird voll ausgenutzt. Bei den Banks 1 bis 3 ist ein Zugriff auf die jeweils oberen 4K (Adressen F000 bis FFFF Hex) gesperrt. Diesen Bereich verwendet ELZET 80 für die Interrupttabelle und Interrupt-Serviceroutinen, die unabhängig von der Bankanwahl erreichbar sein müssen. Das Standard-Prom blendet ferner die Bereiche xE000 bis xEFFF bei einem Low auf der Busleitung 23c (/Video Blank) aus und bei Low auf /Boot active (22a) die unteren 16K-Bereiche. Das Video-Blank-

Signal wird mit einem PROM-Ausgang UND-verknüpft, so daß die Leitung für das Ausblenden beliebiger anderer Bereiche mit ganzzahligen Vielfachen von 4K benutzt werden kann.

Das ELZET 80 DD-BIOS zum CP/M Floppy-Betriebssystem verwendet jede Bank, die ohne Unterbrechung von der Bank 1 an aufsteigend angeordnet ist, als RAM-Floppy, die als letztes Laufwerk (z.B.: C:) angesprochen werden kann und erwartet auf jeder solchen Bank 60K Speicher (die oberen 4K jeder Bank dienen als gemeinsamer Speicher und sind real nur auf Bank 0 vorhanden). Soll eine Bank nicht als RAM-Floppy arbeiten, so ist eine mindestens eine Bank dazwischen nicht zu bestücken.

Die bei FDC 3 verwendeten Proms für die Speicherdekodierung entsprechen denen für die 256K-Karte. Die Proms sind immer für 4 Banks ausgelegt, aus denen auf FDC 3 über ST7/ST8 zwei ausgewählt werden. Die beiden freien Banks können jedoch nicht durch eine andere Karte belegt werden (Korrektur ist geplant). Soll ein zusammenhängender Speicherbereich unter Einbeziehung einer FDC 3 geschaffen werden, so muß die 256K-Karte ab Bank 0 starten, die FDC 3 ab Bank 4. Bei der ersten Serie 256K und FDC3 sind im Prom Bank 1 und 2 bzw. 5 und 6 usw. vertauscht, so daß der Jumper für die zweite Bank auf 2 statt auf 1 gesteckt werden muß. Diese FDC-Karten sind werksseitig so eingestellt, bei der 256K ist es ohnehin irrelevant.

Beim Booten eines CP/M mit ELZET 80 DD-CBIOS muß darauf geachtet werden, daß die PIO (IC7) auf Ausgabe 00 initiali-

siert wird und bleibt, sonst schreibt der Booter in die falsche Bank. Fragen Sie bitte bei älteren SSM-Bootmonitoren unter Angabe der Versionsnummer nach.

FLOPPY-LAUFWERKS-STEUERUNG

Die Baugruppe FDC 3 wird vom ELZET 80 DD-CBIOS, der Hardwareanpassung zu CP/M 2.2, unterstützt. Ohne Aufpreis ist das BIOS erhältlich für die Konfigurationen 2x 8" einseitig, 2x 8" doppelseitig, 2x 40T 5" einseitig, 2x 5" 80T doppelseitig sowie die vorgenannten jeweils zuzüglich RAM-Floppy-Simulation.

Gegen Aufpreis ist das BIOS lieferbar für 5"/8"-Betrieb in beliebigen Konfigurationen, für 5"-Laufwerke 40T doppelseitig und für XEBEC Hard-Disk-Controller und 6 MB Hard-Disk. Die CP/M+ (CP/M 3) -Anpassung ist in Vorbereitung.

Den physikalischen Forderungen nach korrektem Abschluß des Kabels kann bei einer Konfiguration 5" und 8" gemischt nicht entsprochen werden. Gefordert ist die Anordnung der Laufwerke in einer Kette und Abschluß (Widerstandsnetzwerk) am letzten Laufwerk in der Kette. Mit zwei Kabeln kann dies nicht erfüllt werden. Daher ist mit den Kabellängen und der Position des Netzwerks zu experimentieren. Unsere Erfahrungen führen zur Empfehlung, ein Abschlußnetzwerk am 8"-Kabel anzuschließen. Wenn an einem Kabel Steckverbinder offengelassen werden (2 Anschlüsse und nur ein Laufwerk), dann müssen die freien Anschlüsse zur FDC 3 hinzeigen, das

Kabelende darf keinen offenen Steckverbinder haben. Verschiedene Laufwerkshersteller verwenden unterschiedliche Abschlußwiderstände, so daß eine optimale Anpassung nur selten möglich ist. Scharfe Knicke im Kabel sind ebenso zu vermeiden wie die Führung des Kabels in der Nähe von Induktivitäten (z.B. Bildschirm).

Floppy-Laufwerke sind magnetischen Feldern gegenüber meist ungenügend abgeschirmt. So können Bildschirme oder Schaltnetzteile zu häufigen CRC bzw. RNF-Fehlern führen. Bei ELZET 80-Geräten mit Bildschirm (ELZET/P) sind die Laufwerke deshalb in einem verschweißten Eisenblechkasten untergebracht.

Manche Laufwerke geben kein Ready-Signal (viele 5") bzw. zu frühes Ready (TANDON 8"). Die Software im ELZET 80 DD-CBIOS wartet deswegen nach Ready noch auf zwei Index-Impulse (IP), bevor Lese- oder Schreiboperationen zugelassen werden. Daher können 5"-Floppys ohne READY-Ausgang ohne externes Monoflop angeschlossen werden, wenn READY fest auf Masse gezogen wird. Will man 8" und 5" zusammen betreiben, kann man den Select-Eingang des 5"-Laufwerks über eine Diode auf den Ready-Ausgang (Pin 4 ST3) führen, dann kommt Ready bei Select.

Das Signal Motor On 1 wird vom ELZET 80 DD-CBIOS zusammen mit dem /Select eines beliebigen Laufwerks gesetzt. Da fast alle Laufwerke unterschiedliche Motorlogik haben, wird eine Einzelschaltung derzeit nicht unterstützt. Üblicherweise ist Motor On 0 im Laufwerk in Verknüpfungen einzubeziehen,

daher sind zum Einsatz mit ELZET 80 Software bei ST 2 die Brücken 3 und 6 zu stecken. Beim ersten "CONIN" Aufruf des CP/M wird das Signal wieder zurückgenommen. Dadurch wird gewährleistet, daß während z.B. eines Compilerlaufs nicht ständig die Laufwerke ausgeschaltet werden.

Da ein Betrieb von mehreren DMA-Bausteinen in einem System eine Zugriffs-Priorisierung verlangt, ist auf den ELZET 80 Bussen eine DMA-Priorisierungskette BAI/BAO eingerichtet. Die höchstwertigste DMA ist an BUSAK (CPU Signal zur Busfreigabe) anzuschließen, alle tieferen an BAI. Karten mit DMA sind direkt nebeneinander zu stecken, da nicht alle anderen Baugruppen eine Brücke von BAI nach BAO haben. Gleichzeitig muß allerdings auch die Interruptpriorität beachtet werden. Die Umschaltung zwischen BAI (A-B) und BUSAK (C-B) erfolgt an Jumper ST 6.

Die Schreibvorkompensation ist werksseitig auf 250ns ab Track 43 aufwärts eingestellt (500ns bei Mini). Die Einstellung ist verlötet und sollte nicht verändert werden. Die Lage der Jumper ist jedoch dem Bestückungsdruck in dieser Beschreibung zu entnehmen.

Schaltungsbeschreibung

=====

128KBYTE DYNAMISCHES RAM

Die Adreßleitungen A0 bis A15 gehen auf zwei Schottky-Multiplexer vom Typ 74S157, die zunächst die unteren 8 Adressen mit MREQ auf die Zellenadreßpuffer der 4164 durchschalten. Wenn kein Refresh-Zyklus vorliegt, werden die Spaltenadressen mit der nächsten steigenden Flanke des Takts angelegt und dann in die über das PROM selektierte Speicherreihe gelatcht. Gegenüber Laufzeitverzögerungsgliedern liefert die taktgekoppelte Adreßumschaltung reproduzierbare Ergebnisse, die nur geringfügig durch Bauteil-schwankungen beeinflusst werden. Auch die Arbeit bei unterschiedlichen Taktfrequenzen wird dadurch völlig unproblematisch.

PROM 2, IC 37 dient der Speicherfreigabe. Das Prom verwendet die Adreßeingänge A12 bis A19 vom Bus. Zwei Ausgänge erzeugen die Freigabe bei Übereinstimmung der Banknummer, zwei weitere Ausgänge werden aktiv, wenn das Adreßmuster einem programmierten 4K-Block entspricht. Diese Ausgänge werden in einer externen Logik mit den Eingängen /Boot Active und /Video Blank verknüpft und sperren gegebenenfalls die CAS-Erzeugung.

Der Datenbus wird mit 4-fach-Bustreibern 8216 oder SN 75136 angekoppelt. Diese Bausteine haben getrennte Datenein- und ausgänge. Der Umschaltung zwischen diesen beiden Typen

dient die Brücke ST 4 mit X=8216/Y=75136, die werksseitig eingestellt wurde und nicht verstellt werden darf.

FLOPPY-LAUFWERKS-STEUERUNG

Der Busanschluß einer I/O-Baugruppe mit DMA ist durch die gleichzeitige Einbeziehung von Speicher- und I/O-Adreßbereich recht aufwendig. Da auch noch die Bedingungen des Z80-Vektorinterrupt einbezogen werden müssen, wurde die logische Verknüpfung zur Busschaltung durch ein Prom aufgelöst. IC 15 bezieht die Signale CS, BAI, BAO, IEI, IEO, M1, IORQ und RD ein und schaltet Adressen und Steuersignale (D0, Ausg.12) sowie Daten (D1-3, Ausg.9-11, UND-verknüpft in IC9) separat in der Richtung um.

Die I/O-Adreßauswahl wird über einen 74LS85 4-Bit-Vergleicher vorgenommen, der auf einen 16'er Adreßblock dekodiert (Einstellung über ST 5, siehe Tabelle). Das Ausgangssignal gibt einen 3 zu 8 Dekoder 74LS138 (IC8) frei, der die Freigabesignale für die LSI-Bausteine erzeugt. Ein 4'er Adreßblock innerhalb der eingestellten Basisadresse wird nicht ausgenutzt.

FDC 3 ist aufgebaut um den SAB 1793 Steuerbaustein, der die Funktionen wie Track suchen, Sektor lesen, Sektor schreiben etc. selbständig durchführt.

Weiter verfügt der 1793 über Steuerleitungen für den Datenseparator und fragt ohne Zuhilfenahme anderer Bausteine

Laufwerkssignale wie Spur 0, Ready, Index und Schreibschutz ab. Über Leitungstreiber mit offenem Kollektor (7406, IC3 und IC5) gibt der 1793 auch die Signale für Step, Step-Richtung, Track>43 und Write Gate an die Laufwerke.

Vom Floppy-Laufwerk erhält die Steuerbaugruppe FDC 3 ein Daten-/Taktgemisch, welches wegen der hohen Datenraten bei 8" doppelter Dichte nicht mehr durch einfache Monoflop-Lösungen getrennt werden kann. Wegen der unterschiedlichen Bitdichten zwischen äußeren und inneren Spuren einer Diskette empfiehlt sich bei doppelter Bitdichte außerdem eine Schreibvorkompensation, bei der die Bitlage gegenüber dem Takt leicht verschoben wird. Diese Funktionen werden durch den Baustein IC1 (9229B) abgedeckt. Die Datenseparation wird mit einer digitalen PLL vorgenommen, die über einen Langzeit- und einen Kurzzeitregelkreis verfügt. Die Schreibvorkompensation ist in verschiedenen Stufen einstellbar und berücksichtigt die unterschiedlichen Taktraten von Minifloppys und 8"-Floppys. Die Einstellung wird über die Eingänge P0 bis P2 vorgenommen, die auf der Karte werksseitig verdrahtet werden (Feld zwischen 9229 und ST2). Head Load wird durch den 9229 um 40ms bzw. 80ms (5") verzögert.

Der 1793 benötigt für den Betrieb mit 8"-Laufwerken eine 2 MHz Taktfrequenz, für 5 1/4"-Laufwerke 1MHz. Darüberhinaus brauchen die PLL und die Schreibvorkompensationslogik Hilfsfrequenzen bis 16 MHz, die alle vom IC1 9229B erzeugt werden. Zur Zeit der Baugruppenkonstruktion war nur der Baustein 9229BT verfügbar, der einen externen Takt braucht, der 9229B hat einen eigenen Quarzoszillator. Bei

Einsatz des BT wird ein integrierter 16MHz-Quarzoszillator unter IC2 eingelötet, beim 9229B werden die Bauteile Q und R3 benötigt.

Da die Datenrate von 500kBit/s bei 8" und doppelter Bitdichte nicht im Einzelbyte-Interrupt zu verarbeiten ist, erfolgt die Übergabe der Daten zwischen Hauptspeicher und Floppy unter Zuhilfenahme eines Z80A DMA-Bausteins. Dieser erzeugt selbst die Speicheradressen von denen gelesen oder auf die geschrieben werden soll und erledigt den Datentransfer während einer kurzen Unterbrechung der CPU-Aktionen. Die Freigabe der DMA erfolgt nach einer Busanforderung (Leitung /BUSRQ) durch ein BUSAK-Signal der CPU. Bei mehreren DMA's kann wahlweise (Jumper ST 6) auf BAI gewartet werden. Die DMA ist mit dem SAB1793 so verbunden (RDY/DRQ), daß ohne CPU-Eingriff ein Sektor oder eine ganze Spur übertragen werden kann.

Die Z80A PIO besorgt ausgangsseitig a) die Auswahl des Laufwerks, b) die Seitenwahl bei doppelseitigen Laufwerken, c) die Auswahl des Laufwerkstyps 5"/8", d) die Datendichte einfach/doppelt, e) die Motorsteuerung und schließlich f) die Bankadreßerzeugung. Als Eingang arbeitet die PIO für die Signale "Two Sided" und "Disk Change". Two Sided ist aktiv, wenn eine doppelseitige Diskette in ein 8"-Laufwerk eingelegt ist, was automatische Unterscheidung ermöglicht. Bei 5" ist das Signal leider nicht vorhanden. Disk Change wird vom ELZET 80 DD-CBIOS nicht ausgenutzt, da es nur von wenigen Laufwerken erzeugt wird. Weiter dient die PIO als Vektorinterruptgeber für den 1793.

Die Ausgangssignale des 1793 und der PIO werden zur Floppy mit OC-Treibern (offener Kollektor) hoher Lastkapazität übergeben, eingehende Signale sind über Widerstandsnetzwerke mit 180 Ohm gegen +5V abgeschlossen. Die Ausgangstreiber für die Laufwerks- und Seitenauswahl sind nicht invertierend, die anderen Signale werden invertiert. Die Eingangssignale "Two Sided", "Disk Change" und "Read Data" werden über je zwei Schmitt-Trigger (IC 6) aufbereitet.

Die Bank-Adreßausgänge (PIO Kanal B, Bit 0 bis 3) werden direkt auf den Bus geführt, wobei Pull-Up-Widerstände (R5) für eindeutige Signalzustände sorgen.

Die Floppy-Laufwerke werden entweder über den 50-poligen Steckverbinder ST 1 oder den 34-poligen Steckverbinder ST 3 angeschlossen. Die Steckrichtung ist anders als bei FDC und FDC 2, ein für die älteren Controller verwendetes Kabel muß bei FDC 3 so aufgesteckt werden, daß es nach innen (Richtung Kartenmitte) abgeführt wird. Die Verdrahtung kann durch angequetschtes Flachbandkabel erfolgen. Steckverbinder oder auch fertig konfektionierte Kabel sind von uns erhältlich.

Teilweise lagern wir auch die Anschlußstecker für die Betriebsspannungen der Floppy-Laufwerke. Wir bitten um Anfrage.

Technische Daten

=====

Betriebsspannung: + 5V $\pm 5\%$, +12V $\pm 5\%$

Stromaufnahme: ca. 900 mA/5V, 20mA/12V

Peripherieschnittstellen:

34-polige Stiftleiste 2-reihig aus Wrappfosten 0,64x 0,64mm mit Stift- und Reihenabstand 2,54mm zum Anschluß eines 5 1/4" Floppy-Laufwerks. Passender Flachkabelverbinder dazu ELZET 80 S7/34. Passender Verbinder für den Anschluß des Laufwerks ELZET 80 S11/34.

50-polige Stiftleiste 2-reihig aus Wrappfosten 0,64x 0,64mm mit Stift- und Reihenabstand 2,54mm zum Anschluß eines 8" Floppy-Laufwerks. Passender Flachkabelverbinder dazu ELZET 80 S7/50. Passender Verbinder für den Anschluß des Laufwerks ELZET 80 S11/50.

F D C 3

Speicherkapazität:	128 kByte
Z 80 Taktfrequenz:	4 MHz
Busschnittstelle:	64-polige Messerleiste nach DIN 41612 Bauform C, a+c bestückt, Belegung nach ELZET 80 Busspezifikation
Abmessungen:	Europaformat 100mm x 160mm Einbaubreite 20,32mm (4TE)
Umgebungstemperatur:	0 °C bis 55 °C bei freier Konvektion

Die Belegung der Peripherieschnittstellen

=====

ST 1 Anschluß für 8" Floppylaufwerke

Pin 2	TG 43
Pin 4	Motor On 1
Pin 6	Motor On 2
Pin 8	Motor On 3
Pin 10	Two Sided
Pin 12	Disk Change
Pin 14	Side Select
Pin 16	frei
Pin 18	Head Load
Pin 20	IP (Index)
Pin 22	Ready
Pin 24	Motor On 0
Pin 26	Drive Select 0
Pin 28	Drive Select 1
Pin 30	Drive Select 2
Pin 32	Drive Select 3
Pin 34	Direction
Pin 36	Step
Pin 38	Write Data Out
Pin 40	Write Gate
Pin 42	Track 00
Pin 44	Write Protected
Pin 46	Read Data
Pin 48	frei
Pin 50	frei

F D C 3

ST 3 Anschluß für 5 1/4" Floppy-Laufwerke

Pin 2	Head Load
Pin 4	Ready
Pin 6	Drive Select 3
Pin 8	Index Pulse
Pin 10	Drive Select 0
Pin 12	Drive Select 1
Pin 14	Drive Select 2
Pin 16	Motor On 0
Pin 18	Direction
Pin 20	Step
Pin 22	Write Data Out
Pin 24	Write Gate
Pin 26	Track 00
Pin 28	Write Protect
Pin 30	Read Data
Pin 32	Side Select
Pin 34	Disk Change

Alle ungeraden Anschlüsse von ST 1 und ST 3 sind mit Masse verbunden.

Pfostenreihen für Steckbrücken und ihre Bedeutung

ST 2 Zuordnung Motor On 0

Von Motor On 1 auf 8" (ST 1): Brücke 3
Von Motor On 2 auf 8" (ST 1): Brücke 2
Von Motor On 3 auf 8" (ST 1): Brücke 1
Von Motor On 1 auf 5" (ST 3): Brücke 6
Von Motor On 2 auf 5" (ST 3): Brücke 5
Von Motor On 3 auf 5" (ST 3): Brücke 4

ST 4 Auswahl Datenbustreiber

X = 8216
Y = 75136

ST 5 AdreBeinstellung

Siehe unten

ST 6 DMA-Priorisierung

A-B entspricht BAI von Bus-BAI
C-B entspricht BAI von BUSAK

Beschreibung unter "Anwendungshinweise"

ST 7 und ST 8 Bank-Auswahl

Innerhalb der Prom-vorgegebenen 4 Banks kann eine beliebige Bank für jeden Speicherblock ausgewählt werden. Die Jumper sind jeweils mit 0 bis 3 bezeichnet, diese Ziffern entsprechen der Bank-Nummer. ST7 und ST8 müssen auf unterschiedliche Ziffern eingestellt werden.

ST 7 wählt IC-Block 18 bis 25

ST 8 wählt IC-Block 27 bis 34

Feld zwischen IC 1 9229 und ST 2 Schreibvorkompensation

Die P0 bis P2 -Eingänge des 9229 können wahlweise auf Masse oder auf TG 43 eingestellt werden. Die Zuordnung ist dem Bestückungsdruck zu entnehmen, die Werte finden sich im Datenblatt zum 9229.

Adreßeinstellung

=====

Die Anfangsadresse des Floppy-Steuerteils der Baugruppe ist auf jede sechzehnte Adresse ab 0 einstellbar, d.h. auf hexadezimal 0, 10, 20, ... F0. Ab der jeweils eingestellten Adresse sind die einzelnen Ports wie folgt zugeordnet:

Basisadresse + 0	DMA
Basisadresse + 1	DMA
Basisadresse + 2	DMA
Basisadresse + 3	DMA
Basisadresse + 4	unbenutzt
Basisadresse + 5	unbenutzt
Basisadresse + 6	unbenutzt
Basisadresse + 7	unbenutzt
Basisadresse + 8	FDC-Befehlsport
Basisadresse + 9	FDC-Spur
Basisadresse + A	FDC-Sektor
Basisadresse + B	FDC-Daten
Basisadresse + C	PIO A Daten
Basisadresse + D	PIO B Daten
Basisadresse + E	PIO A Control
Basisadresse + F	PIO B Control

F D C 3

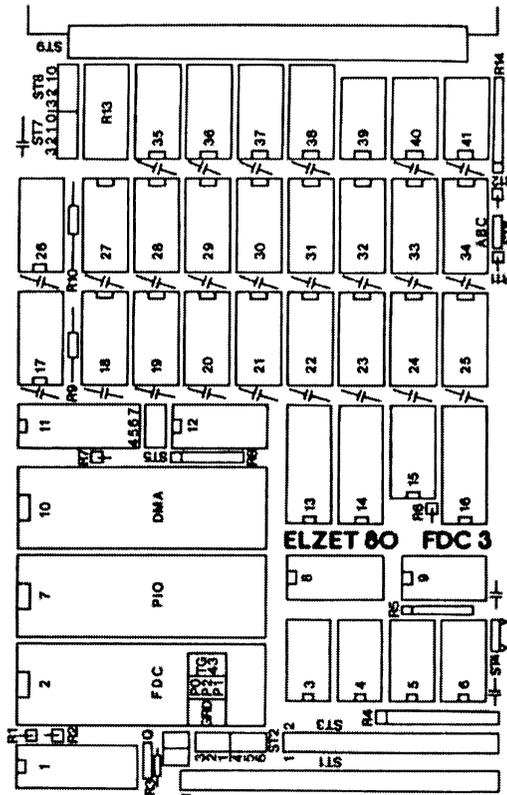
Die Anfangsadresse wird mit den 4 Steckbrücken von ST 5 eingestellt.

Adr.	Brücke 4	Brücke 5	Brücke 6	Brücke 7
00	gesteckt	gesteckt	gesteckt	gesteckt
10	offen	gesteckt	gesteckt	gesteckt
20	gesteckt	offen	gesteckt	gesteckt
30	offen	offen	gesteckt	gesteckt
40	gesteckt	gesteckt	offen	gesteckt
50	offen	gesteckt	offen	gesteckt
60	gesteckt	offen	offen	gesteckt
=====				
70	offen	offen	offen	gesteckt
80	gesteckt	gesteckt	gesteckt	offen
90	offen	gesteckt	gesteckt	offen
A0	gesteckt	offen	gesteckt	offen
B0	offen	offen	gesteckt	offen
C0	gesteckt	gesteckt	offen	offen
D0	offen	gesteckt	offen	offen
E0	gesteckt	offen	offen	offen
F0	offen	offen	offen	offen

F D C 3

Bestückungsplan

||||||||||||||||||||



ELZET 80 FDC 3

Stückliste

IC 1	Integrierte Schaltung	FDC 9229 B
IC 2	Integrierte Schaltung	SAB 1793-02
IC 3, 5	Integrierte Schaltung	7406
IC 4	Integrierte Schaltung	7407
IC 6	Integrierte Schaltung	7414
IC 7	Integrierte Schaltung	Z80A PIO
IC 8	Integrierte Schaltung	74 LS 138
IC 9	Integrierte Schaltung	74 LS 10
IC 10	Integrierte Schaltung	Z80A DMA
IC 11, 16	Integrierte Schaltung	74 LS 245
IC 12	Integrierte Schaltung	74 LS 85
IC 13, 14	Integrierte Schaltung	74 LS 244
IC 15	Integrierte Schaltung	PROM 1 (*)
IC 17, 26	Integrierte Schaltung	8216
IC 18-25, 27-34	Integrierte Schaltung	8264
IC 35, 36	Integrierte Schaltung	74 S 157
IC 37	Integrierte Schaltung	PROM 2 (*)
IC 38	Integrierte Schaltung	74 LS 156
IC 39	Integrierte Schaltung	74 LS 74
IC 40	Integrierte Schaltung	74 LS 86
IC 41	Integrierte Schaltung	7432
C	27 Keramikkondensatoren	100nF
Q	Quarz	entfällt s.u.
R 1, 2, 7	Widerstand	10 kOhm
R 3	Widerstand	entfällt
R 4	R-Netzwerk SIL	8x 180 Ohm

F D C 3

R 5	R-Netzwerk SIL	4x 2,2 kOhm
R 6, 11	Widerstand	4,7 kOhm
R 8	R-Netzwerk SIL	4x 4,7kOhm
R 9, 10	Widerstand	680 Ohm
R 12	Widerstand	33 Ohm
R 13	R-Netzwerk DIL	8x 33 Ohm
R 14	R-Netzwerk SIL	6/7x 680 Ohm
ST 1	Pfostenstecker	50p. (2x25)
ST 2	Pfostenstecker	12p. (2x6)
ST 3	Pfostenstecker	34p. (2x17)
ST 4	Pfostenstecker	3p. (1x3)
ST 5	Pfostenstecker	8p. (2x4)
ST 6	Pfostenstecker	3p. (1x3)
ST 7/8	Pfostenstecker	16p. (2x8)
ST 9	Steckerleiste DIN 41612c	64p. a+c
	Platine	FDC3

Quarz ersetzt durch Quarzoszillator 16MHz im IC-Sockel von IC 2. Sockel für IC 1 (Datensep.), IC 37 (Prom Speicher) und die 40p-LSI's IC 2, 7 und 10.

(*) PROM 1	FDC-Bussteuerung	rot/rot
(*) PROM 2	Speicherselektion	
	Bank 0-3	rot/blau
	Bank 4-7	grün/blau

Bei den Speicherproms sind die ELZET 80 -Busleitungen Video80-/Blank und /Boot active berücksichtigt. Zugriffe auf den Bereich F000 bis FFFF erfolgen nur in Bank 0.

