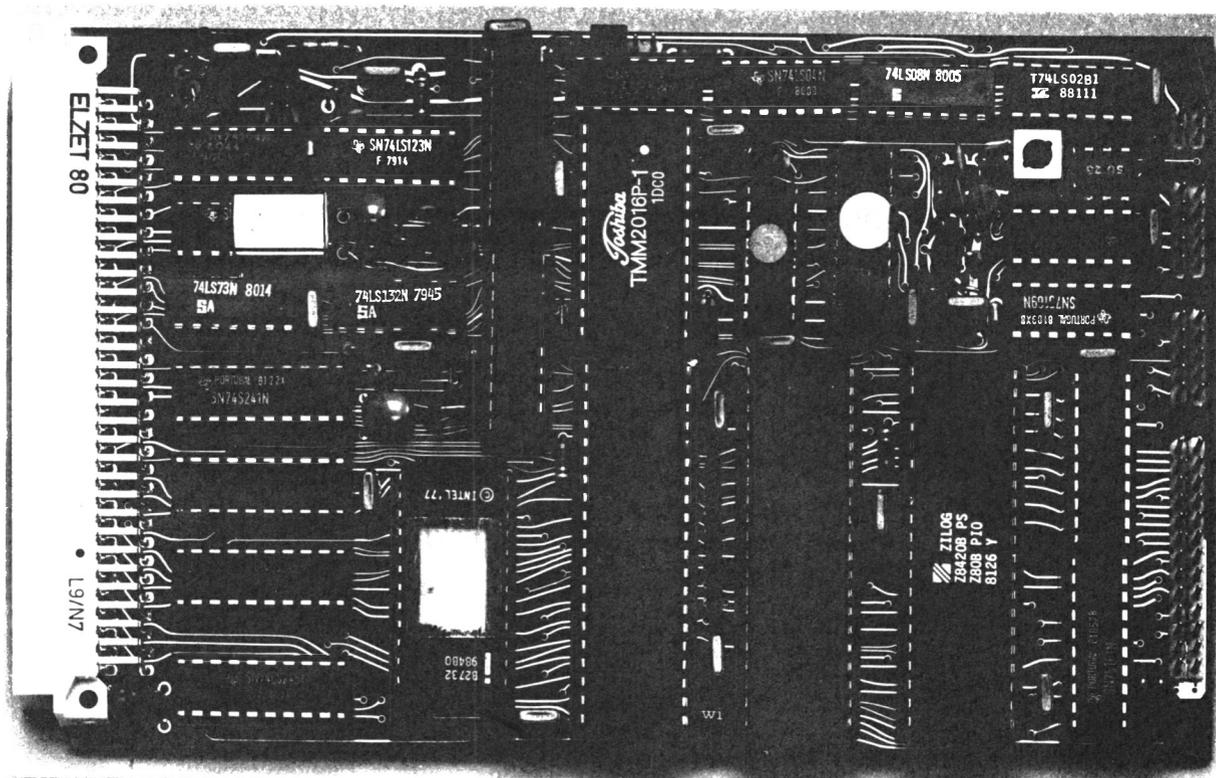


CPU / IEC



Z80 A/B Zentraleinheit und Einplatinencomputer

=====

ELEKTRONIKLADEN

Giesler & Danne GmbH & Co.KG

W. Mellies Str. 88 · 4930 DETMOLD 18

Telefon: 05232 - 8131

Telex: 931473 laden d

Geöffnet Mo - Fr 9-17h u.n. Vereinbarung

ELZET 80

Die ELZET 80 CPU/IEC eignet sich für den universellen Einsatz als Zentraleinheit in Geräten aller Größen vom kleinen Steuerungsrechner bis zum Großsystem mit Floppys. Durch eigenen RAM- und ROM-Bereich, zwei Serienschnittstellen RS232 und eine Parallelschnittstelle mit IEC-Bus-Treibern ist sogar ein eigenständiger Einsatz der Platine möglich.

Wesentlichste Konstruktionsforderung beim Baugruppendesign war die kompromißlose Pufferung aller Signale, sei es zum Bus hin oder für die Peripherieanschlüsse. Die Steuerung der Bustreiber erfolgt aufgrund der Komplexität der Steuerbedingungen, z.B. bei DMA-Zugriffen auf interne Speicher oder Vektorinterruptbetrieb, durch ein Spezial-Gate-Array-IC.

Die ELZET 80 CPU/IEC ist aufgebaut auf einer Multilayer-Platine im Europaformat und verfügt über eine 64-polige Steckerleiste nach DIN 41612, Bauform C. Im Betrieb als Einplatinencomputer dient diese Steckerleiste zur Zuführung der Betriebsspannungen (+5V und Masse normal, +12V und -12V bei Benutzung der Serienschnittstellen). Wird die CPU/IEC in einem Mehrplatinensystem eingesetzt, so werden über den Stecker die gepufferten Adreß-, Steuer- und Datenleitungen auf den Systembus geführt.

Die Baugruppe CPU/IEC ist in der Lage, ca. 40 Systemkarten anzusprechen, so daß Steuerrechner mit hunderten von Ein-/Ausgabekanälen realisierbar sind.

SCHALTUNGSBESCHREIBUNG

TAKTGENERATOR

Neben der eigentlichen CPU mit ihren Bustreibern enthält die Karte den Taktgenerator und die RESET/NMI-Logik. Der Taktgenerator ist aufgebaut mit einem Quarz und einem 74LS321 als Quarzoszillator. Das Oszillator-IC liefert die Quarz-Grundfrequenz F sowie die Frequenzen $F/2$ und $F/4$. Die durch einen Jumper gewählte Frequenz wird auf einen Schottky-Treiberbaustein geführt, der zusammen mit einem Treibertransistor die Impulsformung vornimmt. Dieses Taktsignal wird über einen Jumper auf die Busleitung 29c geführt, mit der auch der Phi-Eingang der CPU verbunden ist. Das ermöglicht den Betrieb in einem Bussystem mit externem Takt.

RESET

Die RESET-Logik besteht aus einem Eingangsfilter mit Schmitt-Trigger-Treiber 74LS132, welches sein Signal vom Bus Pin 31c oder von einem Tasteranschluß am vierpoligen Pfostenstecker STV 2 erhält. Es folgt die M1-Verknüpfung in einem Flip-Flop 74LS73A, ein Monoflop 74LS123 zur Zeitbegrenzung des RESET auf unter 2ms, um Ausfälle dynamischer Speicher zu verhindern, die Einschalt-RESET-Erkennung mit einer Dioden/Kondensator-Schaltung und nachfolgendem Schmitt-Trigger 74LS132 und ein Schottky-Treiberbaustein 74S04 auf die Busleitung 26c PWRCL (Power-On-Clear).

NMI

Die NMI Logik verarbeitet das Signal eines an STV 2 angeschlossenen NMI-Tasters ebenfalls mit Tiefpaß und Impulsformung über einen 74S04. Über ein Monoflop 74LS123 und einen Transistortreiber (offener Kollektor) gelangt das Signal auf Bus-Pin 20c. Bei entsprechender Initialisierung des NMI-Sprungvektors kann ein NMI-Taster gute Dienste beim Austesten neuer Programme leisten (Aussprung aus endloser Schleife etc.).

WAIT

Die Baugruppe CPU/IEC enthält Sockel und Adreßdekode-Logik für interne Speicher, für 2K RAM und 4K oder 8K Eprom. Für diese Speicher oder auch externe Speicher kann WAIT erzeugt werden, da dies insbesondere bei der 6MHz CPU sehr zeitkritisch ist, werden spezielle Schottky-IC's verwendet. Verschiedene Steckbrücken ermöglichen eine Auswahl der WAIT-Funktionen. Es sind die Jumper "WAIT", "RAM-WAIT" und "1", "2" und "3".

Über ein Flip-Flop mit /MREQ als Eingang und Systemtakt als CLK wird zunächst ein WAIT-Vorsignal erzeugt, das mit REFRESH verknüpft auf den Eingang einer folgenden Flip-Flop-Kette in einem AM 25 S 08 geführt wird. Die REFRESH Verknüpfung ist notwendig, damit bei dieser Art eines Speicherzugriffs kein WAIT erzeugt wird.

Die drei Ausgänge der Flip-Flop-Kette werden über die

Jumper 1, 2 oder 3 auf ein Schottky-NAND-Gatter mit vier Eingängen geführt, wo die Verknüpfung mit dem WAIT-Vorsignal und der Extern/Intern-WAIT-Logik vorgenommen wird. Ist der Jumper zu dieser Logik ("WAIT") nicht gesteckt, so ergibt sich am Open-Collector-Ausgang des 'S22 bei jedem Speicherzugriff ein /WAIT-Signal, dessen Länge in Taktzyklen dem gesteckten der Jumper 1, 2 oder 3 entspricht.

Da nun üblicherweise WAIT auf jeden Speicherzugriff unsinnig ist, kann über die Extern/Intern-WAIT-Logik ein WAIT bei bestimmten Betriebszuständen vermieden werden. Dazu ist zunächst der Jumper WAIT zu stecken, um diese Logik zu aktivieren. Der Vergleicherausgang des AM 25LS2521 für das Eprom schaltet dann bei jedem Speicherzugriff, der nicht auf das eingebaute Eprom geht, die WAIT-Erzeugung ab. Mit dem Jumper "RAM-WAIT" kann die WAIT-Erzeugung wiederum auch auf das interne RAM ausgedehnt werden, dazu wird wie beim Eprom das Vergleichersignal des 2521 benutzt. Die WAIT-Erzeugung für Zugriffe auf das interne Eprom ist nicht abschaltbar. Die mit 1, 2 oder 3 eingestellte Zyklenzahl ist gleich für alle ansprechbaren Speicher.

INTERNER SPEICHER

Die ELZET 80 CPU/IEC verfügt über Sockel für internen EPROM-Speicher und internes statisches (CMOS-) RAM. Bei Zugriff auf den internen Speicher wird der Datenbustreiber über ein 74LS08 Gatter und das Bussteuer-Spezial-IC in Schreibrichtung umgeschaltet. Dadurch kann RETI auch von externen I/O-Karten verwertet werden.

EPROM

Das Eprom auf der CPU/IEC erfüllt zwei Aufgaben, je nach Einsatzgebiet der Baugruppe. In Steuerungen ist in den bis zu 8K Programmspeicher das Arbeitsprogramm unterzubringen, das Eprom wird automatisch bei RESET angesprungen. Selbst für den ELZET 80 PROCESS BASIC Interpreter und ein zugehöriges BASIC Programm reicht der Platz aus.

Für den Einsatz der CPU/IEC als Zentraleinheit in einem Floppy-Gerät dient das Eprom als Bootlader. Betriebssysteme wie CP/M müssen von der Diskette geladen werden. Das Programm steht dann auf vorbekannten Spuren und Sektoren, bei CP/M auf Spur 0 und 1 und muß in den RAM-Bereich gebracht werden. Das ist Aufgabe eines Boot-Programms das in diesem Fall in dem Eprom untergebracht wird (z.B. SSM). Da das Boot-Programm nach Laden des gewünschten Betriebssystems nicht mehr benötigt wird, ist es Speicherplatzverschwendung, diesen Bereich ständig zur Verfügung zu haben. Daher ist das Boot-Eprom per Programm ausblendbar.

Der 28-polige Eprom-Sockel ist ausgelegt für 2732 (4Kx8) und 2764 (8Kx8) Speicher und ist fest adressiert auf 0. Bei Aufsicht auf die Platine mit Busstecker links sind die Eproms mit der Nase nach unten einzustecken, bei einem 2732 müssen die unteren vier Anschlüsse frei bleiben. Die Adressselektion erfolgt über einen 8-Bit-Komparator AM 25LS2521 aus A12 bis A15 und unter Berücksichtigung des DTR-Bits des SIO-B-Kanals, das bei RESET High ist. Der AM 25LS2521 gibt auf DTR High frei und ermöglicht so den

Zugriff auf das Eprom nach RESET. Mit einem Ausgabebefehl auf das Schreibregister 5 der SIO B kann DTR rückgesetzt werden und der Vergleicher sperrt den Zugriff auf das interne Eprom.

RAM

Für die Anwendung als Einplatinencomputer oder für Steuerungen ohne großen RAM-Bedarf wird auf der CPU/IEC noch ein Sockel für 2K RAM zur Verfügung gestellt. Wahlweise ist CMOS (6116) oder NMOS-RAM (2016) einsetzbar, der Zugriff kann, wie oben beschrieben, einstellbar mit WAIT-Zyklen erfolgen, so daß auch langsame Speicher einsetzbar sind. Die Adreßdekodierung des RAM-Bereichs wird mit dem 8-fach-Komparator AM 25LS2521, IC12 fest auf E000 eingestellt. Wird der RAM-Bereich nicht benötigt, so kann das RAM über einen Jumper deselektiert werden. Die Betriebsspannung des RAM's kann wahlweise von der +5V Standardversorgung bezogen werden oder von der Busleitung Vcmos, die beispielsweise von einem Akku kommen kann. Wenn der /CS Pull-Up dann auch nach Vcmos statt zur Standardspannung gezogen wird, können ausfallsichere Systeme konstruiert werden.

EIN-/AUSGABE-SCHNITTSTELLEN

Als Peripheriebausteine werden auf der CPU/IEC eingesetzt eine Z80A/B SIO und eine Z80A/B PIO mit entsprechenden Treiberbausteinen. Die Adreßdekodierung ist fest auf 00H bis 07H eingestellt.

SIO

Die Z80 SIO ist ein universeller Baustein für zwei unabhängige Serienschnittstellen, die sowohl asynchron als auch synchron arbeiten können. Im Synchronbetrieb verwaltet die Z80 SIO selbständig die Protokolle für die Betriebsarten BiSync, HDLC oder SDLC mit den Prüfungen CRC-16 oder CRC-CCITT. Im Asynchronbetrieb ist die SIO programmierbar auf 5,6,7 oder 8 -Bit-Worte mit verschiedenen Stop-Bits.

Unabhängig von der Betriebsart steht bei Empfang ein 3-Byte-FIFO-Puffer und bei Senden ein 1-Byte-Puffer zur Verfügung, so daß der Baustein eine Positionierung weit unten in der Interruptpriorität zuläßt.

Die SIO erzeugt pro Kanal vier unterschiedliche Interruptvektoren, separat für Empfänger erstes Byte, Empfänger jedes Byte, Sender, Steuerbitänderung und Status, so daß sehr kleine und damit schnelle Interrupt-Serviceroutinen möglich werden.

Der Ausgang des SIO-Kanals A ist mit allen Signalen nach RS232C/V24 gepuffert, wenn neben der +5V-Betriebsspannung noch +12 und -12V vom Bus zugeführt werden. Die Pufferung umfaßt die Signale Daten, CTS und DCD sendeseitig und die Signale Daten, RTS und DTR empfangsseitig und wird mit den Bausteinen MC1488 und MC1489 vorgenommen. Die bei Kanal A "übrigbleibenden" Puffer, je ein Sender und Empfänger, dienen als Treiber für die Datenleitungen des B-Kanals.

Z80 A/B Zentraleinheit und Einplatinencomputer

Für den Kanal B sind keine Modemleitungen herausgeführt, für die Datenleitungen kann gewählt werden zwischen V24 und TTL-Pegel, empfangsseitig auch noch Stromschleifeneingang 20mA über Optokoppler. Der 20mA-Eingang ist speziell für den Anschluß der ELZET 80 Text-Tastatur vorgesehen, die einen Stromschleifentreiber zur Erhöhung der Störsicherheit beinhaltet. Mit dem Jumper RS232/20mA wird der Eingang umgeschaltet. Das TTL-Eingangssignal wird ebenso wie der Ausgang des 20mA Optokopplers- auf den Eingang des RS232-Empfängers geführt. Der TTL-Ausgang wird mit einem 74LS04-Inverter gepuffert. Das DTR-Bit des B-Kanals ermöglicht die Abschaltung des Eproms, das DCD-Bit wird von der IEC-Bus-Software ausgewertet (Abfrage des C/TL-Jumpers). RTS und CTS sind nicht beschaltet.

Beide Kanäle erhalten den Takt aus einem diskret aufgebauten Baudratengenerator mit einer Grundfrequenz von 614,4 kHz (Sonderausführung mit 76,8 kHz auf Anfrage). Ein FET-Oszillator wird über einen Puffertransistor auf einen Schmitt-Trigger/Treiber geführt, dessen Ausgang mit den CLK-Eingängen der Z80 SIO verbunden ist. Die SIO verfügt im Asynchronbetrieb über interne Taktteiler, so daß die Baudraten 9600, 19200, 38400 und 614400 Software-wählbar sind.

:64	:32	:16	:1
-----	-----	-----	----

Die Ausgangssignale beider Kanäle sind auf die 10-Pin-Pfostenstecker STV 3 (Kanal B) und STV 4 (Kanal A) geführt, von wo aus eine Verdrahtung auf die gewünschten Normstecker möglich ist.

PIO

Als universelles Parallelport wird auf der CPU/IEC eine Z80A/B PIO eingesetzt, die über zwei 8-Bit Ports mit je 2 Quittungssignalen verfügt. Die PIO ist jedoch nicht in der Lage, Lasten über einigen mA und über größere Entfernungen zu treiben. Da mindestens eine dieser Bedingungen jedoch in nahezu allen Fällen erfüllt werden muß, wurden der PIO Treiberbausteine 75160 (Port B0) und 75161 (Port A) nachgeschaltet. Diese IC's sind bidirektionale IEC-Bus-Treiber, mit einer garantierten Last von min. 50mA, typ. 120mA und integriertem, aktivem Terminator-Netzwerk. Der 75160 geht bei Betrieb als Eingangspuffer oder bei Abschalten der Versorgungsspannung in einen Zustand hoher Impedanz. So sind bei Betrieb als Eingang Ströme von einigen Mikroampere ausreichend. Die Treiberrichtung des Port B-Treibers 75160 wird mit Port A Bit A7 gewählt (L=Input, H=Output). Die Richtungen der Port A Treibers sind abhängig von der Richtungsumschaltung (A7), vom Jumper C/TL und von A4, siehe dazu die Wahrheitstabelle. Jeder Eingang kann einen Vektorinterrupt auslösen.

Neben der Verfügbarkeit eines für viele Anwendungen ausreichend getriebenen Parallelports bietet die Lösung mit den IEC-Bus-Treibern den Vorteil des Zugangs zu diesem populären Bussystem. Port B0 bis B7 entspricht den GPIB-Bus-Leitungen DIO 1 bis DIO 8, A0 bis A6 entsprechen DAV, NDAC, NRPD, EOI, ATN, SRQ und IFC. REN wird bei Controller-Betrieb über den Jumper C/TL auf Masse gelegt und ist im Talker/Listener-Betrieb auf Empfang.

INTERRUPTPRIORITÄT

Die Bausteine SIO und PIO liegen in der Interrupt-Priorisierungskette IEI/IEO. Eine Carry-Look-Ahead-Logik mit zwei 74LS08-Gattern verkürzt die Durchlaufzeit der Interruptkette. Hier wird auch ein Signal "interner INT aktiv" für das Bussteuer-IC gewonnen. Die PIO hat die höhere Interruptpriorität. Das CPU-/BUSAK-Signal wird zur korrekten Behandlung der DMA-Kette gleichzeitig auf Bus-Pin 31a (/BUSAK) und 25a (BA0) geführt.

IEC-SOFTWAREMODUL

Das von uns angebotene Softwaremodul IEC ermöglicht den Betrieb als Controller wie auch als Talker oder Listener. Durch das Programmpaket wird der Anwender von sämtlichen Aufgaben des Datentransfers, der Handshakes und der Adressierungs- und Befehlsvorgänge entlastet, da vollständige Funktionen aufgerufen werden können.

Damit ist zum einen ein IEC-Bus-System mit einem 80'er Controller (Softwareentwicklung unter CP/M) möglich, zum anderen die Ausstattung eines Meßgeräts oder einer Steuereinheit mit IEC-Bus. So lassen sich IEC-Bus-Geräte in Einzelanfertigung erstellen, die aus der CPU/IEC und einer bzw. einigen Peripheriekarte(n) bestehen, die auf einem kleinen Bus zusammengesteckt sind. Denkbar sind z.B. CPU und A/D-Wandler, CPU und Universal-Parallelport, CPU und Relaiskarte, CPU, APU und D/A-Wandler u.v.m. Bei bestehenden Meß-/Laboraufbauten mit IEC-Bus bedeutet das u.a.

die Eingliederungsmöglichkeit von Nicht-IEC-Bus-Fähigen Meßgeräten, Triggereinrichtungen, Schaltern, Fühlern und dergleichen.

Für den Betrieb als Controller sind die IEC-BUS-Funktionen C1, C2, (C3), C4, C26 implementiert, für den Betrieb als Talker/Listener die folgenden Funktionen:

Talker: T 5, TE 5

Listener: L 3, LE 3

Standard: SH1, AH1, SR1, PP1, DC1, DT1

Im Talker-/Listenerbetrieb sind gegenüber der Normdefinition folgende Einschränkungen gegeben:

1. Reaktion auf ATN erfolgt nicht innerhalb von 200 ns.
2. Antwort auf PP erfolgt nicht innerhalb von 200 ns.

Dies wird jedoch in den wenigsten Fällen zu Schwierigkeiten führen, da nur in sehr wenigen Systemen solche Zeiten gefordert werden. Dieses Programm wurde in Verbindung mit einem sehr schnellen IEC-BUS Controller, dem Controller des HP 1000 Computersystems, getestet, wobei außer beim Parallel Poll keine Schwierigkeiten auftraten. Da man auf den Seriell Poll zurückgreifen kann, ist dies kein schwer wiegender Nachteil.

Das Softwaremodul verwertet Signale wie ATN und SRC im Vektorinterrupt. Es benötigt ca. 2kByte Programmspeicher in ROM oder RAM, 200 bis 600 Byte RAM an beliebiger indi-

zierter Stelle, maximal 50 Byte Stacktiefe, 2 Byte RAM (SPMEM) mit fester Adresse und 2 Byte RAM in Vektortabelle für Interrupt.

Es ist daher möglich, alle Voraussetzungen durch Einsatz der CPU/IEC zu erfüllen, da sie mit bis zu 8 KByte EPROM und 2 KByte RAM bestückt werden kann.

Z80 A/B Zentraleinheit und Einplatinencomputer

Richtungstabelle PIO Port A Treiber

Eingangsbedingungen		!			!	Richtung					
TE	DC	!	ATN	!	DAV	NDAC	NRFD	EOI	SRQ	IFC	
A7	C/TL	!(Pegel)	A4 (Richtg)	!	A0	A1	A2	A3	A5	A7	
H	O	!	H	E	!	S	E	E	S	S	E
H	O	!	L	E	!	S	E	E	E	S	E
H	G	!	X	S	!	S	E	E	S	E	S
L	O	!	X	E	!	E	S	S	E	S	E
L	G	!	H	S	!	E	S	S	E	E	S
L	G	!	L	S	!	E	S	S	S	E	S

TE = Talk-Enable-Eingang des 75161, verbunden mit A7, High für Ausgangsbetrieb des Ports B, L für Eingang
 DC = Direction Control, Jumper C/TL, O = offen = H (Pull-up), G = geschlossen = L (Masse)
 H = High (Vcc) L = Low (Masse)
 X = beliebiger Zustand E = Empfang S = Senden
 DAV, NDAC, NRFD, EOI, SRQ, IFC = IEC-Bus-Bezeichnung

Die getriebenen PIO-Signale sind zusammen mit Masse (6 Pins) auf den 26-poligen Pfostenstecker STV 5 geführt. Durch Freilassen von zwei Adern eines 26-poligen Flachbandkabels kann ein 24-poliger JD-Steckverbinder direkt angequetscht werden und hat dann eine Normbeschaltung.

Z80 A/B Zentraleinheit und Einplatinencomputer

Die Portadressen der internen Peripheriebausteine

PIO			SIO	
Port A Daten	0	<i>V24</i>	Port A Daten	4
Port B Daten	1	<i>Keyboard</i>	Port B Daten	5
Port A Control	2		Port A Control	6
Port B Control	3		Port B Control	7

Z80 A/B Zentraleinheit und Einplatinencomputer

Die Belegung der Steckverbinder am Kartenrand

STV 2	RESET	(1)	(4)	Masse	
	NMI	(2)	(3)	Masse	
	+ 20mA Eingang	(1)	(10)	- 20mA Eingang	
	TTL-Eingang	(2)	(9)	Masse	
STV 3	TTL-Ausgang	(3)	(8)	Masse	
	RS 232-Ausgang	(4)	(7)	Masse	
	RS 232-Eingang	(5)	(6)	Masse	
	Daten-Eingang	(1)	(10)	Masse	
	Daten-Ausgang	(2)	(9)	Masse	
STV 4	RTS-Ausgang	(3)	(8)	Masse	
	CTS-Eingang	(4)	(7)	Masse	
	DTR-Ausgang	(5)	(6)	DCD-Eingang	
					-IEEE 4888-Nr.-
	DIO 1	(1)	(26)	DIO 5	-13-
	DIO 2	(2)	(25)	DIO 6	-14-
	DIO 3	(3)	(24)	DIO 7	-15-
	DIO 4	(4)	(23)	DIO 8	-16-
	EOI	(5)	(22)	REN	-17-
STV 5	DAV	(6)	(21)	GND#6	-18-
	NRFD	(7)	(20)	GND#7	-19-
	NDAC	(8)	(19)	GND#8	-20-
	IFC	(9)	(18)	GND#9	-21-
	SRO	(10)	(17)	GND#10	-22-
	ATN	(11)	(16)	GND#11	-23-
	Abschirmung	(12)	(15)	GND Logik	-24-
	(Masse	(13)	(14)	Masse)	

Z80 A/B Zentraleinheit und Einplatinencomputer

Jumper-Plazierung

STV2 ==STV3== ==STV4== =====STV5=====

+++ RS232/20mA
123

REN ++
C/TL ++
12

+
"3"
+"1"+ WAIT-Zyklen
"2"
+

+++ Vcmos
123

+ RAM-WAIT
+
+ WAIT
+

+++ 2732/
123 2764
++ RAM

+++
+++ Taktfrequenz
123

++ Takt

! STV 1 Busstecker !

Erläuterungen zu den Jumpern

RS 232 / 20mA: (SIO-Kanal B-Eingang)

1/2 = 20mA Stromschleifeneingang

2/3 = RS 232 oder TTL-Eingang

REN und C/TL: (IEC-Bus-Treiber)

1/2 gesteckt = Controllerbetrieb

WAIT-Zyklen:

"1", "2" und "3" entsprechen der Anzahl WAIT-Zyklen für das Eprom und sonstige gew. Speicher.

Vcmos: (Speisespannung für RAM)

1/2 = Speisung von Vcmos-Busleitung

2/3 = Speisung aus +5V Hauptspannung

RAM-WAIT:

Wenn offen, erfolgt WAIT nicht auf internes RAM, außer bei offenem "WAIT"-Jumper.

WAIT:

WAIT nur auf interne Speicher, wenn gesteckt.

WAIT auf alle MREQ-Zugriffe, wenn offen.

2732/2764: (Eprom-Auswahl)

1/2 für 2764-Eproms

2/3 für 2732-Eproms

RAM:

Internes RAM ausgeblendet wenn offen

Taktfrequenz:

1 = Quarzfrequenz

2 = Halbe Quarzfrequenz

3 = Viertel Quarzfrequenz

Takt:

Wenn gesteckt, Taktfrequenz vom intern.Oszillator

Z80 A/B Zentraleinheit und Einplatinencomputer

Die Belegung der Steckverbinder am Kartenrand

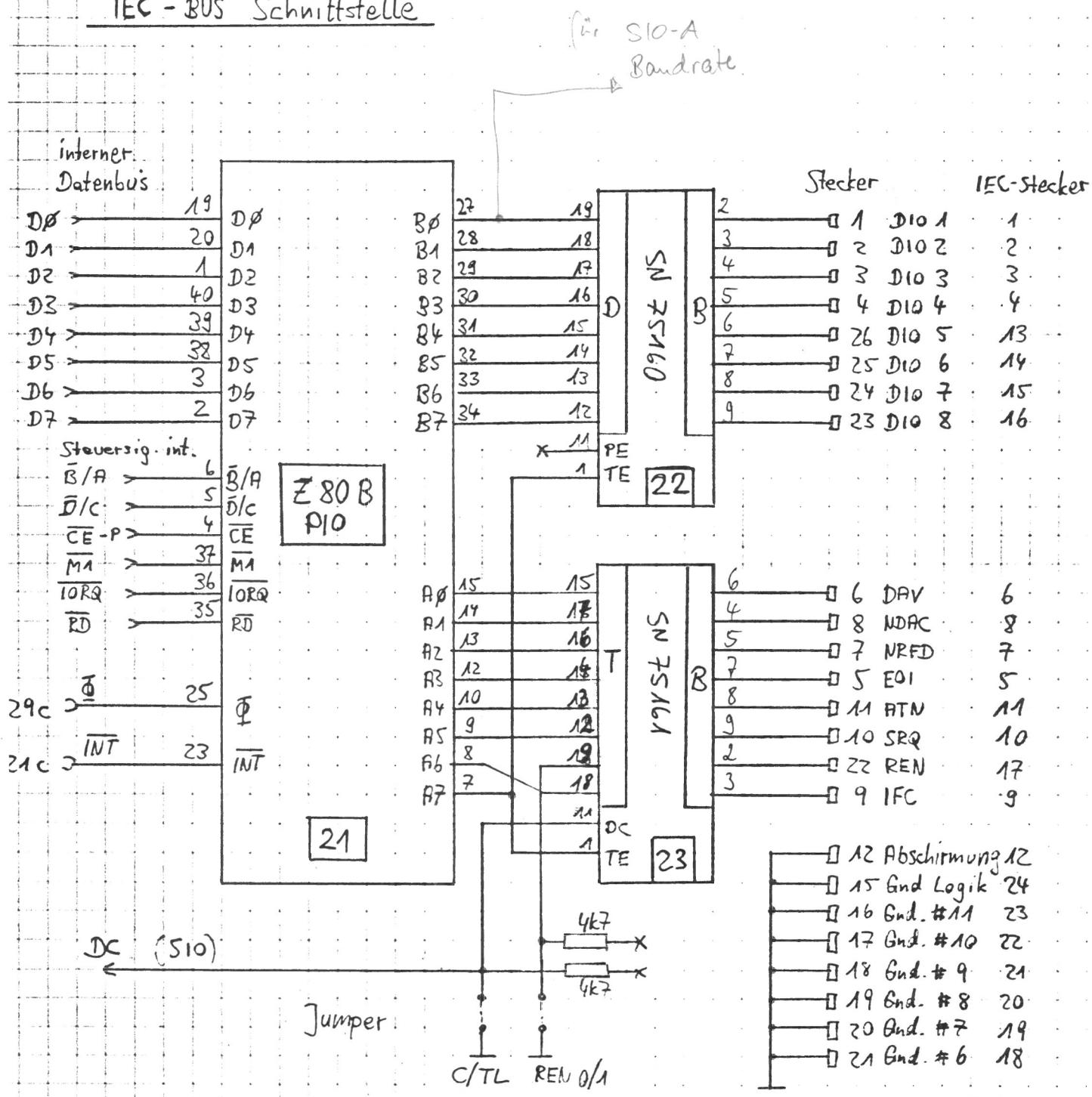
	NMI	(1)	(4)	Masse	
STV 2	Reset	(2)	(3)		
	+ 20 mA Eingang	(1)	(10)	- 20 mA-Eingang	
	TTL-Eingang	(2)	(9)	Masse	
STV 3	TTL-Ausgang	(3)	(8)	Masse	
	RS 232-Ausgang	(4)	(7)	+ 5 Volt	
	RS 232-Eingang	(5)	(6)	Masse	
	Daten-Eingang	<i>violett</i> (1) ^{Pin} 3	(10)	7 Masse	<i>Schwarz</i>
	Daten-Ausgang	<i>rot</i> (2) 2	(9) <i>nc</i>	Masse	<i>blau</i>
STV 4	RTS-Ausgang	<i>pink</i> (3) 4	(8) <i>nc</i>	Masse	<i>grün</i>
	CTS-Eingang	<i>gelb</i> (4) 5	(7) <i>nc</i>	+ 5 Volt	<i>grün</i>
	DTR-Ausgang	<i>braun</i> (5) 20	(6) <i>↯</i>	DCD-Eingang	<i>weiß</i>
STV 5	Wie in der Dokumentation				

Diese Belegung gilt ab Auflage 3 der CPU/IEC.

STV2	STV3	STV4
60	00000	109876
00	00000	00000
1	1	12345

ELZET 80

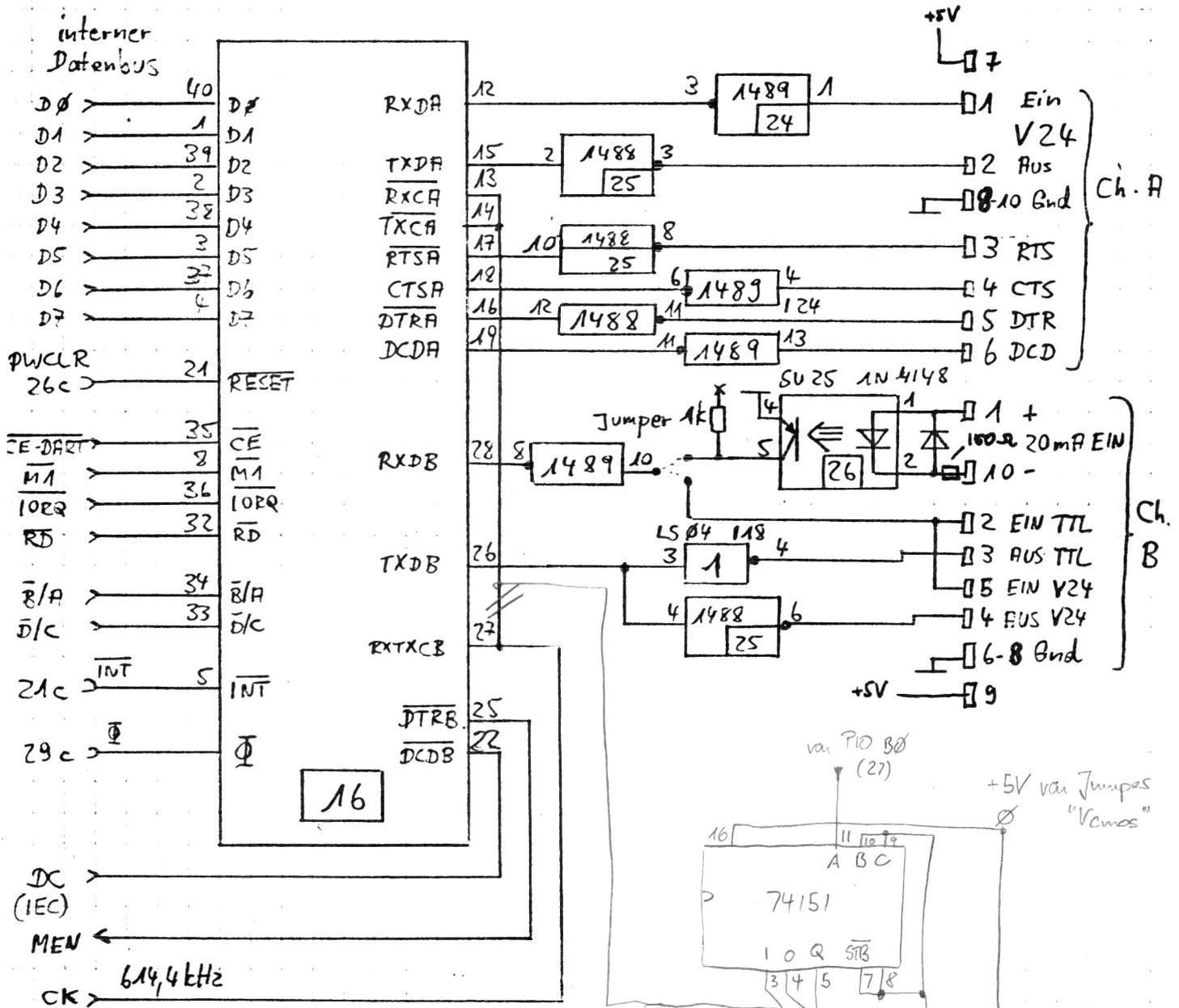
IEC - BUS Schnittstelle



Controller - Betrieb : Beide Jumper gesteckt (REN LOW)
 Talker / Listener Betrieb : Kein Jumper gesteckt (REN auf Empfang)

ELZET 80

Serienschnittstelle DART

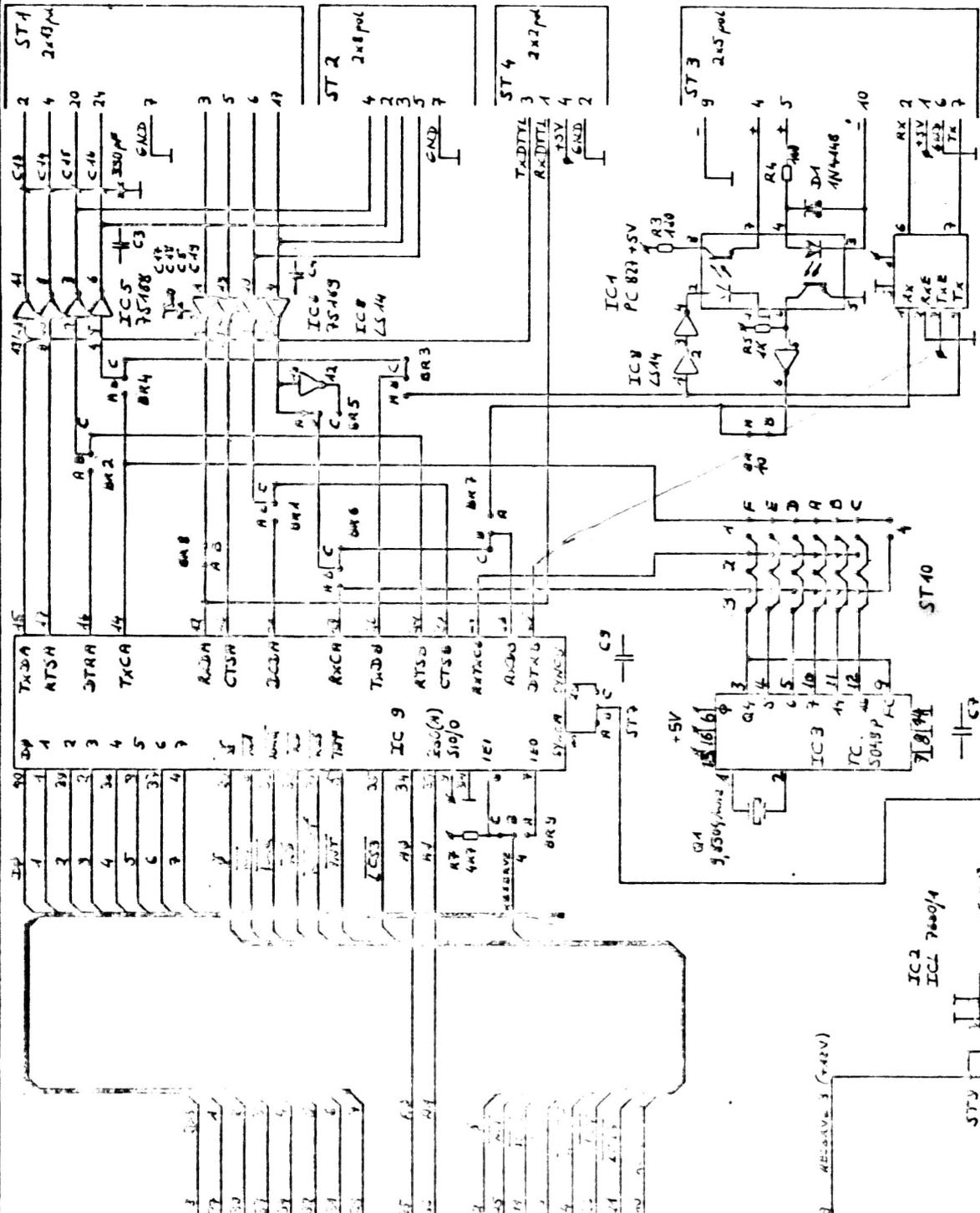


PIO 80	Q =	SIOCA	:1	:16	:32	:64
0	Q ₁₄	153600	9600	4800	2400	
1	Q ₁₇	19200	1200	600	300	

*Anwendungsbeispiel
in FOPS*

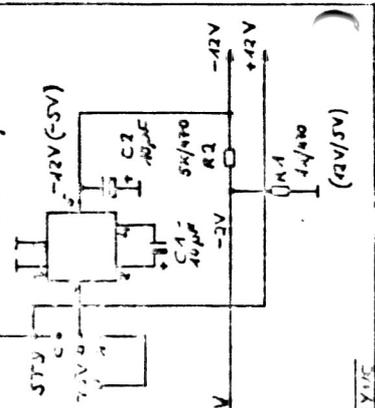
NIPS Linker Seite

*Anwendungsbeispiel
in FOPS*



Mod/Tab	MODUL	SIO/TAST/LCD	2XX
Beord.	83	Datum	14.11
Gepr.		Norm	
Name			

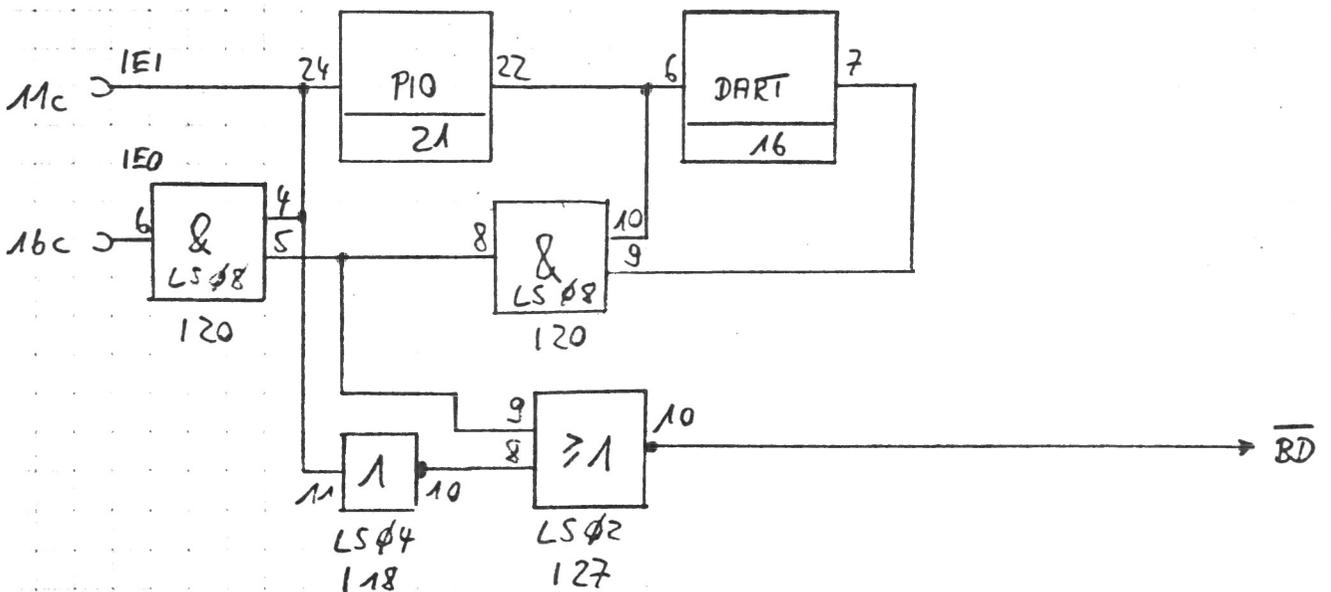
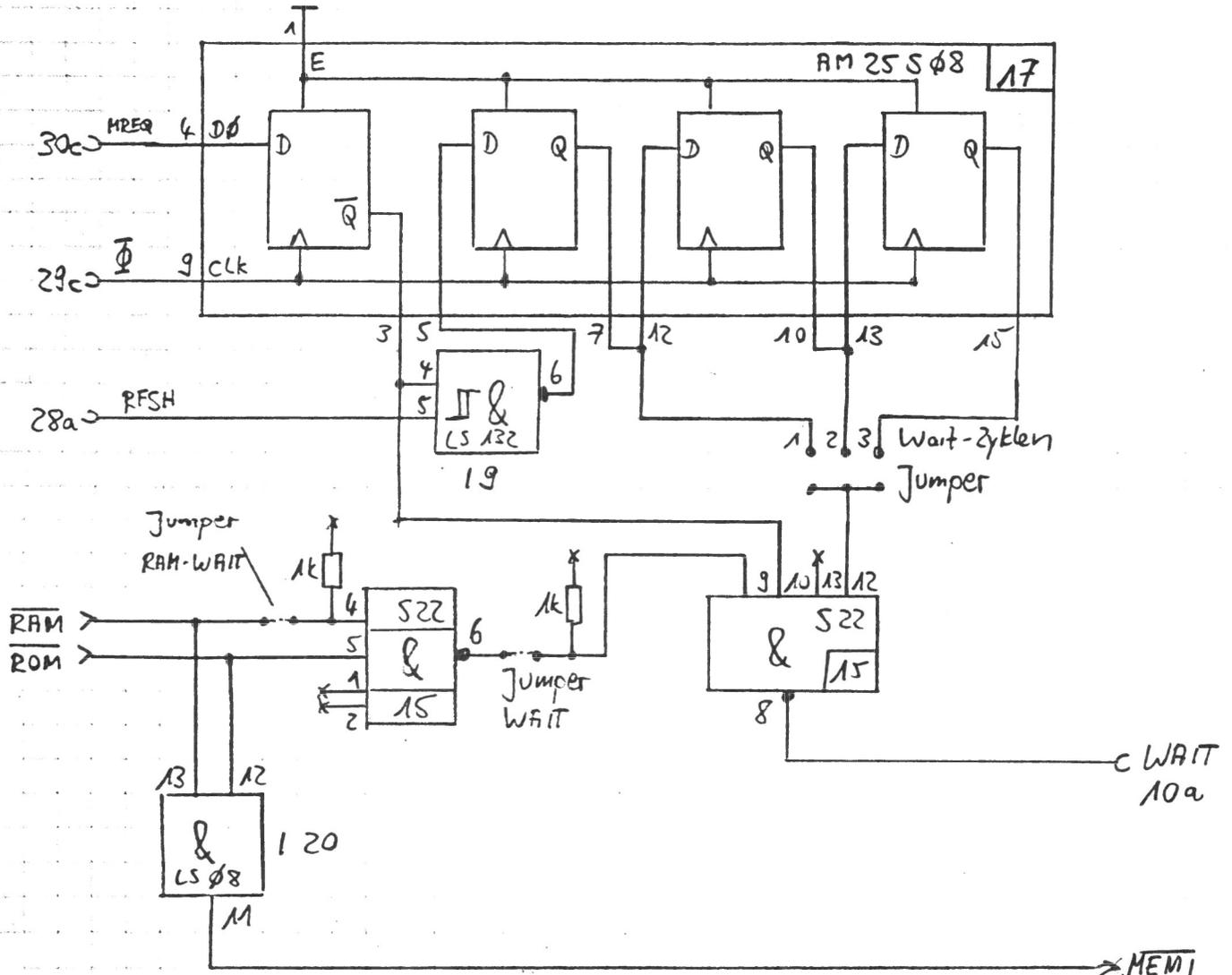
IC5 / 75178/PIN 1
IC3 / 75176/PIN 14



[94/06] -2V
[94/06] SIO/SVC

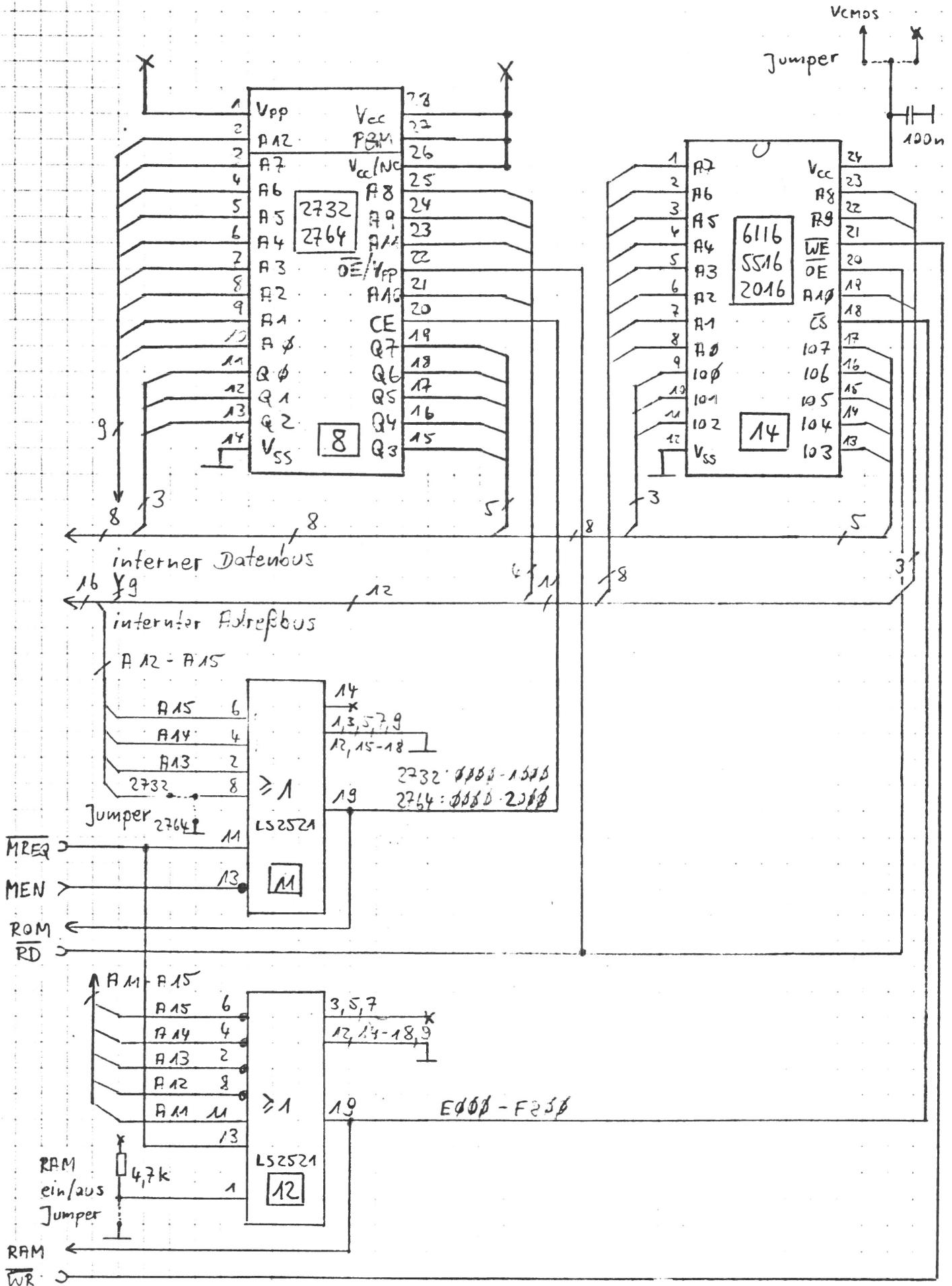
ELZET 80

Interrupt / Wait - Logik



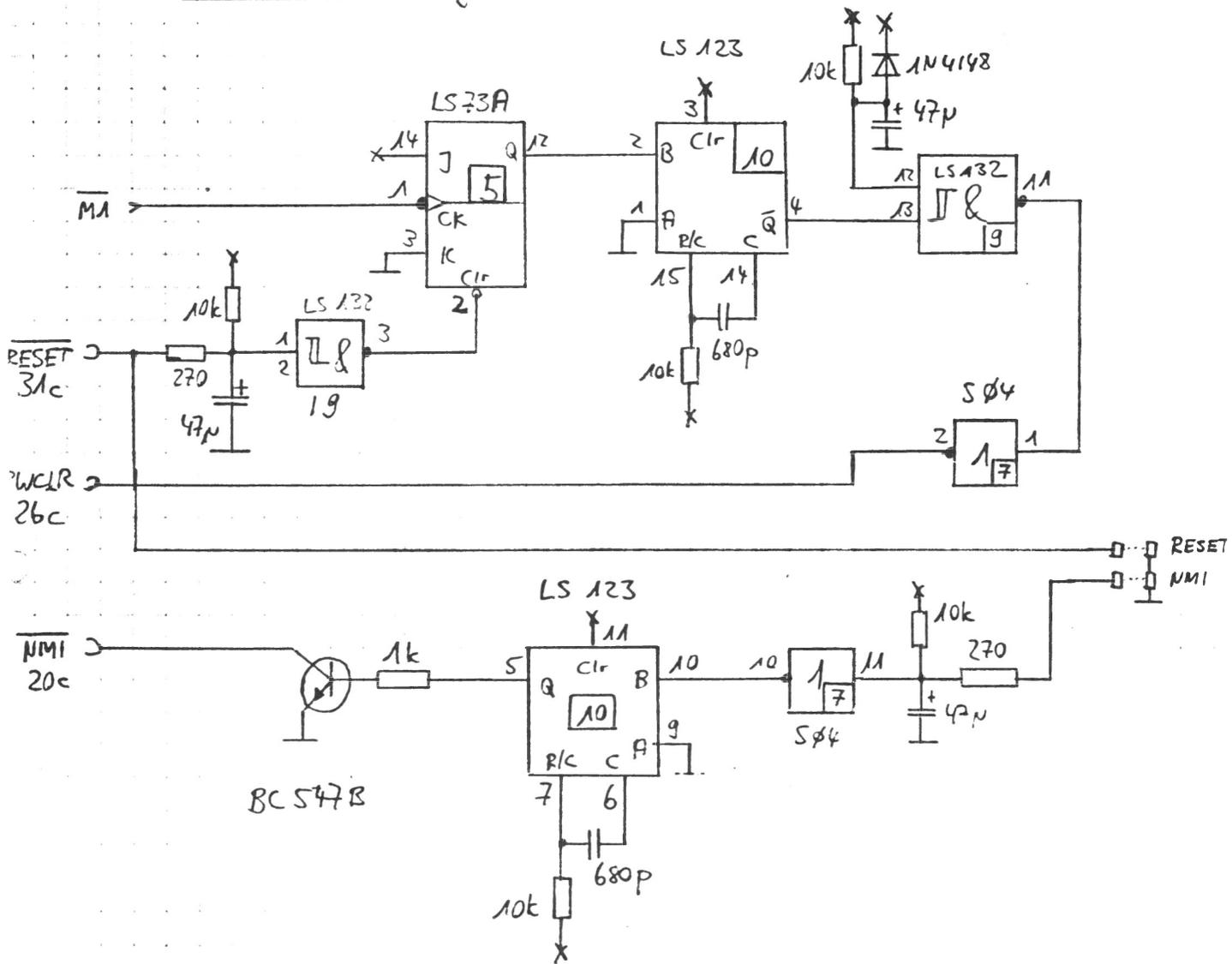
ELZET 80

Speicher : 4/8K EPROM, 2K RAM



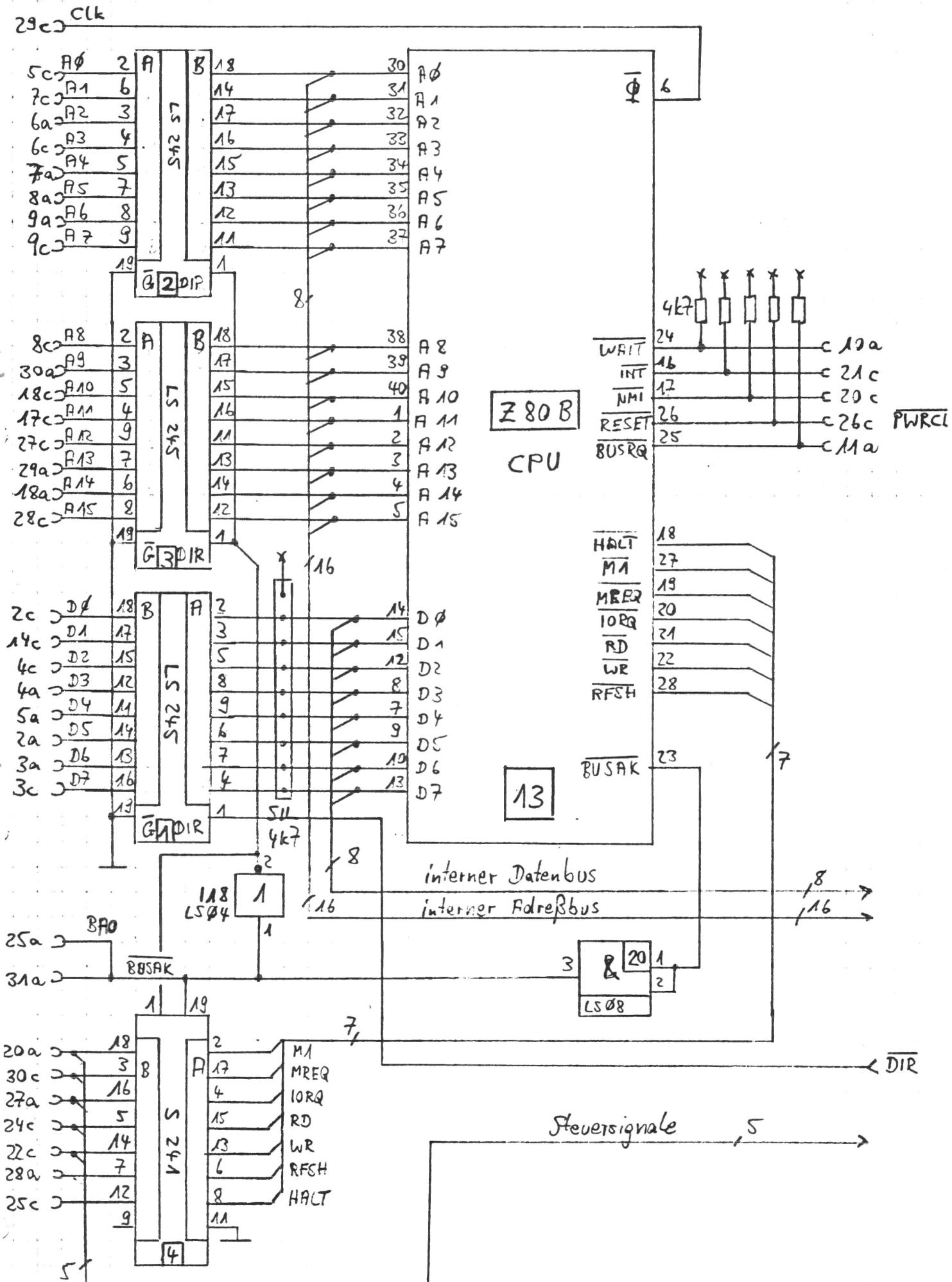
ELZET 80

Reset / NMI - Logik



ELZET 80

Zentraleinheit - Bustreiber



10. DEZ. 1985



INTEGRATED CIRCUIT

"C²MOS" DIGITAL INTEGRATED CIRCUIT
 TC5036P, TC5048P
 SILICON MONOLITHIC

TECHNICAL DATA

TENTATIVE

TC5036P 17-STAGE HIGH SPEED FREQUENCY DIVIDER
 TC5048P 17-STAGE HIGH SPEED FREQUENCY DIVIDER

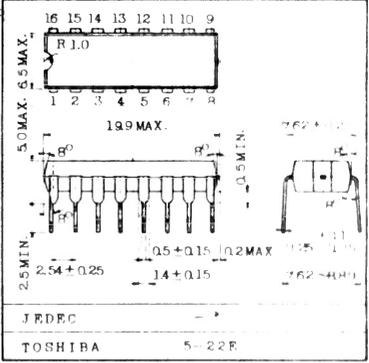
Unit in mm

TC5036BP and TC5048BP are 17-stage ripple carry binary counters equipped with inverters for crystal oscillators.

As the first stage through the fourth stage are dynamic type counter, the high speed operation can be obtained but the operation starting from DC is not possible, so that these should be used in the range of $f_{MIN} \sim f_{MAX}$.

If ϕ input is opened ("L"), the inverted output of 9th stage appears on FC terminal. If ϕ input is set to "H", 9 stages from 9th stage through 17th stage can be also independently used having FC terminal as the clock input.

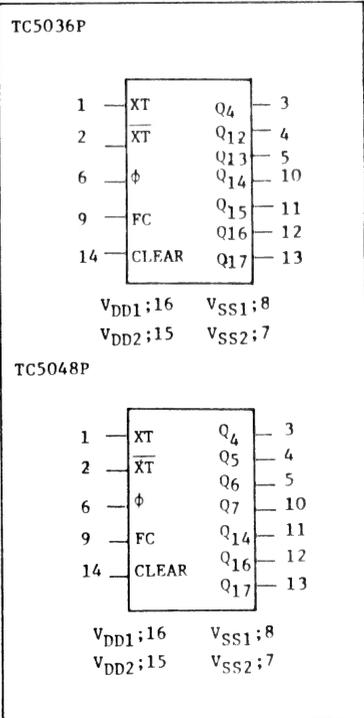
Outputs can be derived arbitrarily from stages 4, 12, 13, 14, 15, 16 and 17 of TC5036BP and stages 4, 5, 6, 7, 14, 16 and 17 of TC5048BP.



MAXIMUM RATINGS

ITEM	SYMBOL	RATING	UNIT
Supply Voltage	V_{DD1}	$V_{SS1} - 0.5 \sim V_{SS1} + 10$	V
	V_{DD2}	$V_{SS1} - 0.5 \sim V_{DD1} + 0.5$	
Input Voltage	XT	$V_{SS1} - 0.5 \sim V_{DD1} + 0.5$	V
	ϕ , FC	$V_{SS1} - 0.5 \sim V_{DD1} + 0.5$	
Output Voltage	V_{OUT}	$V_{SS1} - 0.5 \sim V_{DD1} + 0.5$	V
Input Current	I_{IN}	± 10	mA
Power Dissipation	P_D	300	mW
Storage Temp.	Tstg.	-65 ~ 150	°C
Lead Temp./Time	Tsol.	260°C . 10 sec.	

BLOCK DIAGRAM



FUNCTIONAL TABLE

INPUTS				FUNCTION (See Timing Chart)
CL	XT	ϕ	FC	
H		OPEN H	H *	$f_{Q4} = f_{XT} / 2^4$ $Q_5 \sim Q_{17} = \text{"L" LEVEL}$
L		OPEN L	\bar{Q}_9	$f_{Qn} = f_{XT} / 2^n$ $n; 5 \sim 17$
L		H		$f_{Qn} = f_{XT} / 2^n$ $n; 5 \sim 7$ $f_{Qm} = f_{FC} / 2^{(m-8)}$ $m; 12 \sim 17$

* Don't Care

falls ϕ an FC

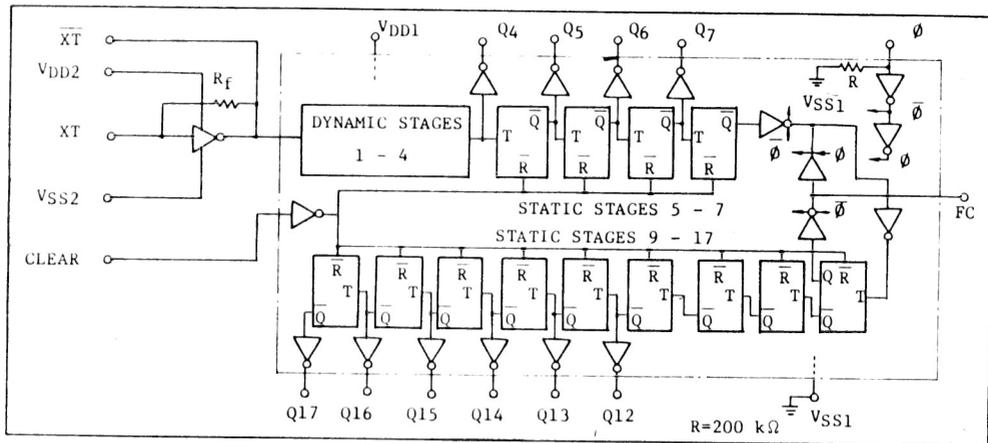


INTEGRATED CIRCUIT

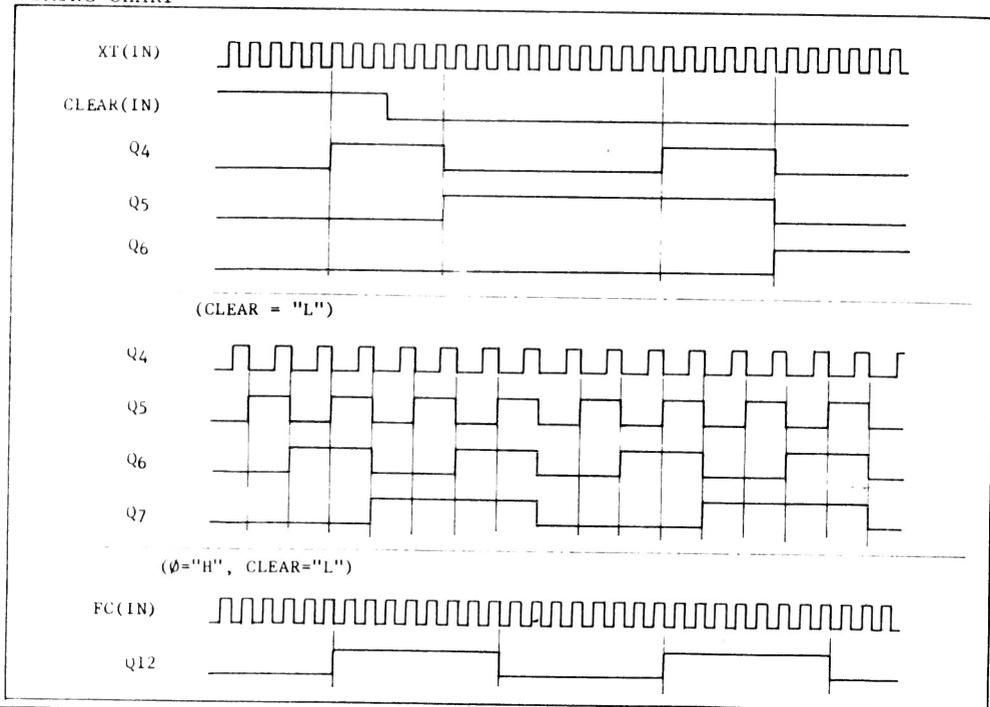
TC5036P, TC5048P

TECHNICAL DATA

BLOCK DIAGRAM



TIMING CHART





INTEGRATED CIRCUIT

TC5036P, TC5048P

TECHNICAL DATA

RECOMMENDED OPERATING CONDITIONS ($V_{SS1}=V_{SS2}=0V$)

CHARACTERISTIC	SYMBOL	MIN.	TYP.	MAX.	UNIT.
Supply Voltage	V_{DD1}	3	-	8	V
	V_{DD2}	3	-	V_{DD1}	
Input Voltage	V_{IN}	0	-	V_{DD2}	V
Operating Temp.	T_{opr}	-40	-	85	°C

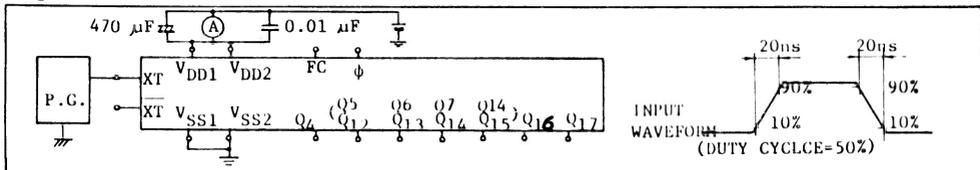
ELECTRICAL CHARACTERISTICS ($V_{SS1}=V_{SS2}=0V$, $V_{DD1}=V_{DD2}$)

CHARACTERISTIC	SYMBOL	TEST CONDITIONS	V_{DD} (V)	-40°C		25°C			85°C		UNIT
				MIN.	MAX.	MIN.	TYP.	MAX.	MIN.	MAX.	
High Level Output Voltage	V_{OH}	$I_{OUT} < 1\mu A$ $V_{IN}=V_{DD}, V_{SS}$	5	4.95	-	4.95	5.00	-	4.95	-	V
Low Level Output Voltage	V_{OL}	$I_{OUT} < 1\mu A$ $V_{IN}=V_{DD}, V_{SS}$	5	-	0.05	-	0.00	0.05	-	0.05	
High Level Output Current	Q Output FC XT	I_{OH}	5	-0.2	-	-0.16	-0.8	-	-0.12	-	mA
Low Level Output Current	Q Output FC XT	I_{OL}	5	0.52	-	0.44	1.5	-	0.36	-	mA
High Level Input Voltage	V_{IH}	$V_{OH}=0.5V, 4.5V$ $I_{OUT} < 1\mu A$	5	3.5	-	3.5	2.75	-	3.5	-	V
Low Level Input Voltage	V_{IL}	$V_{OL}=0.5V, 4.5V$ $I_{OUT} < 1\mu A$	5	-	1.5	-	2.25	1.5	-	1.5	V
High Level Input Current (except XT, ϕ)	I_{IH}	$V_{IH}=8V$	8	-	0.2	-	10^{-5}	0.2	-	1.0	μA
Low Level Input Current (except, XT, ϕ)	I_{IL}	$V_{IL}=0V$	8	-	-0.2	-	-10^{-5}	-0.2	-	-1.0	μA
Operating Current Consumption (TC5048P)	I_T	$f_{XT}=1MHz$	5	-	-	-	100	500	-	-	μA

SWITCHING CHARACTERISTICS ($V_{DD1}=V_{DD2}$, $V_{SS1}=V_{SS2}=0V$)
 $T_a=25^\circ C$, $C_L=50pF$

CHARACTERISTIC	SYMBOL	V_{DD} (V)	MIN.	TYP.	MAX.	UNIT.
Output Rise Time (Q OUTPUT)	t_r	5	-	130	250	ns
Output Fall Time (Q OUTPUT)	t_f	5	-	130	250	ns
Input Amp Vias Resistance	R_f	8	0.6	-	3.0	$M\Omega$
Propagation Delay Time (XT-Q ₄)	t_{pLH}, t_{pHL}	5	-	250	600	ns
Propagation Delay Time (XT-Q ₁₇)	t_{pLH}, t_{pHL}	5	-	-	8.0	μs
Prop. Delay Time (CLEAR-Q)	t_{pHL} (CLEAR)	5	-	-	2000	ns
Min. Clear Pulse Width	t_w (CLEAR)	5	-	-	1000	ns
Max. Clock Frequency	f_{MAX} (XT)	5	8	14	-	MHz
Min. Clock Frequency	f_{MIN} (XT)	5	-	-	20	kHz
Max. Clock Frequency	f_{MAX} (FC)	5	1.0	-	-	MHz
Max. Clock Rise Time	$t_{r\phi}$	5	20	-	-	μs
Max. Clock Fall Time	$t_{f\phi}$					
Input Capacitance	C_{IN}	-	-	5	7.5	pF

I_T TEST CIRCUIT





INTEGRATED CIRCUIT

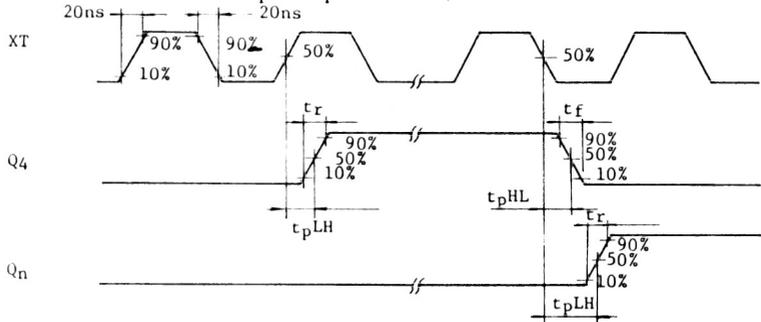
TC5036P, TC5048P

TECHNICAL DATA

SWITCHING TIME TEST WAVEFORMS

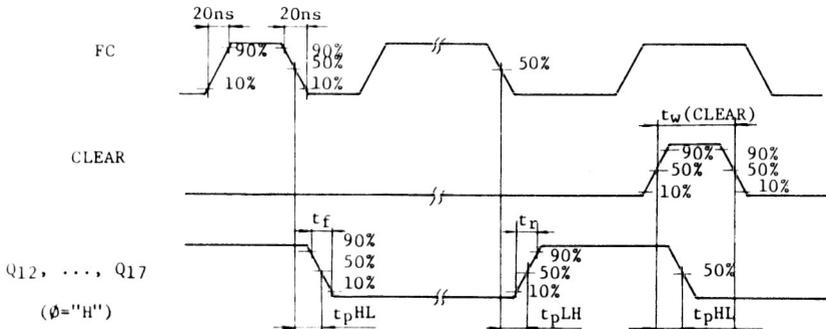
WAVEFORM 1.

1. $f_{MAX}(XT)$, $f_{MIN}(XT)$, t_r , t_f , t_{pLH} , t_{pHL} , $t_r(XT)$, $t_f(XT)$



WAVEFORM 2.

2. $f_{MAX}(FC)$, $t_r(FC)$, $t_f(FC)$, $t_w(CLEAR)$, $t_{pHL}(CLEAR)$



TYPICAL APPLICATION

