

Instruction Manual

Bedienungs- anleitung

Hardware-Beschreibung

für Kontron PSI80/82-Systeme

KONTRON
ELEKTRONIK
GRUPPE



**KONTRON
MIKROCOMPUTER**

Kontron PSI80/82
Hardware-Beschreibung

Version: 5.3

Stand: 1. Dezember 1982

Das vorliegende Handbuch beschreibt Aufbau und Funktion der Hardware in den Computersystemen der Kontron PSI80/82-Serie. Die darin enthaltene Information ist für den Anwender vor allem in folgenden Fällen wesentlich:

- * Anschluß nicht standardmäßiger Peripherie
- * Nachrüsten von zusätzlichen PROM-residenten Programmen (z.B. für Diagnose-Zwecke)
- * Erweiterung des Geräts um optionale Hardware (z.B. ECB-Zusatzkarten)
- * Erstellung von ASSEMBLER-Software, die direkten Zugriff auf Hardwaregegebenheiten nimmt (z.B. spezielle Ein-/Ausgabe-Treiber, Echtzeitaufgaben, Memory Mapping usw.).

Für andere, nicht hardwarespezifische Aufgaben ist die Verwendung des Kontron PSI-Bedienungshandbuchs voll ausreichend.

INHALTSVERZEICHNIS

1. Übersicht
2. Architektur der Rechnerbaugruppe
3. Hardwarebeschreibung
 - 3.1 Zentraler Rechnerteil
 - 3.1.1 Zentraleinheit
 - 3.1.2 Speicherbereiche
 - 3.1.2.1 Festwertspeicher
 - 3.1.2.2 Schreib-/Lesespeicher (System RAM)
 - 3.1.2.3 Bildwiederholpeicher (Video RAM)
 - 3.1.2.4 Externe Speicher
 - 3.2 Ein-/Ausgabekanäle
 - 3.2.1 Ein-/Ausgabebausteine
 - 3.2.2 Statusport
 - 3.2.3 Tastaturanschluß
 - 3.2.4 Serienschnittstellen
 - 3.2.5 Parallelschnittstelle
 - 3.2.6 Zähler-/Zeitgeber-Kanäle
 - 3.2.7 Floppy Disk Controller und Floppy Disk Laufwerke
 - 3.2.8 Video Controller
 - 3.2.9 Interrupt-Priorität
 - 3.2.10 Lautsprecher- und Resetanschluß
4. Zusatzbaugruppen
 - 4.1 CPU/DMA-Adapter
 - 4.2 RS 422/423-Option
 - 4.3 Modem-Option
 - 4.4 Softwareschutz PROM
5. Beschreibung des Einschubrahmens
 - 5.1 ECB-Bus Standard
 - 5.2 Adressierung im ECB-Bus
 - 5.3 Interruptsteuerung im Einschubrahmen
 - 5.4 Stromversorgung des Einschubrahmens
6. Netzteil
7. Festplattenanschluß
 - 7.1 Funktionseinheiten
 - 7.2 Schaltungsbeschreibung
 - 7.3 Disk I/O-Prozessor MSC 9056
 - 7.4 ST506-Laufwerk Interface
 - 7.5 ECB/DS - Anschluß

1. Übersicht

Diese technische Beschreibung der zentralen Hardware der Computersysteme der Serien Kontron PSI80 und PSI82 gilt der Architektur, den Funktionen und den Ausbaumöglichkeiten eines modernen leistungsfähigen Kompaktcomputers.

Es wird von Fall zu Fall auf Schalt- und Bestückungspläne verwiesen, die zum Lieferumfang eines jeden Systems gehören. Außerdem werden Datenblätter und Beschreibungen folgender großintegrierter Schaltkreise verwendet:

ZILOG - Z80A-CPU*	ZILOG - Z80A-SIO*
ZILOG - Z80A-PIO*	ZILOG - Z80A-CTC*
NEC - uPD765	MOTOROLA - MC6845

Diese Bauteile werden im Text zumindest kurz charakterisiert. Im allgemeinen ist eine direkte Programmierung dieser Komponenten nicht notwendig, da sie durch die Betriebs-Software bereits entsprechend ihrer Verwendung im PSI80-System initialisiert sind.

Die Datenblätter dieser Bausteine gehören nicht zum Lieferumfang und sind im Bedarfsfall direkt vom Lieferanten zu beziehen (im Falle der Z80-Bausteine von Kontron).

Die Kontron PSI80/82-Hardware ist auf einer zentralen Platine aufgebaut. Unterschiedliche Ausbaustufen sind im allgemeinen mit unterschiedlicher Bestückung verbunden. Außerdem können Unterschiede in der Auslegung und Anzahl der peripheren Einheiten mit den unterschiedlichen Versionen verbunden sein. Es wird, soweit erforderlich, in der Beschreibung auf diese Varianten Rücksicht genommen.

Maßgeblich ist in jedem Fall die gültige Produkt-Spezifikation.

Kontron PSI80-Systeme sind vom FTZ geprüft:

Zulassungsnummer: C-089/80
Funkentstörgrad: N nach VDE 0875
Modemzulassung: FTZ 02013D PSI80

2. Architektur der Rechnerbaugruppe

Basis der Kontron PSI80/82-Computerserie ist die hochintegrierte Computerbaugruppe KDT5 (kleine Datentechnik, Revision 5.3, die eine vollständige Zentraleinheit mit weitreichendem Ausbau umfaßt. Auf dieser Platine sind in der maximalen Ausbaustufe möglich:

- Z80A-CPU* Zentralprozessor,
- Programm- und Datenspeicher (max. 16 kByte PROM, 64 kByte RAM),
- Bildschirmprozessor mit 16 kByte Bildwiederholtspeicher,
- Tastaturanschluß,
- Controller für 2 ins Gehäuse integrierte Floppy-Disk-Laufwerke,
- Parallel- und Serien-Ein-/Ausgabe sowie eine
- ECB-Busschnittstelle.

Zusätzliche Ausbaumöglichkeiten bietet ein in der Reihe PSI80x/Mx verfügbarer Einschubrahmen für anwendungsorientierte Baugruppen im Kontron ECB-Bus-Standard, die Ein-/Ausgabe-bezogen sein können (Z80A-ECB/AE16, Z80A-ECB/O, ...), Funktionserweiterungen darstellen (Z80A-ECB/A), Speichererweiterungen bieten (Z80A-ECB/D32), oder als autonome Subsysteme arbeiten können.

Die Architektur des Rechners entspricht langjähriger Erfahrung auf dem Gebiet der Schaltungsentwicklung von Mikrocomputersystemen. Die Einheiten auf der Grundplatine wurden nach funktionalen, logischen und elektrischen Gesichtspunkten so angeordnet, daß höchste Betriebssicherheit gewährleistet wird. So wurde beispielsweise strikt darauf geachtet, die Busstruktur des Prozessors (Adreß-/Datenbus) auch im Layout aufrechtzuerhalten, um Störeinflüsse wie Übersprechen etc. von vornherein zu minimieren.

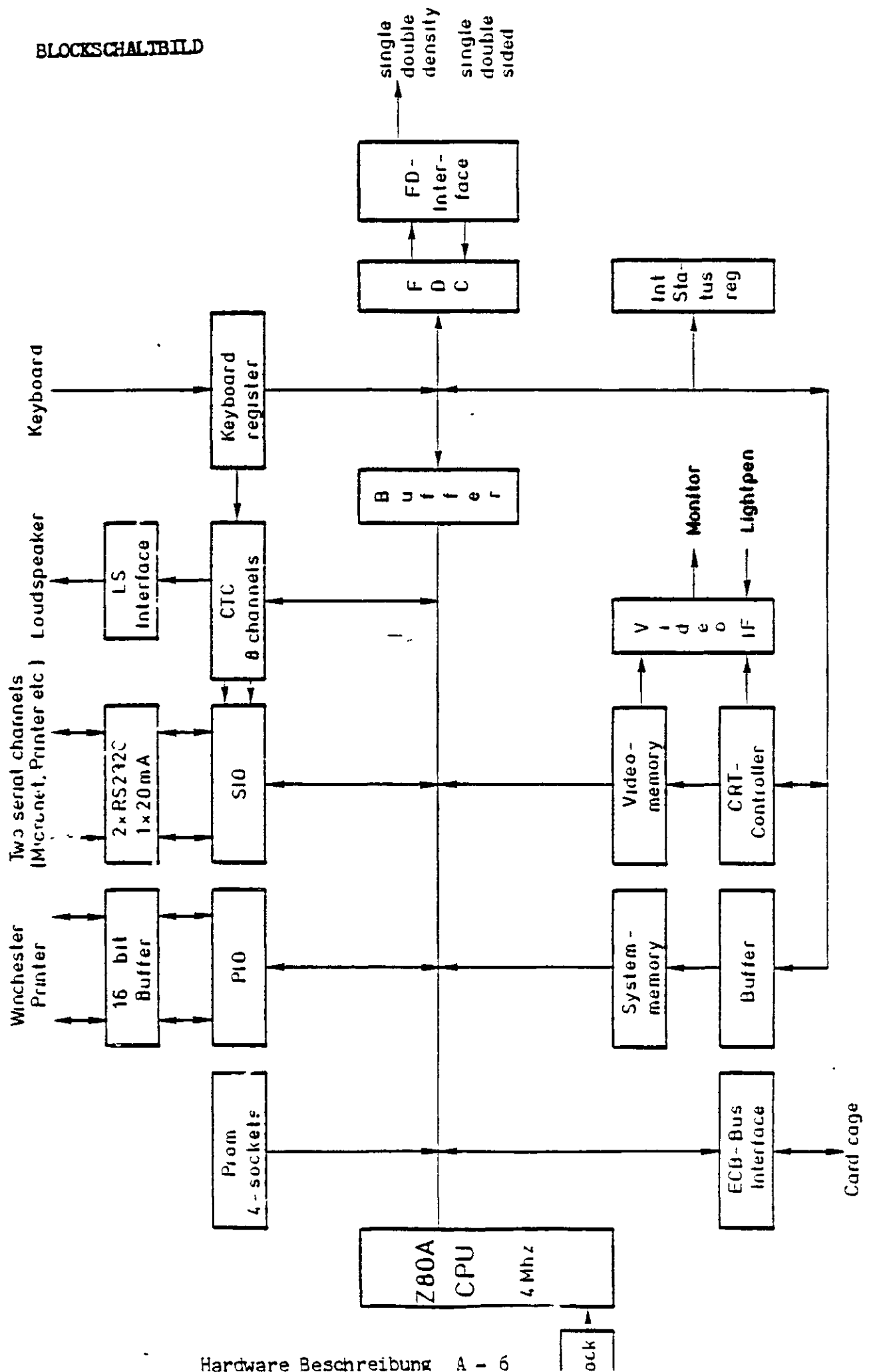
Die Aufteilung in einen 'inneren' und 'äußeren' Datenbus begrenzt die kapazitive Belastung in den einzelnen Bereichen und erhöht somit wiederum die Betriebssicherheit. Der 'innere' Datenbus verbindet alle Z80A-Peripheriebausteine und die Ausgänge der Speicher mit der CPU. Störsichere Schmitt-Trigger-Puffer trennen diesen vom 'äußeren' Datenbus, der alle übrigen Peripherieeinheiten und die Eingänge der Schreib-/Lesespeicher bedient. Diese Anordnung erübrigt einerseits Aufwand zur Bussteuerung für Z80A-E/A-Bausteine und ermöglicht andererseits die Verwendung von Speichern mit einer Zugriffszeit nahe der theoretisch oberen Grenze von 375 ns.

Von diesen beiden Bussystemen elektrisch durch störsichere Schmitt-Trigger-Puffer getrennt ist der 'externe Erweiterungsbus' im ECB-Standard (Reihe "Mx").

Die folgende Seite zeigt das Blockschaltbild der zentralen Rechnerbaugruppe.

* Trademarks of ZILOG Inc., Cupertino/CA

BLOCKSCHALTBILD



Blockdiagram KDT Rev.5

3. Hardwarebeschreibung

3.1 Zentraler Rechnerteil

Der Rechnerteil ist aus folgenden funktionalen Blöcken aufgebaut:

- CPU mit Buspuffern
- Festwertspeicher
- Schreib-/Lesespeicher
- Ein-/Ausgabeschnittstellen
- Bildprozessor mit Bildwiederholpeicher
- Floppy Disk-Prozessor *

Die folgenden Abschnitte beschreiben Einzelheiten der Baugruppe.

* nicht bei Kontron PSI80/TC, PSI80/MO

3.1.1 Zentraleinheit

Die CPU besitzt drei verschiedene Bussysteme: Adreß-, Steuer- und Datenbus. Die beiden erstgenannten sind unidirektional, d.h. sie gehen immer von der CPU aus und führen von dort im Prinzip zu allen auf der Baugruppe vorhandenen Funktionsgruppen.

Der Datenbus ist bidirektional, d.h. der Informationsstrom kann sowohl von außen zur CPU (Lesevorgang), als auch umgekehrt (Schreibvorgang) fließen. Zur Steuerung der entsprechenden Richtung und um zu verhindern, daß mehrere Datenquellen gleichzeitig den Bus beanspruchen, ist eine Bussteuerung vorhanden.

Die PSI80-Zentralbaugruppe hat einen zweigeteilten Datenbus. Der 'innere Datenbus' (ID0...ID7) verbindet alle Z80A-Peripheriebausteine, den PROM-Bereich und die Ausgänge sämtlicher Speichereinheiten mit der CPU. Der 'äußere Datenbus' (AD0...AD7) schließlich bedient die Eingänge der Schreib-/Lesespeicher und die übrigen Peripherieeinheiten.

In den Reihen 'Mx' der PSI80-Computerkarte steht für Erweiterungen mit ECB-Baugruppen auch ein externer Erweiterungsbus zur Verfügung. Dieser ist über einen eigenen bidirektionalen Puffer mit dem 'inneren' Datenbus verbunden. Der externe Adreß- und Steuerbus ist identisch mit dem internen. Für Erweiterungen steht ein FAN-OUT von etwa 7 TTL-Lasten zur Verfügung (ca. 30 LS TTL-Lasten).

3.1.2 Speicherbereiche

Auf der PSI80-Zentralbaugruppe sind 3 verschiedene Speicherbereiche, sowie die Steuerlogik für einen weiteren externen Speicherbereich (über ECB- oder S100-Bus) mit bis zu sechs Speicherbänken vorhanden.

	Bezeichnung	Kapazität	Speichertyp
1.	Festwertspeicher	max. 16 kByte	EProm (5V Versorgung)
2.	System Schreib-/Lesespeicher	64 kByte	RAM dynamisch
3.	Bildwiederhol-speicher	16 kByte	RAM dynamisch
4.	externer Speicher	max. 1 MByte	beliebig

Zur Auswahl der einzelnen Bereiche stehen über einen Statusport drei Steuersignale zur Verfügung. Folgende Adreßbereiche sind belegt (gültig für Prom P7-Standardprogrammierung):

POFF	MAP1	MAFO	J6	PROM	SYSRAM	VID.RAM	Ext.RAM
0	0	0	ein	0-1FFF	2000-FFFF	-	-
			aus	0-3FFF	4000-FFFF		
0	0	1	ein	0-1FFF	2000-7FFF	8000-BFFF	-
					C000-FFFF		
			aus	0-3FFF	4000-7FFF	8000-BFFF	-
					C000-FFFF		
0	1	0	ein	0-1FFF	2000-3FFF	-	4000-BFFF
			aus	0-3FFF	-		
			x		C000-FFFF		
0	1	1	ein	0-1FFF	2000-3FFF	8000-BFFF	4000-7FFF
			aus	0-3FFF	-		
			x		C000-FFFF		
1	0	0	x	-	0000-7FFF	-	-
1	0	1	x	-	0000-7FFF	8000-BFFF	-
					C000-FFFF		
1	1	0	x	-	0000-3FFF	-	4000-BFFF
1	1	1	x	-	0000-3FFF	8000-BFFF	4000-7FFF

Speicheradreßbereiche (x --> beliebig)

Das Verfahren zur Programmierung des Statusports ist im Abschnitt 3.2.2 beschrieben.

3.1.2.1 Festwertspeicher

Die Baugruppe enthält vier Steckplätze für folgende EProm-Typen mit 5Volt Versorgungsspannung:

	J6	J5
12716	A	A
TMS2532	B	B

Der Adreßbereich reicht in Abhängigkeit von Jumper J6 von 0-1FFFF (8 kByte) bzw. von 0-3FFFF (16 kByte) und ist als 'Nur-Lesespeicher' realisiert. Der Systemspeicher (RAM) im selben Adreßbereich ist als 'Nur-Schreibbereich' zugänglich, während der Festwertspeicher selektiert ist.

Standardmäßig sind drei Promplätze bestückt: 4 KByte für ein Monitorprogramm für Servicezwecke und 2 KByte als BOOT-PROM zum Laden des Betriebssystems von Diskette, Festplatte oder Bubble-Speicher.

3.1.2.2 Schreib-/Lesespeicher (System RAM)

Dieser Bereich umfaßt 64 kByte (4 Bänke je 16 kByte) und ist mit dynamischen RAMs (16 kBit x 1) realisiert. In Abhängigkeit der Statusleitungen POFF, MAP1 und MAFO stehen unterschiedliche Adreßbereiche als System RAM zur Verfügung.

3.1.2.3 Bildwiederholtspeicher

Dieser Bereich umfaßt 16 kByte und ist ebenfalls mit 16k x 1 Bit dynamischen RAMs realisiert. Der Adreßbereich liegt zwischen 8000H und BFFFFH, falls das Bit MAFO den Wert 1 hat.

Der Bildwiederholtspeicher ist für CPU-Zugriffe transparent. Dies bedeutet, daß Bildprozessor (CRTC 6845) und CPU virtuell gleichzeitig auf diesen Speicherbereich zugreifen können. Zugriffe auf den Bildwiederholtspeicher erfordern das entsprechende Setzen der Statusleitung MAFO (siehe Abschnitt 3.2.2).

3.1.2.4 Externer Speicher (1)

Über den ECB-Bus können von der Adreßauswahl her bis zu 6 zusätzliche Speicherbänke angeschlossen werden. Zu diesem Zweck werden auf der zentralen Baugruppe 6 verschiedene MBS-Signale (Memory bank select) erzeugt und auf den ECB-Bus geführt.

Externe Speicherbaugruppen müssen eines dieser Signale (MBS0 bis MBS5) als Card select-Signal verwenden. Der Adreßbereich externer Speicher hängt ab von den Statusleitungen MAFO und MAP1.

Die Kapazität einer einzelnen externen Speicherbaugruppe darf bis zu 32 kByte betragen. Dies entspricht der Standardprogrammierung von Prom 7 (HM 7603).

Busbelegung der MBS-Signale: (2)

	ECB BUS:
MBS0	10c
MBS1	12c
MBS2	13c
MBS3	14a
MBS4	23c
MBS5	19c

Diese Signale sind nur dann aktiv, wenn tatsächlich ein Zugriff auf einen externen Speicherbereich stattfindet. Welches der 6 MBS-Signale in einem solchen Fall aktiv wird, hängt vom Inhalt des Mapper Ports (IC13: 74LS137) ab. Dieser kann durch Port-Write Befehle (Adresse: 1AH) entsprechend gesetzt werden.

D7.....D3	D2	D1	D0	Signal
x	0	0	0	MBS0
x	0	0	1	MBS1
x	0	1	0	MBS2
x	0	1	1	MBS3
x	1	0	0	MBS4
x	1	0	1	MBS5
x	1	1	0	MBS6

x ---> beliebig

- (1) nur bei PSI80x/Mx-Serie
- (2) Diese Signale sind bei PSI80-Systemen in der eingebauten Busplatine verdrahtet (siehe Abschnitt: Einschubrahmen). Die Verdrahtung des Card-Select-Signals der 'externen' Speicherkarte auf die gewünschte MBS-Leitung ist Anwender-seitig vorzunehmen.

3.2 Ein-/Ausgabekanäle

3.2.1 Ein-/Ausgabebausteine

Die Baugruppe enthält folgende E/A-Bausteine (1):

Adresse (hex)	Baustein	Port	implementiert bei
00	Z80 A-DMA	DMA-Port	) DMA-
01	AM 2918	Control Register	) Option
02	-		
03	-		
04	Z80 A-SIO/O(/9)	Port A-Data	) PSI80(D)/xx
05	"	Port B-Data	) (1)
06	"	Port A-Control	) PSI80(D)/xx
07	"	Port B-Control	) (1)
08	Z80 A-CTC-1	Kanal 0	)
09	"	Kanal 1	) PSI80(D)/xx
0A	"	Kanal 2	)
0B	"	Kanal 3	)
0C	Z80 A-PIO	Port A-Data	)
0D	"	Port B-Data	) PSI80(D)/Mx
0E	"	Port A-Control	)
0F	"	Port B-Control	)
10	Z80 A-CTC-2	Kanal 0	)
11	"	Kanal 1	) PSI80(D)/xx
12	"	Kanal 2	)
13	"	Kanal 3	)
14	FDC 765	Main Status Reg.	) PSI80(D)/M2, M1
15	"	Data Reg.	)
16	-	-	) PSI80(D)/S2, S1
17	-	-	)
18	CRTC-6845	Adreßregister	) PSI80(D)/xx
19	"	Registerfile	)
1A	IC13 : Mapper Port Strobe		) PSI80(D)/Mx
1B	Prom5 : Software protection		) optional
	PROM Strobe		)
1C	IC40 : Statusport Strobe		) PSI80(D)/xx
1D	IC44 : Keyboard Input Port Strobe		) PSI80(D)/xx
1E	FDC 765: DACK (Data Acknowledge)		) PSI80(D)/M2, M1,
1F	" : TC (Terminal Count)		) S2, S1

(1) zur Beachtung: nicht bei allen Kontron PSI-Versionen implementiert
(siehe Produktspezifikation)

3.2.2 Statusport

Über den Statusport (Baustein IC40: 74LS273) werden alle Steuerleitungen der Baugruppe bedient. Der Statusport ist über die I/O-Adresse 1CH erreichbar.

Achtung:

Dieser Port kann und darf nicht gelesen werden. Der momentane Inhalt des Statusports ist im Betriebssystem KOS in der Speicherstelle 3 abgelegt. Ändern des Statusports durch Anwenderprogramme nur unter Interruptsperre. Gleichen Inhalt in Port und Speicherstelle 3 schreiben! Interruptroutinen des Betriebssystems beeinflussen ebenfalls beide Inhalte.

Bitzuordnung:

ST0	-	MAP 0
ST1	-	MAP 1
ST2	-	Sound Trigger
ST3	-	Video Invert
ST4	-	Alpha/Graphik
ST5	-	Prom off
ST6	-	Standard/Mini
ST7	-	Motor on

Die Funktion der Signale wird in der folgenden Signalbeschreibung dargestellt.

Signalbeschreibung:

MAP0/MAP1 Memory map Signale zur Auswahl interner und externer Speicherbereiche (siehe auch Abschnitt: Speicher)

MAP1	MAP0	System	Video	Extern
0	0	0000-FFFF	-	-
0	1	0000-7FFF C000-FFFF	8000-BFFF	-
1	0	0000-3FFF C000-FFFF	-	4000-BFFF
1	1	0000-3FFF C000-FFFF	8000-BFFF	4000-7FFF

ST2: Sound Trigger Eine negative Flanke auf dieser Leitung triggert ein Monoflop (IC36: 74LS123) und aktiviert für die Dauer von etwa 0.5 s den Lautsprecherausgang 'SOUND OUT'. Das Monoflop ist nachtriggerbar. Die Frequenz des Tons hängt von Kanal 0 des CTC-2 ab.

ST3: Video Invert Invertiert den Videoausgang

ST3=1 ---> Hintergrund dunkel
ST3=0 ---> Hintergrund hell

ST4: Alpha/Graph Umschaltung zwischen alphanumerischer und graphischer Betriebsart

ST4=0 ---> graphische Betriebsart
ST4=1 ---> alphanumerische Betriebsart

ST5: Prom off Ein-/Ausschaltung des Prombereichs

ST5=0 ---> Prombereich eingeschaltet
ST5=1 ---> Prombereich ausgeschaltet

ST6: STD/Mini Einstellung des Diskcontrollers auf Standard- oder Minilaufwerke

ST6=0 ---> 8"-Laufwerk
ST6=1 ---> 5 1/4"-Laufwerk

ST7: Motor on 'Motor On'-Leitung für 5 1/4" Laufwerke

ST7=0 ---> Motor abgeschaltet
ST7=1 ---> Motor eingeschaltet

3.2.3 Tastaturanschluß

Der Tastaturanschluß erfolgt über ein 8bit TTL-Register (IC44: 74LS374) mit Tristate-Ausgängen. Dieses Register kann als Port (Adresse: 1DH) gelesen werden.

Der Takteingang des Keyboard Input Registers wird durch das Strobe Signal der Tastaturelektronik gesteuert. Dieses geht zur Generierung eines Interrupts gleichzeitig an Kanal 1 von CTC-2. Der Anschluß der Tastaturelektronik erfolgt an Stecker ST-E (26-polig).

Signalbezeichnung		Anschluß ST-E	Pegel
DATA	KB0	E-9	TTL-input
DATA	KB1	E-8	"
DATA	KB2	E-7	"
DATA	KB3	E-6	"
DATA	KB4	E-5	"
DATA	KB5	E-4	"
DATA	KB6	E-3	"
DATA	KB7	E-2	"
STROBE (invertiert)		E-11	"
VCC	+5V	E-13/26	
GND	0V	E-1/14	

Belegung von Stecker ST-E (Tastaturanschluß).

ST-E ist 1:1 verdrahtet auf dem untersten 25-poligen Stecker der Rückwand.

3.2.4 Serienschnittstellen

Die Baugruppe enthält im Vollausbau zwei unabhängige Serienschnittstellen (Kanal A und B) zum Anschluß beliebiger serieller Sender-/Empfängergeräte (Drucker, Terminals, ECB/C8-Subsysteme etc.). Beide Schnittstellen werden von einem Z80A-SIO/0 bedient. Folgende Norm-Schnittstellen sind realisiert:

KANAL	Adresse	RS232-C	20mA	RS423	RS422
A	04	ja	ja	optional	optional
B	05	ja	nein	optional	optional

Sämtliche Signale der beiden Schnittstellen sind auf je einem 25-poligen Normstecker herausgeführt (optional 37-polig nach RS 449).

Kanal A ---> ST-F
Kanal B ---> ST-G

Steckerbelegung Kanal A:

Anschluß SIO	Anschluß ST-F	Signalbez.	Pegel
TxDA	F-3 output	Send data	RS232-C
TxDA	F-16 output	Send data	20mA (+)
-	F-10 outp. return	Send data	20mA (-)
DTRA	F-5 output	Data terminal ready	RS232-C
RTSA	F-6 output	Request to send	RS232-C
RxDA (J2-A)	F-2 input	Receive data	RS232-C
RxDA (J2-B)	F-14 input	Receive data	20mA (+)
-	F-9 inp. return	Receive data	20mA (-)
CTSA	F-4 input	Clear to send	RS232-C
DCDA	F-20 input	Data set ready	RS232-C
TxCA (J3-B)	F-15 input	Ext. transmitter clock	RS232-C(*)
TxCA (J4-B)	F-17 input	Ext. receiver clock	RS232-C(*)
-	F-7	Signal Ground	0 Volt
-	F-1	Chassis Ground	0 Volt

Kanal A ist empfängerseitig standardmäßig für RS232C-Pegel ausgelegt (Jumper J2 in Stellung A). Die Auswahl der 20mA-Schnittstelle erfolgt durch Umstecken vom Jumper J2 auf Stellung B. ST-F ist 1:1 verdrahtet auf dem zweiten (von unten) 25-poligen Stecker der Rückwand.

Steckerbelegung Kanal B:

Anschluß SIO	Anschluß ST-G	Signalbez.	Pegel
TxDB	G-3 output	Send data	RS2 32C
DTRB	G-5 output	Data terminal ready	RS2 32C
RTSB	G-6 output	Request to send	RS2 32C
RxDB	G-2 input	Receive data	RS2 32C
CTSB	G-4 input	Clear to send	RS2 32C
DCDA	G-20 input	Data set ready	RS2 32C
TxRxCB (J1-B)	G-17 input	Ext. rec./trans. clock	RS2 32C(*)
TxRxCB	G-24 output	Int. rec./trans. clock	RS2 32C(*)
-	G-7	Signal Ground	0 Volt
-	G-1	Chassis Ground	0 Volt

(*) siehe Abschnitt: Einstellung der Baudrate

ST-G ist 1:1 auf dem dritten (von unten) 25-poligen Stecker verdrahtet.

Durch die Option 'Modemschnittstelle' wird Kanal B als Datenendgerät-Schnittstelle mit folgender Belegung implementiert:

Anschluß SIO	Anschluß (Rückwand)	Signalbezeichnung	Norm
TxDB	2	Sendedaten	D1/ 103
RxDB	3	Empfangsdaten	D2/ 104
DTRB	20	DE-Einrichtung betriebsbereit	S1/ 108
RTSB	4	Sendeteil ein- schalten	S2/ 105
-	23	-	-
CTSB	6	Betriebsbereit- schaft	M1/ 107
-	5	-	-
DCDB	8	Empfangssignal- pegel	M5/ 109
GND	7	Betriebserde	E2/ 102
GND	1	Schutzerde	E1/ 101

Einstellung der Baudraten

Die Baudrate für Kanal A des Z80A-SIO/O wird entweder von Kanal 2 des Z80A-CTC-1 oder, bei synchronen Übertragungsverfahren von einem extern zugeführten Takt bestimmt. Die Wahl zwischen internem und externem Takt erfolgt mit den Jumpers J3 und J4.

TxCA	RxCA	J3	J4
intern	intern	A	A
extern	intern	B	A
intern	extern	A	B
extern	extern	B	B

Wird interner Takt verwendet, so ist für Kanal 2 von CTC-1 untenstehende Programmiertabelle maßgebend.

Kanal B des SIO-Bausteins erhält den Übertragungstakt entweder von Kanal 1 des CTC-1 (siehe Tabelle), oder von extern für synchrone Anwendungen. Bei Kanal B sind Sender- und Empfängertakt auf dem SIO-Baustein zusammengefaßt.

TxRxCB	J1
intern	A
extern	B

SIO-Takt:	x16	x32	x64	x16
CTC-Betr.Art:	Zähler	Zähler	Zähler	Zeit- geber
BAUDRATE	CTC-Teilerfaktor			
9600	13	--	--	--
4800	26	13	--	--
2400	52	26	13	--
1200	104	52	26	--
600	208	104	52	--
300	--	208	104	--
150	--	--	208	--
110	--	--	--	142
75	--	--	--	208

Programmiertabelle zur Einstellung verschiedener Baudraten über einen CTC-Kanal.

32.5 Parallelschnittstelle

Die Baugruppe stellt über einen Baustein Z80A-PIO 16 fest verdrahtete Ein-/Ausgänge, sowie 4 Handshake Leitungen zur Verfügung (nur PSI80(D)/M-Reihe).

Die Adressen des PIOs sind:

PORT A - 0CH
PORT B - 0DH

Alle 16 Datenleitungen sind mit nicht invertierenden Schmitt-Trigger Bausteinen gepuffert. Sie sind so angeordnet, daß damit Drucker mit Parallelschnittstelle (Centronic-Schnittstelle), sowie Winchester Laufwerke PSI/WINS angeschlossen werden können. Der Abgriff der Signale erfolgt über den 26-poligen Stecker ST-C. Dieser ist 1:1 auf dem vierten (von unten) 25-poligen Stecker der Rückwand verdrahtet.

PIO-Anschluß	Richtung	Signalname	Steckerbelegung
PA0	Output	STROBE	C-12
PA1	Output	IPRIME	C-11
PA2	Input	FAULT	C-23
PA3	Input	EMPTY	C-22
PA4	Input	BUSY	C-21
PA5	Input	SELECT	C-20
PA6	Output	SPARE	C-25
PA7	Output	direction Port B	C-10
ARDY	Output		C-7
ASTR	Input		C-8
BSTR	Input		C-24
BRDY	Output		C-5
PB0	bidirectional	DATA 0	C-19
PB1	"	DATA 1	C-17
PB2	"	DATA 2	C-18
PB3	"	DATA 3	C-16
PB4	"	DATA 4	C-4
PB5	"	DATA 5	C-3
PB6	"	DATA 6	C-2
PB7	"	DATA 7	C-15
-	-	Vcc (5Volt)	C-13/26
-	-	GND (0Volt)	C-1/14

Die Signalbezeichnung entspricht der weitverbreiteten Centronics-Schnittstelle.

Port A und Port B können durch Ersetzen der Treiberbausteine Anwenderseitig umdefiniert werden.

Port B ist mit bidirektionalen Puffern (IC1: 74LS245) versehen. Ihre Richtung wird durch Bit 7 von Port A festgelegt.

Port A - Bit 7	Richtung IC1
0	Input
1	Output

Alle unidirektionalen Eingänge sind mit 1 kOhm Pull Up-Widerständen versehen.

Die Treiberkapazität aller Ausgänge beträgt ca. 24 mA bei log. Null Pegel.

Die Strobe-Leitung für PORT B ist auch an den CPU/DMA-Sockel (Pin 41) der Baugruppe geführt. Sie dient dort als Ready-Signal für DMA-gesteuerte Datenübertragungen über die Parallelschnittstelle.

3.2.6 Zähler-/Zeitgeber-Kanäle

Die Zentralbaugruppe KDT5 enthält zwei Z80A-CTC Bausteine

CTC-1 - Basisadresse: 08H

CTC-2 - Basisadresse: 10H

Verwendung der Kanäle:

CTC-1 Kanal 0 - Interrupt FD-Controller uP 765

Kanal 1 - Baudrate SIO-Port B

Kanal 2 - Baudrate SIO-Port A

Kanal 3 - frei für Anwender-Verwendung

CTC-2 Kanal 0 - Tongenerator

Kanal 1 - Tastatur Interrupt

Kanal 2 - Vsync Interrupt (Systemtakt für Multitasking)

Kanal 3 - frei für Anwender-Verwendung

3.2.7 Floppy Disk Controller und Floppy Disk Laufwerke

Die Floppy Disk Controller Schaltung der Baugruppe ermöglicht den Betrieb von Mini- und/oder Standardlaufwerken mit einfacher und/oder doppelter Schreibdicke (single/double density). Die entsprechende hard- und softwaremäßige Festlegung erfolgt fabrikseitig entsprechend der bestellten PSI80(D)-Version.

Das Herz des Controllers ist der Baustein NEC uP 765, der als intelligenter Peripherieprozessor alle wesentlichen Aufgaben der FD-Ansteuerung übernimmt. Vier Laufwerke mit 'single' und/oder 'double head' Ausrüstung können angeschlossen werden.

Dem Baustein uP 765 sind vier E/A-Adressen zugeordnet:

14H - Main Status Register

15H - Data Register

1EH - Data Acknowledge (für DMA basierende Datentransfers)

1FH - Terminal Count

Über Kanal 0 von CTC-1 ist der uP 765 im Z80A-System interruptfähig. Die Leitung DRQ (Data Request) ist zur Steuerung von DMA-gesteuerten Datenübertragungen zwischen uP 765 und Speicher an den CPU/DMA-Sockel der Baugruppe geführt (Pin 43).

Zur Steuerung der Disk Controller Hardware dienen folgende Bits des Statusports:

- ST-6 Laufwerkstyp (Umschaltung der Controller Hardware):
 0 ---> 8"-Laufwerke
 1 ---> 5 1/4"-Laufwerk
- ST-7 Motor On (für 5 1/4"-Laufwerke):
 0 ---> Motor ausgeschaltet
 1 ---> Motor eingeschaltet

Anschluß von Laufwerken

Der Anschluß erfolgt am 34-poligen Stecker ST-D über eine 1:1 Verbindung.

Anschluß ST-D	Signalbezeichnung	Bemerkung
D-2 output	Head Load	
D-4 input	Index	(8"-Laufwerke)
D-6 input	Ready	(falls nicht vorhanden: J11 geschlossen)
D-8 input	Index	(5 1/4"-Laufwerke)
D-10 output	Drive Select 1	
D-12 output	Drive Select 2	
D-14 output	Drive Select 3	
D-16 output	Motor On	
D-18 output	Direction	
D-20 output	Step	
D-22 output	Write data	
D-24 output	Write gate	
D-26 input	Track 0	
D-28 input	Write protect	
D-30 input	Read data	
D-32 output	Head Select	(für double sided drives)
D-34 output	Drive select 4	

Alle Ausgänge zum Laufwerk werden von Open Collector Puffern getrieben. Alle Eingänge vom Laufwerk sind mit 150 Ohm Pull Up-Widerständen versehen. Die ungeraden Anschlüsse von ST-D liegen auf Masse.

In Kontron PSI80/82-Systeme sind folgende Floppy Disk Laufwerke eingesetzt:

MPI B102	PSI80Q/xx
MPI B101	PSI82D/xx
Micropolis 1015/II	PSI80D/xx

Kontron behält sich den Einsatz äquivalenter Laufwerke vor.
 Diese Laufwerke arbeiten mit 100 tpi.
 Die hardwaremäßige Adressierung ist:

ungerade Adressen:	linkes Laufwerk
gerade Adressen:	rechtes Laufwerk

3.2.8 Video Controller

Der Videocontroller der Baugruppe ist um den Controller CRTC-6845 aufgebaut. Diesem Baustein sind zwei I/O-Adressen zugeordnet.

18H - Adreßregister
19H - Registerfile

Folgende Bits des Statusports dienen zur Steuerung der Video Controller Hardware:

ST4 - Umschaltung zwischen alphanumerischer und graphischer Betriebsart

ST4=0 --> Graphische Betriebsart
ST4=1 --> Alphanumerische Betriebsart

ST3 - Invertierung des gesamten Bildes

ST3=0 --> Hintergrund dunkel
ST3=1 --> Hintergrund hell

Die Invertierung einzelner Zeichen erfolgt im alphanumerischen Modus bei gesetztem achten Bit im ASCII-Code des abzubildenden Zeichens.

Die Taktfrequenz für die Steuerung des Videocontrollers wird von einem eigenen Oszillator mit 12.36 MHz (Kontron PSI80) bzw. 13.5 MHz (Kontron PSI82) erzeugt.

Dies entspricht Bildfrequenzen von 50 bzw. 60 Hz.

Bildwiederholtspeicher

Der Bildwiederholtspeicher liegt im Adreßbereich von 8000H - BFFFH und kann von der CPU aus durch Memory mapping erreicht werden (siehe Kapitel Speicher).

Der Bildwiederholtspeicher ist für CPU-Zugriffe transparent. Dies ermöglicht virtuell einen gleichzeitigen Zugriff von CPU und CRTC. Die Synchronisation von CPU-Zugriffen erfolgt über die WAIT-Leitung der CPU.

Zeichensatz im Alpha-Modus

Der Zeichensatz ist durch PROM8 festgelegt. Einem Zeichen sind 16 Bytes zugeordnet, von denen die ersten 10 jeweils das Bitmuster einer Bildschirmzeile (Matrix 8x10) beschreiben. Der ASCII-Code (00h...FFh) *16 des darzustellenden Zeichens aus dem Bildwiederholtspeicher adressiert das erste Byte (= die oberste Zeile der Matrix), die folgenden *9 Zeichen werden vom Videocontroller nacheinander adressiert. ASCII-Zeichen unter 20H werden vom Bildschirmtreiber \$MON ausgewertet. Im zugehörigen PROM-Bereich sind Sonder- und Semigraphik-Zeichen enthalten, die über Codes > 80H angesprochen werden können.

Cursorsteuerung

Die Programmierung des Videocontrollers erfolgt unter KOS in den Modulen \$MON, \$GRAP und XMON.

Die direkte Programmierung über die E/A-Adressen 18H (Registeradressport) und 19H (Steuerregister) ist möglich unter Interruptsperre.

Es wird zuerst in 18H die Adresse des zu ändernden Steuerregisters geschrieben, anschließend wird das Steuerregister gelesen oder beschrieben.

a) Cursor-Format

Steuerregister 10 beeinflusst die Cursordarstellung:

.0. X-X. 0-Y Y-Y Y.
b7 b0

```
mit:  XX    =   00    nicht blinkend
                01    abgeschaltet
                10    schnell blinkend
                11    langsam blinkend
```

und YYYY = Anfangszeile (für Cursorgröße)

Steuerregister 11:

0 0 0-0, Z Z Z-Z,

mit:
ZZZZ = Endzeile (für Cursorgröße)

b) Cursor-Positionierung

Die Cursor-Positionierung erfolgt stets relativ zur Scroll-Adresse
(= 1. Zeichen am Bildschirm) durch KOS-Aufrufe.

Monitoranschluß

Alle benötigten Signale sind an dem 26-poligen Stecker ST-K herausgeführt.

Anschluß ST-K Signalbezeichnung

K-2 output	Video
K-3 output	VSTPA (*)
K-4 input	Light Pen Strobe
K-5 output	Composite Video
K-6 input	VSTOP (*)
K-7 output	Horizontal Sync (HSYNC)
K-8 output	Vertical Sync (VSYNC)
K-9 input	ext. Clock in (*)

Alle anderen Anschlüsse liegen auf Masse.

Alle Ein-/Ausgänge mit Ausnahme des Composite Video Signals sind TTL-kompatibel.

Das Signal LIGHT PEN STROBE kann über Kanal 3 von CTC-1 einen Interrupt generieren.

Das composite Video-Signal ist auf eine 75 Ohm BNC-Buchse geführt.

Für Kontron PSI80-Systeme werden Bildschirme vom Typ QDM-SN, Phosphor P39, Hersteller 3Q, verwendet, der Einsatz äquivalenter Typen bleibt vorbehalten.

Für Kontron PSI82-Systeme kommen Monitore Grundig BG33 oder ein äquivalenter Typ zum Einsatz zum Anschluß von externen Bildschirmen.

(*) nicht verwendet.

3.2.9 Interruptpriorität

Auf der Baugruppe ist folgende Interruptpriorität festgelegt:

1. DMA (falls bestückt)
2. CTC-1
3. SIO
4. CTC-2
5. PIO
6. Einschubrahmen

In der Standardversion ist Kanal 0 von CTC-1 (Disk Interrupt) die höchste Priorität zugeordnet.

Die Z80A-CPU ermöglicht vektorisierte Interrupts. Dazu stellt die CPU selbst im I-Register die frei in Schritten von 256 Byte wählbare Basisadresse xx00H der aktuellen Interrupttabelle zur Verfügung. Von den Peripheriebausteinen wird in 8 Bits (Format: yyyyyyy0B) einer aus den 128 möglichen Einsparungen in die Interrupttabelle definiert.

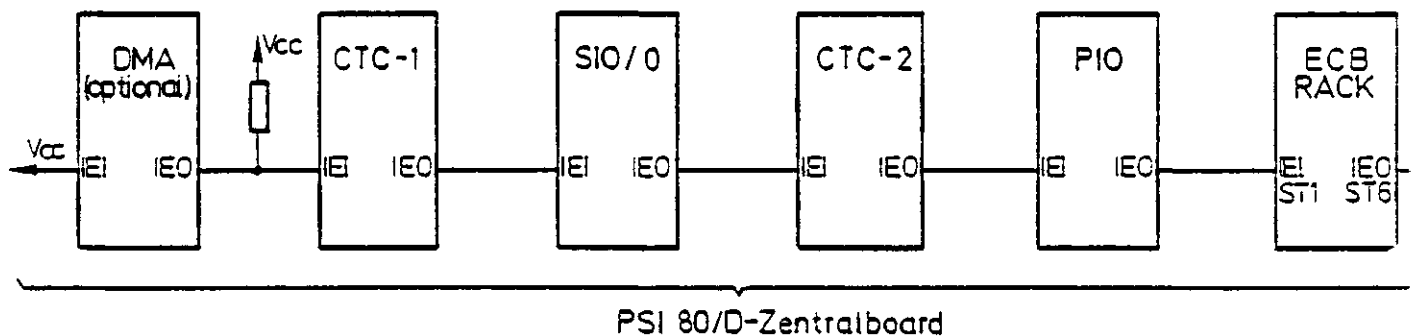
Dazu ist das Vektorregister der Z80A-Peripheriebausteine über Steuerbefehle entsprechend zu setzen.

Die Einträge in der Interrupttabelle werden als Anfangsadressen der zu jedem Interrupt zugehörigen Beantwortungsroutinen (ISR = Interrupt Service Routine) aufgefaßt. Vom Betriebssystem KOS ist der Speicherbereich von

xx00H bis xxFFH

für die Interrupttabelle reserviert. Der Wert xx kann aus dem I-Register der CPU abgelesen werden (KDM-Kommando). Innerhalb der Interrupttabelle sind die Einträge von xxEDH bis xxFFH für das Betriebssystem reserviert.

Bild 2: Interruptpriorität im PSI80/D-System



3.2.10 Lautsprecher- und Resetanschluß

Stecker ST-J dient zum Anschluß des Lautsprechers und des Resetschalters.

J-1	GND	J-6	GND
J-2	GND	J-7	LAUTSTÄRKE POTI (Empfohlener Wert: 220-470 Ohm)
J-3	RESET-SCHALTER	J-8	GND
J-4	GND	J-9	GND
J-5	LAUTSPRECHER	J-10	GND

4. Zusatzbaugruppen

4.1 CPU/DMA-Adapter

Die CPU/DMA-Adapterplatine (Option PSI/DMA) dient zur Erweiterung der PSI80(D)-Zentralplatine um einen Z80A-DMA Baustein.

Die Platine wird als Piggy Back Baugruppe anstelle der CPU in den 48-poligen CPU/DMA-Sockel der Baugruppe eingesetzt. Hierbei ist bei nachträglicher Montage darauf zu achten, daß der überstehende Teil der Adapterplatine in Richtung Z80A-PIO der zentralen Rechnerplatine zeigt.

Die Baugruppe enthält neben CPU und DMA (I/O-Adresse: 0) einen Multiplexer (74LS153), mit dem 4 verschiedene Eingangssignale auf den Ready Eingang des DMA-Bausteins geschaltet werden können. Der Multiplexer ist softwaremäßig über ein Register (AM 2918) einstellbar. Dieses Register kann als I/O-Port beschrieben und gelesen werden (E/A-Adresse: 01; x = beliebiger Wert):

D7.....D0	DMA-Ready	von
xxxx xx 00	FDC-DRQ	Floppy Disk Controller 765
xxxx xx 01	DMA-Ready	von ECB-Bus Pin 22a
xxxx xx 10	STR-B	von PIO Port B-Strobe
xxxx xx 11	Wait/Ready A	von SIO Wait/Ready Port A

Achtung:

Die Verwendung des DMA-Bausteins wird vom Standardbetriebssystem KOS 5.x nicht unterstützt. Es ist also Sache eines Anwenderprogramms, welche Funktion der DMA-Baustein im System erfüllt.

4.2 RS 422/423-Option

Diese Option für die Serienschnittstellen ist Teil der Option 'LS', die den Anschluß als Slavestation oder Software-Master (Option MS-SOFT) an Kontron KOBUS-Systeme ermöglicht.

Die SIO-Adapterplatine (Platinen Nummer: 384) realisiert für den Serienkanal A der PSI80/82-Rechnerplatine (KDT Rev. 5.x) eine zu den elektrischen Spezifikationen der RS422-Norm kompatible serielle Schnittstelle. Eine derartige Schnittstelle wird für den Anschluß der KIA-Einheit (KOBUS Interface Adapter) benötigt. Die RS422-Schnittstelle ermöglicht hohe Übertragungsraten (Megahertz-Bereich) bei vergleichsweise langen Leitungen (bis 20 Meter).

Einbauhinweise:

Der SIO-Adapter ist als 'Piggy Back Board' für die KDT-Platine ausgeführt und wird anstelle des SIO-Bausteins (IC 18) in dessen Fassung eingesetzt. Es ist unbedingt sicherzustellen, daß folgende Bauteile der KDT-Platine zuvor entfernt werden:

- a) IC 17 - 75189
- b) IC 19 - 75188
- c) IC 20 - 75189
- d) Jumper J2, J3, J4

Durch die Entfernung von IC17 entfällt auch die Möglichkeit, den Sender-/Empfängertakt für Kanal B des Z80A-SIO von außen über die RS232C-Schnittstelle einzuspeisen.

Die Verbindung vom SIO-Adapter zur Rückseite des PSI80-Systems erfolgt über den Anschluß ST-F der Adapterplatine. Es wird das für Kanal A (KDT Stecker ST-F) vorhandene 26-polige Flachbandkabel verwendet. Dieses Kabel stellt eine 1:1 Verbindung mit dem zweiten Stecker von unten an der Rückseite des PSI80-Systems her.

Steckerbelegung:

Anschlußpin	Signal
2,14	TxDA - Transmitter Data (Output)
3,15	DTRA - Data Terminal Ready (Output)
4,16	RxDA - Receiver Data (Input)
5,17	DCDA - Data Carrier Detect (Input)
6,18	TxCA - Transmitter Clock (Input)
7,19	RxCA - Receiver Clock (Input)

1, 8, 11-13, 24-26	GND
9, 10, 21-23	

Diese Steckerbelegung ermöglicht wiederum eine 1:1 Verbindung mit der in Kontron KOBUS-Systemen notwendige KIA-Einheit (Flachband- oder Rundkabel).

4.3 Modem-Option

Diese Option zur PSI80(D)-Serienschnittstelle B setzt die SIO-Schnittstelle auf die Datenendeinrichtungs-Schnittstelle um.
 Betriebsart: manuell, Betriebsweise duplex, Gleichlaufverfahren
 asynchron, Übertragungsgeschwindigkeit 1200 bit/s Zulassungsnummer FTZ 02013D PSI80.

4.4 Softwareschutz-PROM

Auf KDT5-Platinen ist der Steckplatz PROM5 vorgesehen zur Aufnahme eines anwenderseitig erzeugten Softwareschutz-PROMs vom Typ nm 7603.

Der Strobe von PROM5 wird unter der I/O-Adresse 1BH angesprochen.
Durch die Befehlssequenz

```
LD C, 1BH
LD B, PROMADDR
IN A, (C)
```

wird das Byte in PROMADDR ausgelesen. Dieser Wert kann mit Kennziffern verglichen werden. PROM5 enthält 32 Bytes. Der Anfangswert von PROMADDR ist 0, der größte Wert ist 31 x 8, da PROMADDR in Schritten von 8 inkrementiert wird. Die Adreßeingänge von PROM5 sind IA11...IA15.

5. Beschreibung des Einschubrahmens

In den Versionen der PSI80x/Mx ist ein zusätzlicher Einschubrahmen im Inneren des Gehäuses hinter dem Sichtschirm vorhanden.

Er ermöglicht den Einsatz von ECB-Karten im Europaformat (160x100 mm). Jeweils 2 nebeneinanderliegende Steckplätze können stattdessen auch eine Karte im Doppel-Europa-Format (230x160 mm) enthalten.

Träger dieser Karte ist eine gedruckte Schaltung, die den Kontron ECB-Bus realisiert. Über ein 64-poliges Kabel ist diese Platine mit der zentralen Computerbaugruppe verbunden.

5.1 Kontron's ECB-Bus Standard

Zu diesem Bus sind Karten für die Realisierung der vielfältigsten Aufgaben von vielen Herstellern aus Westdeutschland, Österreich, Schweiz, Schweden, Niederlande und Frankreich verfügbar.

Wir weisen darauf hin, daß im PSI80 auch dieser Bus mit 4 MHz Taktfrequenz betrieben wird: Es sind somit Karten der Z80A-ECB-Reihe zu verwenden.

Bei externer Speichererweiterung genügt die Klasse -3 (Zugriffszeit 250 ns) für RAM's. Bei PROM's sind im allgemeinen Typen mit einer garantierten Zugriffszeit von 350 ns ausreichend. wenn sichergestellt ist, daß die Umgebungstemperatur außerhalb des Gehäuses 35 Grad C nicht übersteigt.

Über Einzelheiten der ECB-Reihe informieren Kontron's ECB-Handbücher.

ECB-Bus Pin-Belegung:

	Benennung	Stecker Pin	Bezeichnung
Adreßbus:	A0	5c	Adresse 0
	A1	7c	Adresse 1
	A2	6a	Adresse 2
	A3	6c	Adresse 3
	A4	7a	Adresse 4
	A5	8a	Adresse 5
	A6	9a	Adresse 6
	A7	9c	Adresse 7
	A8	8c	Adresse 8
	A9	30a	Adresse 9
	A10	18c	Adresse 10
	A11	17c	Adresse 11
	A12	27c	Adresse 12
	A13	29a	Adresse 13
	A14	18a	Adresse 14
	A15	28c	Adresse 15
Datenbus:	D0	2c	Data 0
	D1	14c	Data 1
	D2	4c	Data 2
	D3	4a	Data 3
	D4	5a	Data 4
	D5	2a	Data 5
	D6	3a	Data 6
	D7	3c	Data 7
Bank Select:	-MBS0	10c	Memory Bank Select 0
	-MBS1	12c	Memory Bank Select 1
	-MBS2	13c	Memory Bank Select 2
	-MBS3	14a	Memory Bank Select 3
	-MBS4	23c	Memory Bank Select 4
	-MBS5	19c	Memory Bank Select 5
Hinweis:	Aktiv-Low-Signale sind mit einem Minuszeichen gekennzeichnet. Alle Bussignale dürfen mit ca. 7 TTL-Eingängen belastet werden (ca. 30 LS TTL-Lasten).		

	Benennung	Stecker Pin	Bezeichnung
Steuerbus:	-M1	20a	Maschinenzyklus 1
	-MRQ	30c	Memory Request
	-IORQ	27a	IN/OUT Request
	-RD	24c	Read
	-WR	22c	Write
	-RFRSH	28a	Refresh
	-HLT	25c	Halt
Verschiedenes:	-WAIT	10c	Wait
	-INT	21c	Interrupt
	-NMI	20c	non maskable Int.
	-RESET	31c	Reset (Ausgang)
	IEI	11c	Int. enable in
	IEO	16c	Int. enable out
	-PWRCL	26c	Power on clear
	CLK	29c	Clock 4.0 MHz (MOS-Pegel)
	2 x CLK	16a	2 x Clock (1)
	n x CLK	25a	n x CLOCK (1) (3)
	-BUSRQ	11a	Busrequest
	-BUSAK	31a	Busacknowledge
	-BAI	12a	Busprioritäts- steuerung Ein
	-BAO	17a	Busprioritäts- steuerung Aus
	WRITE EN	26a	Write Enable
	DPR	23a	
	+5	1a,c	+ 5V
	GND	32a,c	Ground
	+12	13a	+ 12V für EPROMs (2)
	- 5	15a	- 5V für EPROMs (2)
	+15	19a	+ 15V für V24 und (2)
	-15	15c	- 15V für AD-Wandler (2)
	VCMOS	24a	(Notstrom)

(1) wird von der Kontron PSI-Zentralplatine nicht bereitgestellt.

(2) Nicht mit Kontron PSI-Zentralplatine verbunden, Versorgung vom Netzteil direkt über Lötbrücken auf der Einschubplatine

(3) nicht durchverbunden

5.2 Adressierung im ECB-Bus

Der 'Externe Erweiterungsbus' des Einschubrahmens ist elektrisch ständig an die Busse der Zentralplatine angekoppelt. Baugruppen des Einschubrahmens dürfen bei folgenden Gelegenheiten Daten auf den Bus schalten:

- a) Die CPU liest von Ein-/Ausgabeadressen größer oder gleich 20H. Dementsprechend sind auf den Erweiterungskarten Bausteine nur mit Adressen größer/gleich 20H adressierbar.
- b) Die CPU liest den Interruptvektor eines externen Peripheriebausteins (siehe Interruptpriorität).
- c) Die CPU liest von einem externen Speicher (siehe hierzu Abschnitt: Speicher)

Dies gilt nicht für den Betrieb eines autonomen Subsystems (z.B. Z80A-ECB/C8). Bei diesem Aufbau entfällt das 64-polige Verbindungskabel zur Zentralplatine und das Subsystem wird z.B. über eine Serienschnittstelle angekoppelt.

Beim Einsatz von ECB-Karten im PSI80 sind folgende Port-Adressen standardmäßig verwendet:

Platine	E/A-Adresse	fest/variabel
Z80A-ECB/A	COH...C3H, 30H...4FH	fest
Z80A-ECB/B	20H...2FH	fest (für PSI/BASIC)
Z80A-ECB/I	AOH	variabel
Z80A-ECB/X	DOH	variabel
Z80A-ECB/O	EOH	variabel
Z80A-ECB/AE16	8CH	variabel
Z80A-ECB/AA4	40H	variabel

Die E/A-Adressen der ECB/A und ECB/B sind fest eingestellt. Die Baugruppen-Adressen der restlichen Karten wird bei Konfiguration im Werk auf obigen Wert eingestellt.

Bei mehr als 2 Karten gleichen Typs werden die darauf folgenden Adressen eingestellt, sofern dies mit anderen eingebauten Karten vereinbar ist (z.B. 4xZ80A-ECB/I: AOH, BOH, COH, DOH, falls keine ECB/A zusätzlich eingebaut ist).

5.3 Interruptsteuerung im Einschubrahmen

In Z80A-Systemen sind Interrupts hardwaremäßig durch die fest verdrahtete Daisy chain Kette in ihrer Priorität festgelegt.

Die Priorität im Einschubrahmen ist wie folgt:

- Steckplatz 1 im Einschubrahmen höchste Priorität
- Steckplatz 2 "
- Steckplatz 3 "
- Steckplatz 4 "
- Steckplatz 5 "
- Steckplatz 6 " niedrigste Priorität

Beim Anordnen von interruptfähigen Karten im Einschubrahmen ist darauf zu achten, daß die Durchschleifung von der in der Priorität niedrigsten Platine bis zum Anschlußkabel ununterbrochen ist. Die Durchschleifung auf der Platine des Einschubrahmens ist also auf den eingesteckten Platinen so fortzusetzen, daß alle interruptfähigen Bausteine einbezogen sind.

Die Durchschleifung der Signale IEI/IEO ist zeitkritisch: wie auf der Zentralplatine (siehe Schaltplan) ist bei längeren Ketten eine Look-ahead Logik vorzusehen.

Weitere Informationen sind in Applikationsschriften zur Interruptbehandlung von Kontron enthalten.

5.4 Stromversorgung des Einschubrahmens

Über einen 7-poligen Stecker werden dem Einschubrahmen alle Spannungen des PSI80-Netzteils zugeführt.

Die Spannungen sind wie folgt belastbar:

	PSI80/M2	PSI80/M1	PSI80/M0
+ 5V	3.0 A	3.3 A	3.6 A
+ 12V	0.2 A	0.7 A	1.2 A
+ 15V	0.2 A	0.2 A	0.2 A
- 15V	0.2 A	0.2 A	0.2 A

Die 5V-Versorgung erfolgt direkt. Die anderen Spannungen sind mit auf der Platine des Einschubrahmens zu schließenden Lötbrücken geführt. Durch Einsetzen eines Festspannungsreglers des Typs 7905 kann aus -15V die für manche Speicherplatinen notwendige -5V-Versorgung realisiert werden. Der Platz dafür ist vorgesehen.

6. Netzteil

Das Netzteil der Kontron PSI80/82-Systeme ist sekundär getaktet (+5V, +12V). Die Nebenspannungen (+15V, -15V, -12V) werden durch Festspannungsregler erzeugt.

Jede Baugruppe im System ist über ein eigenes Kabel versorgt.

Die zusätzliche Belastbarkeit ist gemäß den Spezifikationen in den Systemen mit Einschubrahmen vorgesehen. In den anderen Ausführungen der Kontron PSI80-Serie sind nur die Spannungen +5V, +12V und -12V garantiert.

Alle Spannungen sind kurzschlußfest und gegen Überstrom und Überspannung geschützt.

7. Festplattenanschluß

Im Kontron PSI80x/W5- und PSI82D/W5-System erfolgt der Anschluß der 5Mio-Byte Festplatte (Typ Seagate ST506 oder Äquivalent) über die Controllerbaugruppe ECB/HC mit Datenseparator ECB/DS, die in den Einschubrahmen eingesteckt werden.

7.1 Funktionseinheiten

Die Baugruppe ECB/HC enthält folgende Funktionseinheiten:

- ECB-Bus Interface mit I/O-Adreßdekode
- Disk I/O-Prozessor 9056 der Firma MSC
- Laufwerk Interface zum ST506 der Firma Seagate
- Datenseparator Interface zur ECB/DS

7.2 Schaltungsbeschreibung

ECB-Interface

Die ECB/HC ist vom Bus betrachtet eine Ein-/Ausgabebaugruppe. Das ECB-Interface besteht deshalb aus einem E/A-Adreßdekode, sowie einigen Buspuffern bzw. Datenein-/ausgaberegistern.

a) E/A-Adreßdekode

Die Baugruppe beansprucht den Adreßraum für 4 E/A-Adressen, wovon allerdings nur 2 Verwendung finden. Über einen 6-fach Schalter wird die Baugruppenadresse festgelegt. Ein 6 Bit-Vergleicher vergleicht die Stellung des Schalters F2 mit den Adreßbits A2...A7.

Beispiel:

Adresse(hex)	-WR=Low	-WR=High
80	Data Write Reg.	Data Read Reg.
81	nicht verwendet	
82	Status Write Reg.	Status Read Buffer
83	nicht verwendet	

b) Data Write Register (DWR)

Über dieses Register erfolgt der Datentransfer vom ECB-Bus zum Disk I/O-Prozessor 9056 der ECB/HC. Es werden entweder Kommandos oder Daten im eigentliche Sinne übertragen. Bei Datenübertragungen zum oder vom Disk I/O-Prozessor sind dessen Statussignale zu beachten.

c) Data Read Register (DRR)

Über dieses Register erfolgt der Datentransfer vom Disk I/O-Prozessor 9056 über den ECB-Bus zum Rechner. Es werden entweder Statusrückmeldungen oder Daten im eigentlichen Sinne übertragen.

d) Status Write Register (SWR)

Das SWR ist ein 4 Bit Register, über das Steuereingänge des 9056 Moduls programmierbar sind.

e) Status Read Buffer (SRB)

Über den SRB können vier Statussignale des 9056 Moduls in den Rechner eingelesen werden. Dies sind:

D0	-	9056 Anschluß 16:	-RDY
D1	-	9056 Anschluß 1:	-LDI
D6	-	9056 Anschluß 17:	BUSY
D7	-	9056 Anschluß 2:	-DOUT

7.3 Disk I/O-Prozessor MSC 9056

Der Disk I/O-Prozessor MSC 9056 ist auf der Lötseite der ECB/HC bestückt. Dieses Modul empfängt Kommandos über den ECB-Bus und führt diese selbständig aus. Ein Modul-interner Sektorpuffer ermöglicht zusammen mit den Handshake Mechanismen des Moduls Transfergeschwindigkeiten, die unabhängig von der Übertragungsrates des angeschlossenen Winchesterlaufwerks sind. Der Datentransfer über den ECB-Bus erfolgt programmgesteuert (programmed I/O über normale IN/OUT-Befehle).

7.4 ST506-Laufwerk Interface

Der Anschluß eines 5 1/4 Zoll Winchesterlaufwerks erfolgt über den 34-poligen Stecker ST-B der ECB/HC. Die Steckerbelegung ermöglicht eine 1:1 Verdrahtung zwischen ECB/HC und ST506. Dort ist der Anschluß J1 zu verwenden. Der Datenanschluß über differentielle Leitungen befindet sich auf der Aufsteckplatine ECB/DS, Stecker ST-B (A = Ausgang, E = Eingang):

2	-	A-RED.CURRENT	
4	-	A-HEAD2	(nicht angeschlossen auf ST506)
6	-	A-WR.GATE	
8	-	E-SEEK COMPLETE	
10	-	E-TRACK 0	
12	-	E-WRITE FAULT	
14	-	A-HEAD 0	
16	-	-	(nicht angeschlossen auf ST506)
18	-	A-HEAD 1	
20	-	E-INDEX	
22	-	E-READY	
24	-	A-STEP	
26	-	A-DRS 0	(Drive Select)
28	-	A-DRS 1	(Drive Select)
30	-	A-DRS 2	(nicht angeschlossen auf ECB/HC)
32	-	A-DRS 3	(nicht angeschlossen auf ECB/HC)
34	-	A-DIRECTION	

7.5 ECB/DS - Anschluß

Der Anschluß der ECB/DS (Datenseparator) erfolgt unmittelbar durch Aufstecken der ECB/DS auf Stecker ST-C (20-polig) der ECB/HC. Die entstehende Baugruppenkombination beansprucht etwa 3 Steckplätze eines ECB-Einschubrahmens. ST-C ist folgendermaßen belegt:

1	-	RDGATE	(Read Gate)
2	-	PLO-CLOCK	
3	-	CLEAR	
4	-	SELO	
5	-	RDDATA	(Read Data)
6	-	SEL1	
7	-	WR.GATE	(Write Gate)
8	-	-WAM	(Write Address Mark)
9	-	-KILL.PREC	(Reset Precompensation)
10	-	WR.DATA	(Write Data)
11	-	-15 Volt	
12	-	AMD	(Address Mark detect)
13	-	-15 Volt	
14	-	DR.SELO	(Drive Select 0)
15	-	GND	
16	-	DR.SEL1	(Drive Select 1)
17	-	GND	
18	-	-RESET	(Reset Read Logic)
19	-	Vcc	(+5 Volt Versorgung)
20	-	Vcc	

KONTRON DEUTSCHLAND

8057 Eching b. München
Breslauer Straße 2
Tel (089) 319 01 313
Telex 522122
Telefax (089) 319 01 311

TECHNISCHE BÜROS

8057 Eching
Obere Hauptstraße 5
Tel (089) 319 01 318
Telex 5213671

8500 Nürnberg 20
Rennweg 60/62
Tel (0911) 53 33 06
Telex 626391

7000 Stuttgart 30
Maybachstraße 39a
Tel (0711) 81 46 21
Telex 723061

6000 Frankfurt 70
Kennedy Allee 34
Tel (0611) 63 60 61
Telex 414881

4000 Düsseldorf 1
Ronsdorfer Str. 145
Tel (0211) 7331453
Telex 8582675

3000 Hannover 81
Hermann Guthe Str. 3
Tel (0511) 83 90 51 57
Telex 923729

2000 Hamburg 70
Königsreihe 2
Tel (040) 68250
Telex 211998

1000 Berlin 41
Albrechtstraße 34
Tel (030) 792 30 31 3
Telex 185484

KONTRON INTERNATIONAL

AUSTRALIA
KONTRON (Pty.) Ltd.
Warringah Mall
Brookvale NSW 2100
Phone 0081 2 938 3433
Telex 0071 27012

AUSTRIA
KONTRON GmbH & Co. KG
Eisgrubengasse
A 2334 Vösendorf/b. Wien
Phone 0043 222 670 631
Telex 0047 131699

BELGIUM
HELIAGRAH p.v.b.a.
Guiden Sporenlaan 19
B 9220 Merelbeke
Phone 0032 91 301314
Telex 0046 12104

FRANCE
KONTRON S.A. France
6 Rue des Freres Caudron
F 78140 Velizy Villacoublay
Phone 0033 94 69 722
Telex 0042 695672

ITALY
ELEDRA 3S S.p.A.
Viale Elvezia 18
I 20154 Milano
Phone 0039 2 2349751
Telex 0043 314155

JAPAN
KONTRON K.K.
Office 732 Fuji Building
2 + 3 Marunouchi 3 Chome
Chiyoda Ku Tokyo
Phone 0081 3 214 5371
Telex 00720 2222 861

NETHERLANDS
C.N. ROOD B.V.
Cort v.d. Lindenstr. 11-13
2280 AA Rijswijk
Phone 0031 70 996 380
Telex 0044 31238

NETHERLANDS
TEKELEC Autronic
Storkstraat 7
2700 AB Zoetermeer
Phone 0031 79 310 100
Telex 0044 33332

NORWAY
VIKING
MICROSYSTEMS A.S.
N 1800 ASKIM
Phone 0047 2 88 11 50
Telex 0056 11502

SOUTH AFRICA
BIOWAVE Electronics
(PTY) Ltd.
P.O. Box 782502
Sandton 2146
Johannesburg
Phone 0027 11 485805
Telex 4 247 46 SA

SPAIN
KONTRON S.A.
Salvatierra 4
MADRID 34
Phone 0034 1 729 11 55
Telex 0058 23382

SWEDEN
TRANSFER AB
Prästgårdsg. 9 or BOX 506
S 17229 Sundbyberg
Phone 0046 8 9816 20
Telex 0054 19339

SWITZERLAND
KONTRON
ELECTRONIC AG
Bernstrasse Sud 169
CH 8048 Zurich
Phone 0041 16 282 82
Telex 0045 52115

UNITED KINGDOM
KONTRON
INSTRUMENTS LTD
Compact House
Campfield Road/
GB St Albans AL1 5JG
Phone 0044 727 66222
Telex 0051 267102

UNITED STATES
KONTRON
ELECTRONIC INC
630 Price Ave
Redwood City CA 94063
Phone 001 415 361 1012
Telex 00255 910378 5207