

INFO-5

CPU

Technische Beschreibung

Übersicht über die technischen Daten:

- * Z-80 Prozessor mit 4 oder 6 MHz Systemtakt
- * Bussteuerung für den ECB Bus
- * Voll interruptfähig für alle 3 Z80 Interruptarten
- * Voll DMA fähig, d.h. externer DMA kann auf CPU interne I/O oder Speicher zugreifen. Mehrere DMA sind im System möglich.
- * 64 k Byte dynamischer RAM mit 64k x 1 Chips
- * 2, 4, 8, 16 kByte EPROM mit automatischer RAM Ausblendung.
- * Auto Boot Logik - beim Verlassen des Boot wird das EPROM ausgeblendet.
- * Bank Adr. Erzeugung für 1 M Byte RAM für statisches und dynamisches Banking.
- * Wait Logik für : MRQ - MRQ bei M1 - nur EPROM MRQ - nur EPROM MRQ bei M1 - IORQ - Interrupt Acknowledge Cycle - und bei Kombinationen
- * Z-80 PIO mit 2 Byte parallel und Quittungssignalen.
- * Z-80 DART oder SIO mit 2 voll duplex seriellen Schnittstellen
- * V-24 Pegel für beide Kanäle incl. aller Modemsteuersignale.
- * Dual Baud Rate Generator über Software oder über Steckbrücken einstellbar von 50 - 19200 Baud.
- * Umschaltung zwischen interner und externer Baud Rate.
- * Real Time Clock für Uhrfunktion, Alarmfunktion und Timerfunktion.
- * Stromversorgung 5V 850mA (bei V-24 Betrieb +- 12V 50mA).
- * Multilayer Europakarte fertig aufgebaut und getestet.

Konzeption der info-s cpu

Die info-s cpu wurde als zentrale Rechnerbaugruppe einer neuen Systemkartenfamilie entwickelt. Bei der Entwicklung der info-s Baugruppen wurden die neusten Überlegungen der Rechnerarchitektur, der Bauteilentwicklung sowie unsere über 12jährige Erfahrung in der Rechnertechnologie vereint. Insbesondere wurden folgende Überlegungen berücksichtigt:

Um eine hohe Zuverlässigkeit eines Rechnersystems zu erreichen, muß der Energieverbrauch minimiert werden. Hierdurch erreicht man niedrige Betriebstemperaturen, womit direkt die zu erwartende Lebensdauer der Bauteile ansteigt. Direkten Einfluß auf den Energieverbrauch hat das Schaltungsdesign, die pro Karteneinheit erreichte Packungsdichte der Funktionen und die Auswahl der Bauteile und Logikfamilien. Die bei der info-s cpu erreichte hohe Packungsdichte erlaubt es, komplexe Systeme mit wenigen Steckkarten aufzubauen und so die Anzahl der kartenexternen Verbindungen zu minimieren.

Höchste Rechnerleistung ist stets ein Entwicklungsziel. Beeinflussbare Größen bei einem festgelegten Instruktionssatz und einer nicht direkt veränderbaren Wortbreite sind Ablaufgeschwindigkeit und Parallelität in der Verarbeitung. Die Geschwindigkeit der Instruktionsabarbeitung wird durch eine möglichst hohe Taktfrequenz und eine möglichst 100%ige Vermeidung von Wait Zyklen erreicht. Hohe Taktfrequenzen sind unproblematisch, sofern die notwendigen internen Steuerungsabläufe minimale Verzögerungszeiten erzeugen. Dies wurde durch gutes Schaltungsdesign und den Einsatz von PAL Logik erreicht. Parallelität in der Verarbeitung ist am wirkungsvollsten bei einer hierarchisch gegliederten Aufteilung der Gesamtabläufe im Rechnersystem in einzelne von einander loslösbare Teilaufgaben. Dies ist bei einer Bindung an vorhandene Mikrocomputerbetriebssysteme im Bereich der Steuerung der Systemressourcen sinnvoll. Die info-s cpu unterstützt durch ihre Architektur die Bildung von Subsystemen mit Parallelverarbeitung.

Die info-s cpu ist für vielfältige Anwendungsbereiche einsetzbar. Beim Schaltungsdesign wurde Wert maximale Flexibilität gelegt. Die CPU ist auf Grund ihrer Speicherkonzeption für Ein- und Mehrplatzrechnersysteme ebenso geeignet wie für Aufgaben im Subprozessorbereich und in der Steuerungstechnik. Anwendungen im Multitasking-Bereich werden voll unterstützt. Für das Zusammenspiel mit langsameren Baugruppen wurde eine komfortable Wait Logik entwickelt, welche nur die gewünschten Zyklen verzögert. Der erweiterte Adressraum, bei dem Adressen bis 1MByte auf der CPU erzeugt werden, schafft die Grundlage für zukünftige Betriebssysteme. Die meisten zukunftsorientierten Betriebssysteme benötigen Real-Time-Clock und/oder Interval Timer. Die info-s cpu ist mit beiden Einrichtungen versehen. Die Kombination von Schnittstellen erlaubt komplette Systeme incl. Video-Subsystem und modernster Floppysteuerung mit nur 3 Systemkarten und 12 Watt Leistungsaufnahme zu realisieren.

Technische Detailinformationen

Belegung der Postadressen:

Z80-DART oder SIO	Daten	Kontroll/Status
A-Kanal -----	EOH -----	E1H
B-Kanal -----	E2H -----	E3H
Z80-PIO		
A-Kanal -----	E4H -----	E5H
B-Kanal -----	E6H -----	E7H

Baud-Rate-Register ----- EDH

Das Baud Rate Register ist ein reines Ausgaberegister (Out Befehl). Um mit einem Out Befehl zum Baud Rate Register die Baud Rate des DART/SIO zu bestimmen müssen die Brücken 30-37 A-B gebrückt sein. Sind die Brücken 30-37 A-B offen, so steht an den Punkten 30-37 A ein Byte Parallelausgabeport zur Verfügung. Die Baud Rate wird dann über selektives Brücken der Punkte 30-37 B-C veranlaßt. Das Baud Rate Register (EDH) wird durch Reset automatisch gelöscht.

Real-Time-Clock ----- ECH ----- ECH

Die Real-Time-Clock besitzt einen 4 Bit breiten Datenbus, welcher an die 4 niederwertigen Bit des internen Datenbus (D0-D3) angeschlossen ist.

Bank Adressen Register ----- EEH

Beim statischen Bank Betrieb werden in die 4 niederwertigen Bit (D0-D3) des Bank-Register die Bank Adressen A16 - A19 geladen.

Beim dynamischen Bank Betrieb werden in die Bits D0-D3 die Adressbits A16-A19 für Lesezugriffe und in die Bits D4-D7 die Adressbits A16-A19 für Schreibzugriffe geladen. Durch einen Multiplexer werden die jeweils richtigen Adressbits auf den Bus geschaltet. Diese Methode ermöglicht ein besonders einfaches Übertragen von Daten aus einer Bank in eine andere Bank, z.B. mittels LDIR Befehl.

Der info-s Bus

Der info-s Bus ist eine erweiterte Version des ECB-Bus. Er ist zum ECB-Bus kompatibel, d.h. für den ECB-Bus entwickelte Karten laufen auf dem info-s Bus ebenso wie info-s Karten auf ECB-Bus eingesetzt werden können. Der Unterschied besteht in der b-Reihe der VG-Buchsenleisten. Der info-s Bus besitzt hier eine 1 zu 1 Verdrahtung der Punkte b2 bis b31. Der Punkt b1 liegt an +5V und b32 liegt an Masse. Diese 30 zusätzlichen Leitungen werden zur Zeit nicht benutzt und sind für Erweiterungen, Subsysteme und 16-Bit Rechner vorgesehen.

Busbelegung:

	a	b	c	
+5V -----	1	1	1	+5V
D5 -----	2		2	D0
D6 -----	3		3	D7
D3 -----	4		4	D2
D4 -----	5		5	A0
A2 -----	6		6	A3
A4 -----	7		7	A1
A5 -----	8		8	A8
A6 -----	9		9	A7
WAIT -----	10		10	
BUSRQ -----	11		11	IEI
A18 -----	12		12	A19
+12V -----	13		13	
	14		14	D1
-5V -----	15		15	neg. Spannung V-24
2 0 -----	16		16	IEO
A17 -----	17		17	A11
A14 -----	18		18	A10
pos. Spannung V-24 -----	19		19	A16
M1 -----	20		20	NMI
	21		21	INT
	22		22	WR
BAI -----	23		23	
VC MOS -----	24		24	RD
BAO -----	25		25	HALT
	26		26	PWRCL
IORQ -----	27		27	A12
RFRSH -----	28		28	A15
A13 -----	29		29	0
A9 -----	30		30	MRQ
BUSAK -----	31		31	RESET
GND -----	32	32	32	GND

Ausgangssignale:

An der dem VG-Stecker gegenüberliegenden Seite der info-s cpu befinden sich die Signalsteckfelder für die Parallelschnittstellen, den Baud-Rate Generator und die V-24 Schnittstellen. Die durch Positionsdruck definierten Punkte haben folgende Zuordnung:

V-24 Schnittstelle Kanal A

A 1 ---- Masse
A 2 ---- Receive Data
A 3 ---- Transmitt Data
A 4 ---- Request to Send
A 5 ---- Clear to Send
A 6 ---- Data Terminal Ready
A 7 ---- Data Carrier Detect
A 8 ---- Extern Timing Input
A 9 ---- Extern Timing Output
A 10 ---- Wait/Ready A

V-24 Schnittstelle Kanal B

B 1 ---- Masse
B 2 ---- Receive Data
B 3 ---- Transmitt Data
B 4 ---- Request to Send
B 5 ---- Clear to Send
B 6 ---- Data Terminal Ready
B 7 ---- Data Carrier Detect
B 8 ---- Extern Timing Input
B 9 ---- Extern Timing Output
B 10 ---- Wait/Ready B

Auswahl der Taktzuführung für die Baud-Rate

Die info-s cpu besitzt 2 interne Taktoszillatoren, die über ein ladbares Register oder über Steckbrücken in der Frequenz eingestellt werden können.

Der Z80-DART (SIO) kann mit dem internen oder einem externen Takt betrieben werden. Für den Betrieb mit dem internen Takt sind folgende Brücken zu schließen:

C11 - C12 für Kanal A und C13 - C14 für Kanal B

Soll der interne Takt zusätzlich über die Punkte A9 bzw. B9 einer externen Einheit zur Verfügung gestellt werden, so sind die folgenden Brücken zu schließen:

A12 - A13 für Kanal A und B12 - B13 für Kanal B

Der Z80-DART (SIO) kann auch mit einem externen Takt betrieben werden. Der Takt wird an den Punkten A8 bzw. B8 in V-24 Pegel zugeführt. Für diese Betriebsart sind die Brücken C11 - C12 bzw. C13 - C14 zu öffnen und die folgenden Brücken zu schließen:

A13 - A14 für Kanal A und B13 - B14 für Kanal B

Einstellung des internen Takt:

Die Brücken A-B-C 30-37 bestimmen die interne Taktgeschwindigkeit. Die Brücken A-B-C 34-37 sind für den A Kanal zuständig. A-B-C 30-33 gehören zum B Kanal. Die B-Reihe ist mit den frequenzbestimmenden Eingängen des Baud-Rate Chips verbunden. Die A-Reihe stellt die Ausgänge eines Registers dar. Soll die Baud Rate für einen Kanal per Programm bestimmt werden, so müssen alle zu diesem Kanal gehörigen Ausgänge des Registers mit den Eingängen des Baud-Rate Chip verbunden werden, also z.B. A30-B30 A31-B31 A32-B32 A33-B33 für den Kanal B.

Einstellung der Baud-Rate:

Hardware (durch selektives Schließen der B-C Brücken)

A-Kanal				B-Kanal				Baud-Rate
34	35	36	37	30	31	32	33	
0	0	0	0	0	0	0	0	19200 Baud
0	0	0	g	0	0	0	g	9600 Baud
0	0	g	0	0	0	g	0	7200 Baud
0	0	g	g	0	0	g	g	4800 Baud
0	g	0	0	0	g	0	0	3600 Baud
0	g	0	g	0	g	0	g	2400 Baud
0	g	g	0	0	g	g	0	2000 Baud
0	g	g	g	0	g	g	g	1800 Baud
g	0	0	0	g	0	0	0	1200 Baud
g	0	0	g	g	0	0	g	600 Baud
g	0	g	0	g	0	g	0	300 Baud
g	0	g	g	g	0	g	g	150 Baud
g	g	0	0	g	g	0	0	134 Baud
g	g	0	g	g	g	0	g	110 Baud
g	g	g	0	g	g	g	0	75 Baud
g	g	g	g	g	g	g	g	50 Baud

Software (durch OUT Befehl zum Port ED)

B-Kanal				A-Kanal				Baud-Rate
D7	D6	D5	D4	D3	D2	D1	D0	
1	1	1	1	1	1	1	1	19200 Baud
1	1	1	0	1	1	1	0	9600 Baud
1	1	0	1	1	1	0	1	7200 Baud
1	1	0	0	1	1	0	0	4800 Baud
1	0	1	1	1	0	1	1	3600 Baud
1	0	1	0	1	0	1	0	2400 Baud
1	0	0	1	1	0	0	1	2000 Baud
1	0	0	0	1	0	0	0	1800 Baud
0	1	1	1	0	1	1	1	1200 Baud
0	1	1	0	0	1	1	0	600 Baud
0	1	0	1	0	1	0	1	300 Baud
0	1	0	0	0	1	0	0	150 Baud
0	0	1	1	0	0	1	1	134 Baud
0	0	1	0	0	0	1	0	110 Baud
0	0	0	1	0	0	0	1	75 Baud
0	0	0	0	0	0	0	0	50 Baud

Die hier aufgeführten Werte basieren auf einer Initialisierung des DART (SIO) mit einem Baud-Rate Teiler Faktor von 16.

Parallelschnittstelle:

Die I/O Anschlüsse der Z80-PIO liegen an einem 26 pol. Pfostenfeld, welches für den direkten Anschluß eines gequetschten Flachbandkabels vorgesehen ist.

A 16 ---- A-Port D7	B 16 ---- B-Port D7
A 17 ---- A-Port D6	B 17 ---- B-Port D6
A 18 ---- A-Port D5	B 18 ---- B-Port D5
A 19 ---- A-Port D4	B 19 ---- B-Port D4
A 20 ---- A-Port D3	B 20 ---- B-Port D3
A 21 ---- A-Port D2	B 21 ---- B-Port D2
A 22 ---- A-Port D1	B 22 ---- B-Port D1
A 23 ---- A-Port D0	B 23 ---- B-Port D0
A 24 ---- GND (Masse)	B 24 ---- + 5V
A 25 ---- A-Port Strobe	B 25 ---- B-Port Strobe
A 26 ---- A-Port Ready	B 26 ---- B-Port Ready
A 27 ---- frei	B 27 ---- frei
A 28 ---- frei	B 28 ---- frei

Als Zubehör ist eine Schnittstellenkarte lieferbar, welche den B-Port als Daten- und den A-Port als Steuerport für eine universelle Druckerschnittstelle benutzt (Centronics Schnittstelle).

Definition der Speicherbetriebsart

Die info-s cpu kann wahlweise ohne oder mit 2 unterschiedlichen Bank Betriebsarten arbeiten. Beim Betrieb mit mehr als 64k Byte Speicher kann zwischen einer statischen und dynamischen Bank Adresserzeugung umgeschaltet werden. Folgende Brückenverbindungen sind vorzunehmen:

Betrieb mit 64k Speicher auf der Karte und ohne Banking:

X21-X22 offen X22-X23 offen X31-X32 offen X33-X34 geschlossen

Betrieb ohne den internen 64k Speicher und ohne Banking:

X21-X22 offen X22-X23 offen X31-X32 offen X34-X35 geschlossen

Betrieb mit statischem Banking und dem internen 64k Speicher als Bank 0:

X22-X23 geschlossen X31-X32 geschlossen X33-X34 offen X34-X35 offen

Betrieb mit statischem Banking ohne den internen 64k Speicher:

X22-X23 geschlossen X31-X32 offen X34-X35 geschlossen

Betrieb mit dynamischem Banking und dem internen 64k Speicher als Bank 0:

X21-X22 geschlossen X31-X32 geschlossen X33-X34 offen X34-X35 offen

Betrieb mit dynamischem Banking ohne den internen 64k Speicher:

X21-X22 geschlossen X31-X32 offen X34-X35 geschlossen

Definition der EPROM Betriebsart

Der 28 pol. EPROM Steckplatz kann mit 2k - 16k Eproms bestückt werden. Der entsprechende RAM Speicherbereich wird automatisch ausgeblendet. Im Bootbetrieb wird der EPROM Bereich mit dem 1. Befehlszyklus, der außerhalb des EPROM Adressbereichs liegt, automatisch ausgeblendet. Folgende Kombinationen der Betriebsart sind möglich:

EPROM nur für den Bootbetrieb aktiv:

X41-X42 geschlossen X82-X83 geschlossen

EPROM immer aktiv und liegt im Adressbereich der Bank 0:

X41-X42 offen X81-X82 geschlossen

EPROM immer aktiv und liegt im Adressbereich aller Banks:

X41-X42 offen X82-X83 geschlossen

EPROM Typenauswahl:

2716	X72-X73	X61-X62	X52-X53	X95-X96	X92-X93	geschlossen
2732	X72-X73	X61-X62	X51-X52	X95-X96	X91-X92	geschlossen
2764	X72-X73	X62-X63	X51-X52	X94-X95	X91-X92	geschlossen
27128	X71-X72	X62-X63	X51-X52	X94-X95	X91-X92	geschlossen

Wait Logik

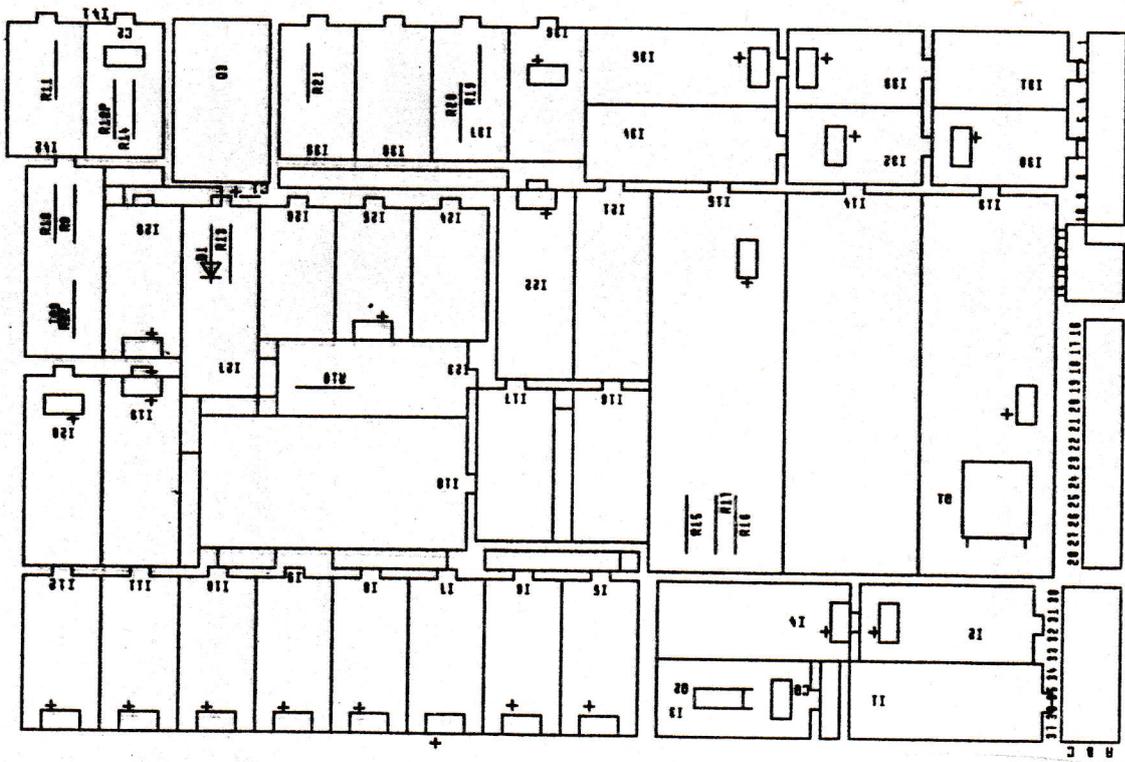
Die info-s cpu besitzt eine umfangreiche Logik zur Erzeugung von Wait Zyklen. Durch Brücken lassen sich folgende Kombinationen einstellen:

Wait bei I/O Zugriffen:		X3-X4	geschlossen
Wait bei M1 RAM Zugriffen:		X8-X9 X11-X12	geschlossen
Wait bei M1 EPROM Zugriffen:		X9-X10 X11-X12	geschlossen
Wait bei allen EPROM Zugriffen:	X1-X2	X9-X10 X11-X12	geschlossen
Wait bei allen MRQ Zugriffen:	X1-X2	X8-X9 X11-X12	geschlossen
Wait bei Interrupt Acknowledge:		X5-X6	geschlossen
Kein Wait bei Int. Ack.:		X6-X7	geschlossen

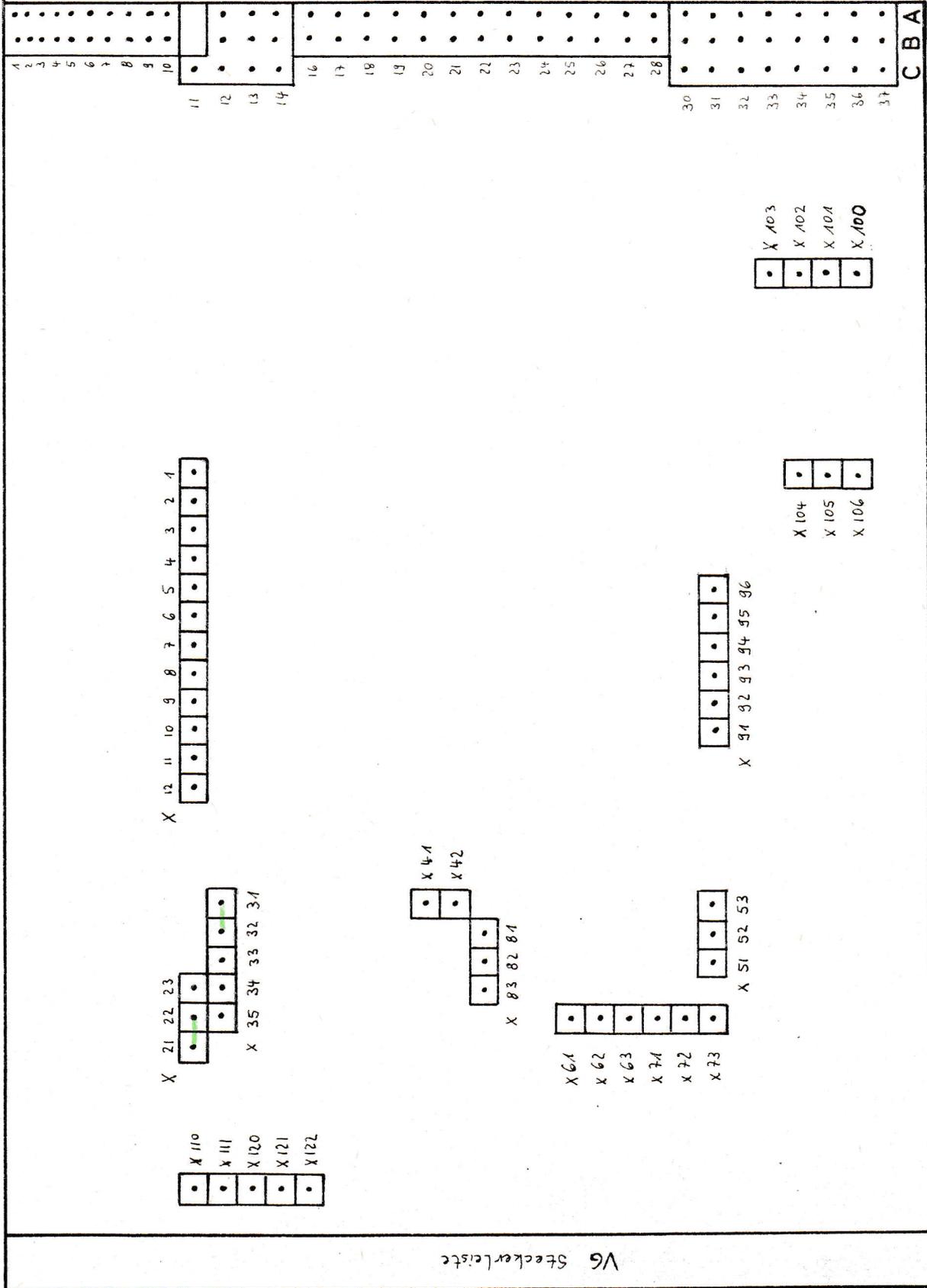
I/O , Speicher und Interrupt Acknowledge Wait lassen sich beliebig kombinieren.

Real-Time-Clock und Interval Timer

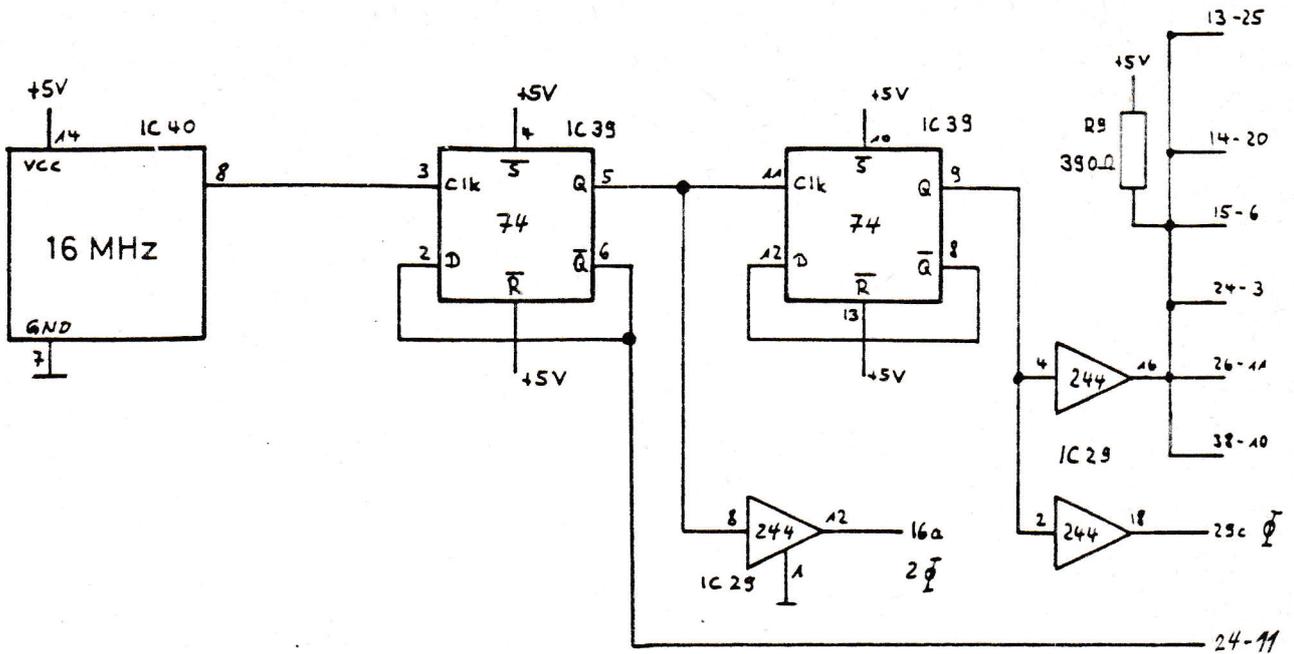
Die info-s cpu besitzt eine neuartige Real-Time-Clock mit Interval Timer und einer Zeitvergleichseinrichtung. Die gewünschte Betriebsart wird mit einem Komandowort in den Uhrenbaustein geladen. Zum Lieferumfang der info-s cpu gehört ein ausführliches Datenblatt der Real-Time-Clock mit Programmbeispielen.



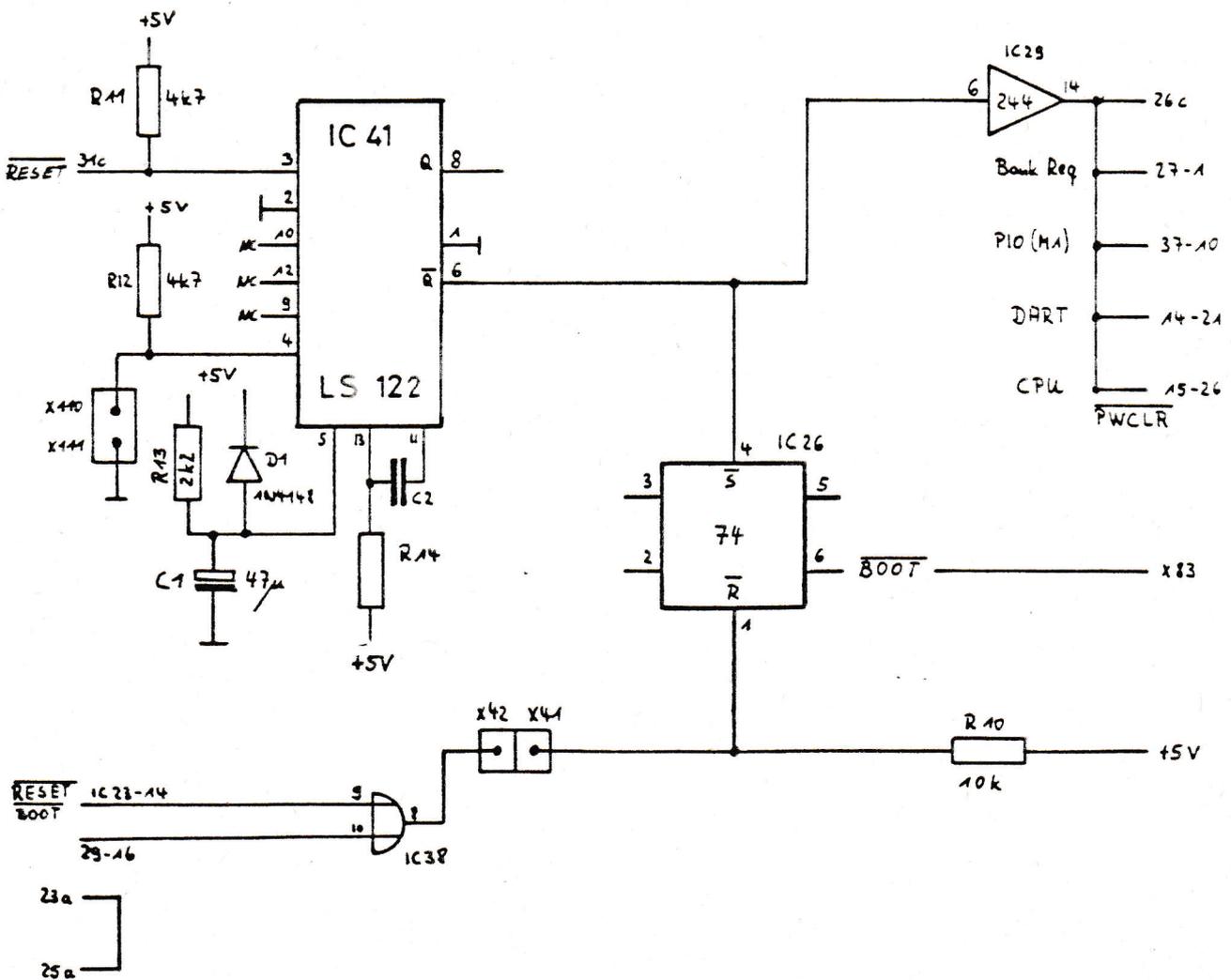
BESTUECKUNG



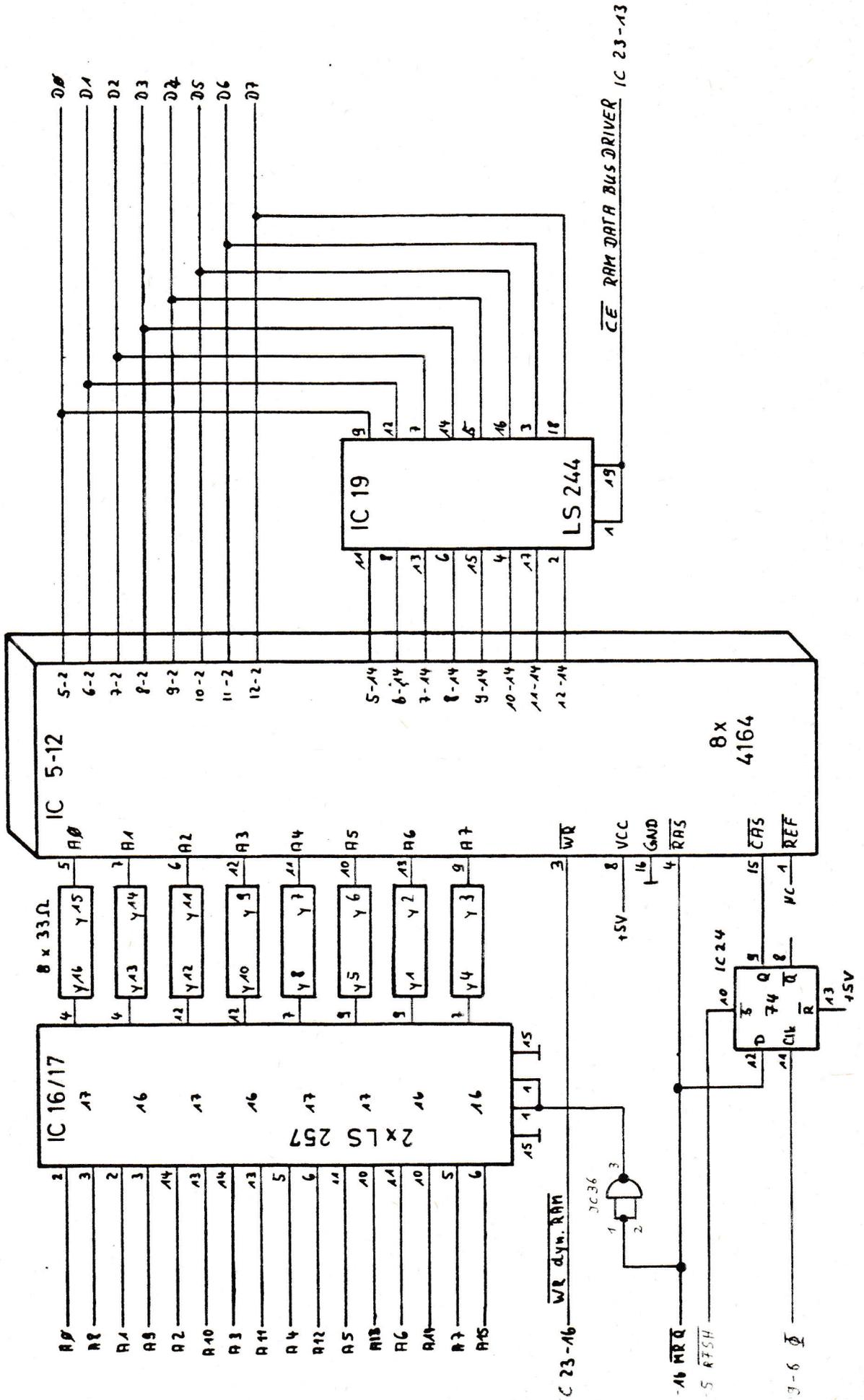
Reset Logik u. Clock



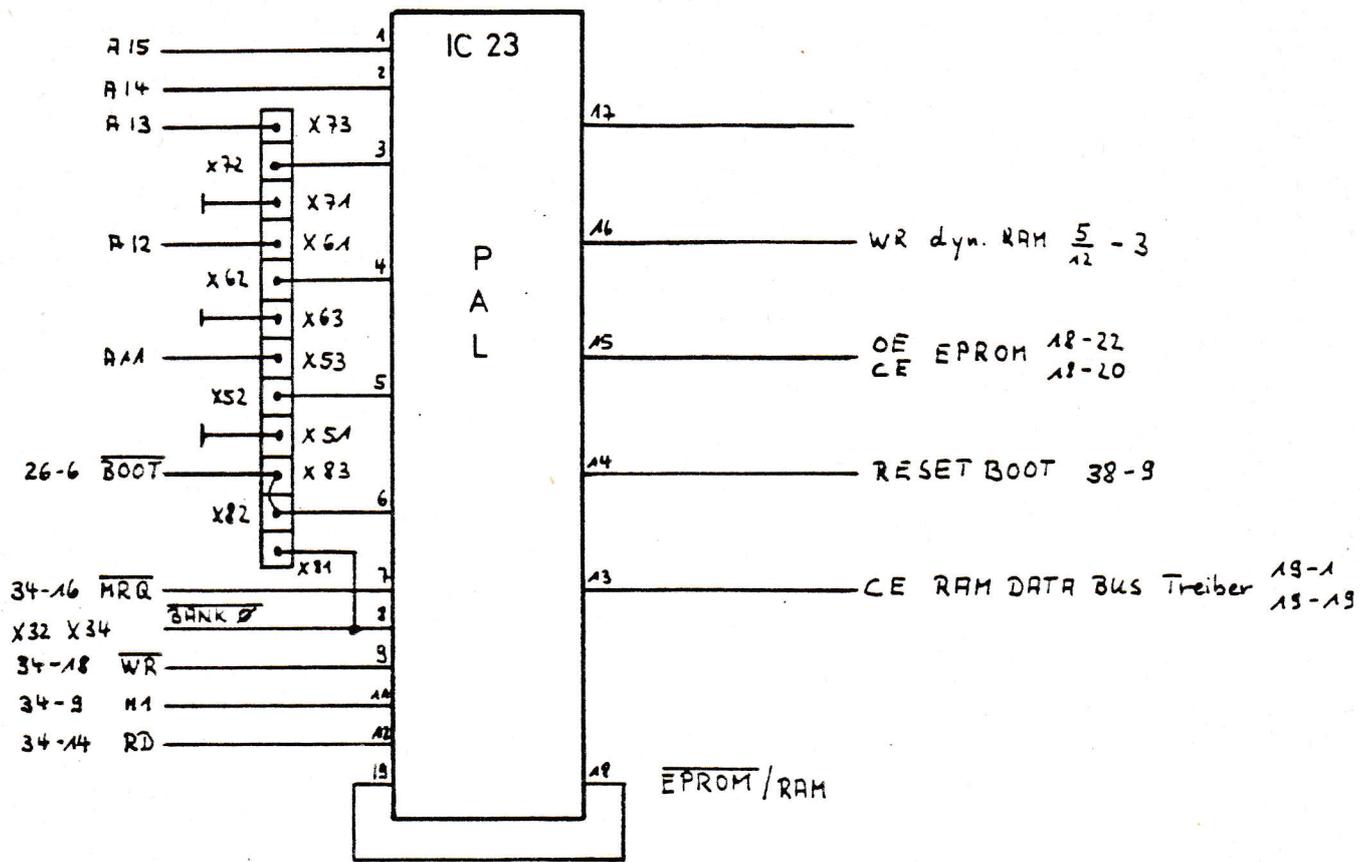
Reset Logik



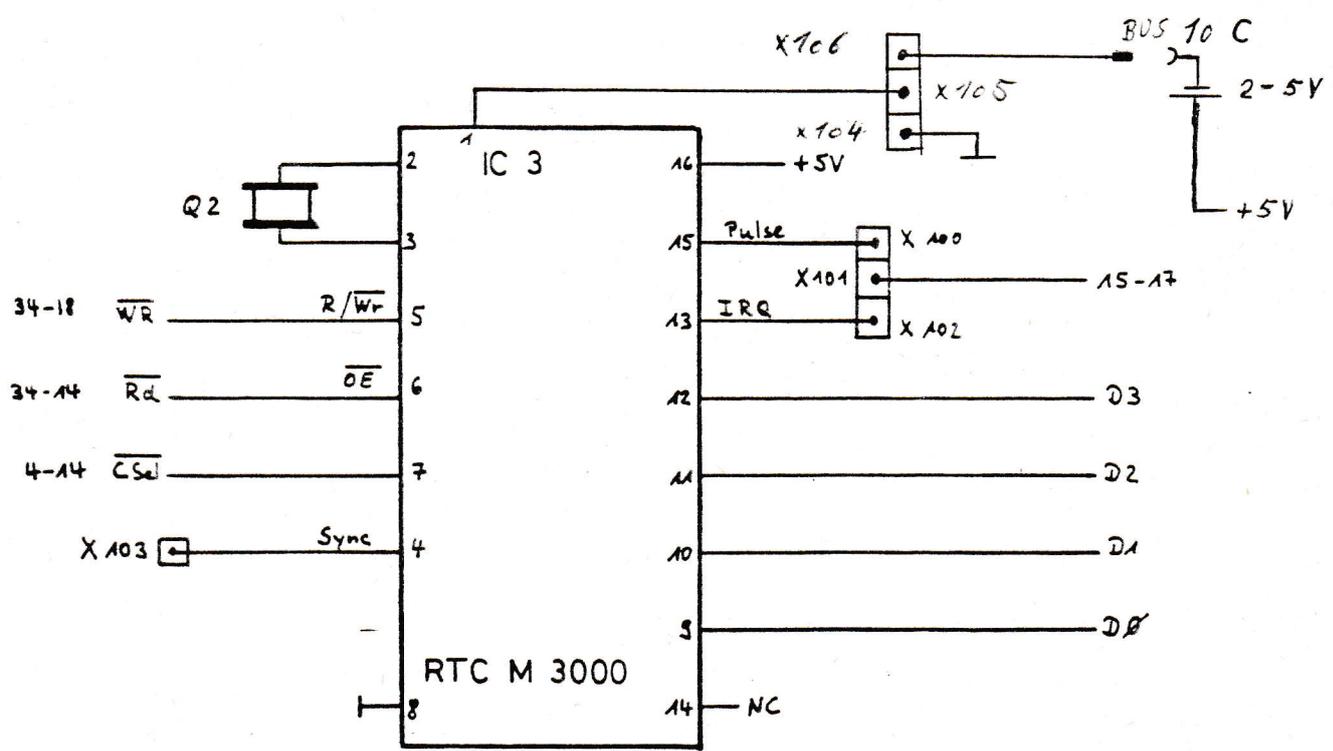
64 K Speicher



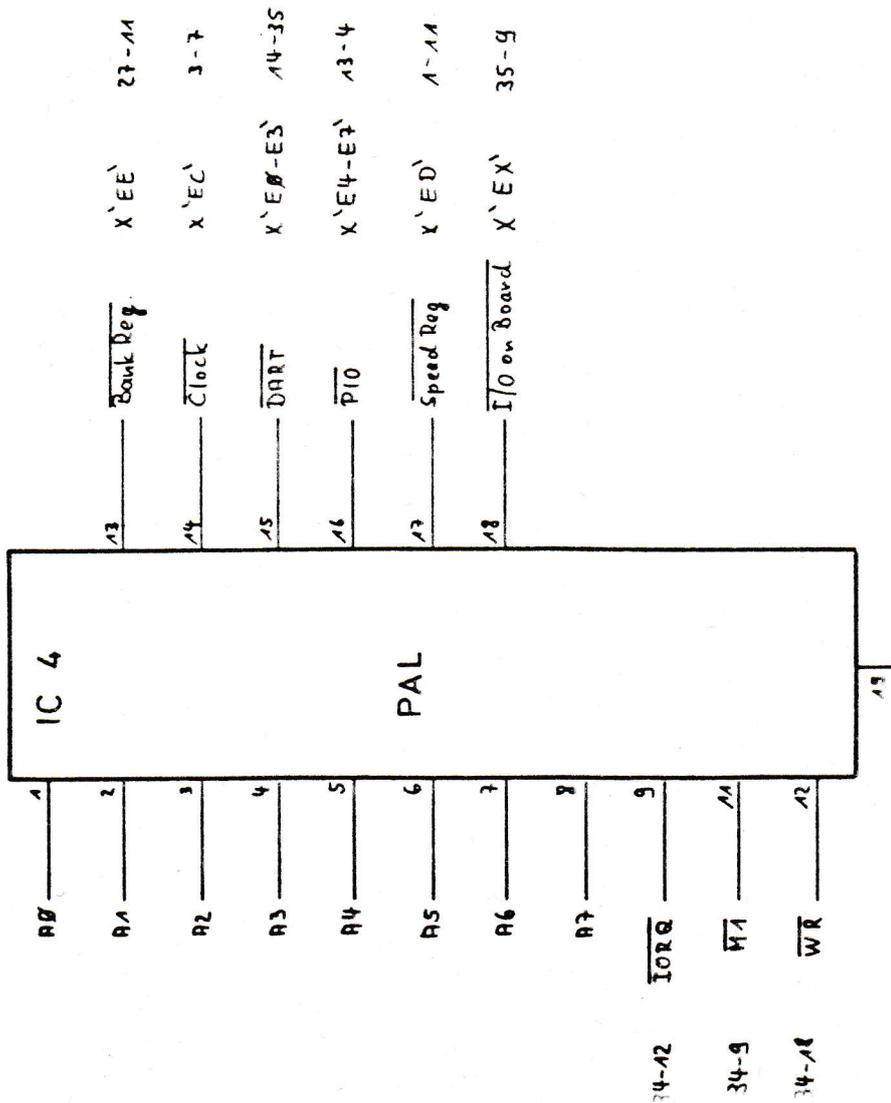
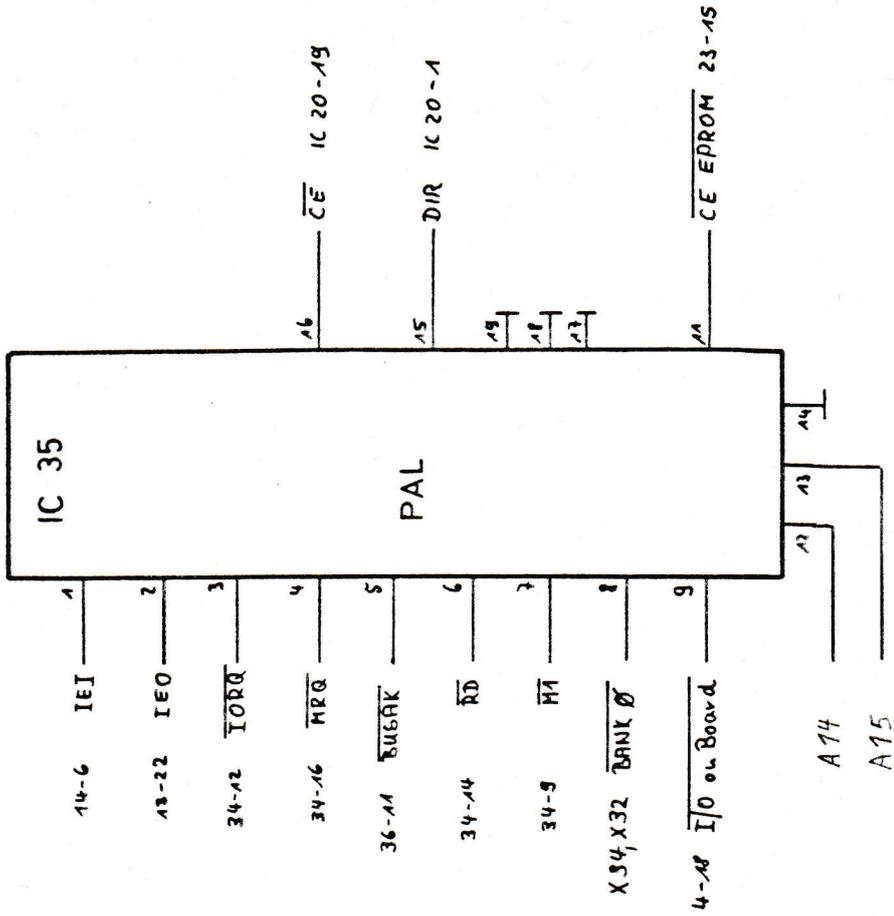
Interne Steuerlogik



Real Time Clock

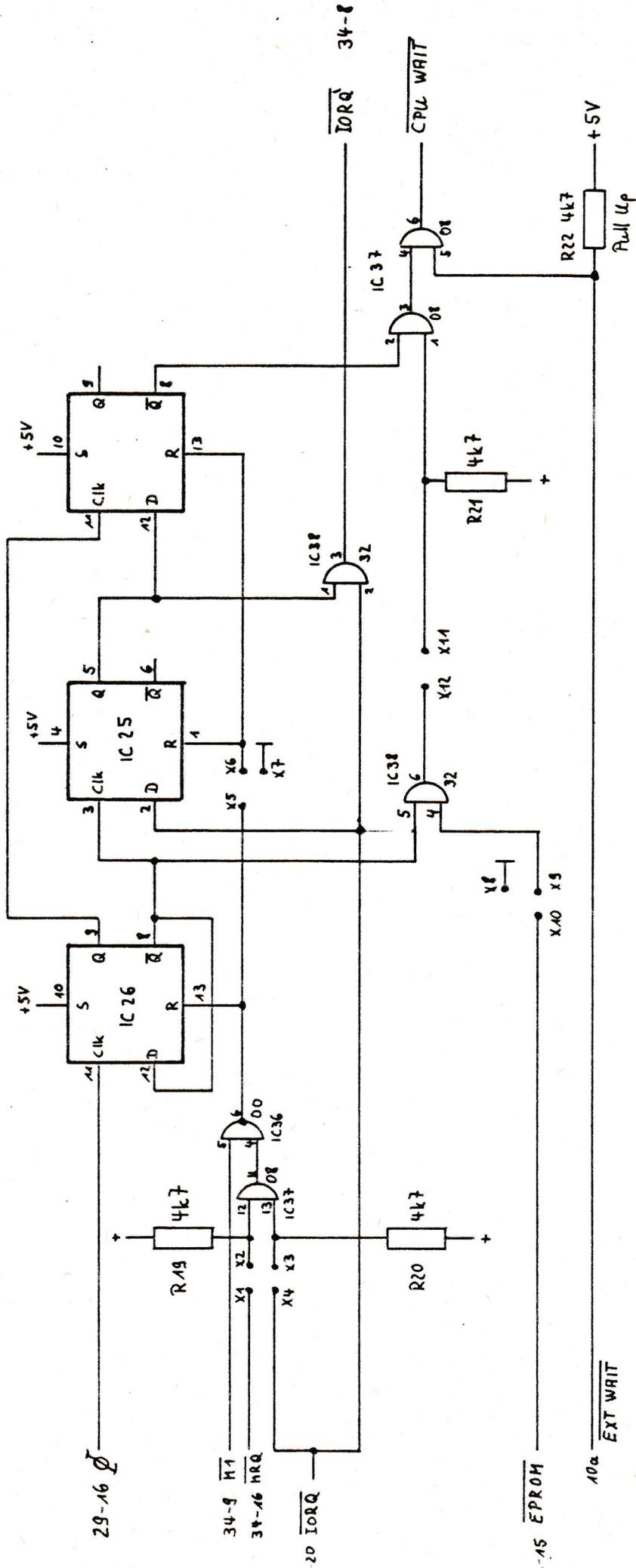


Interne Steuerlogik

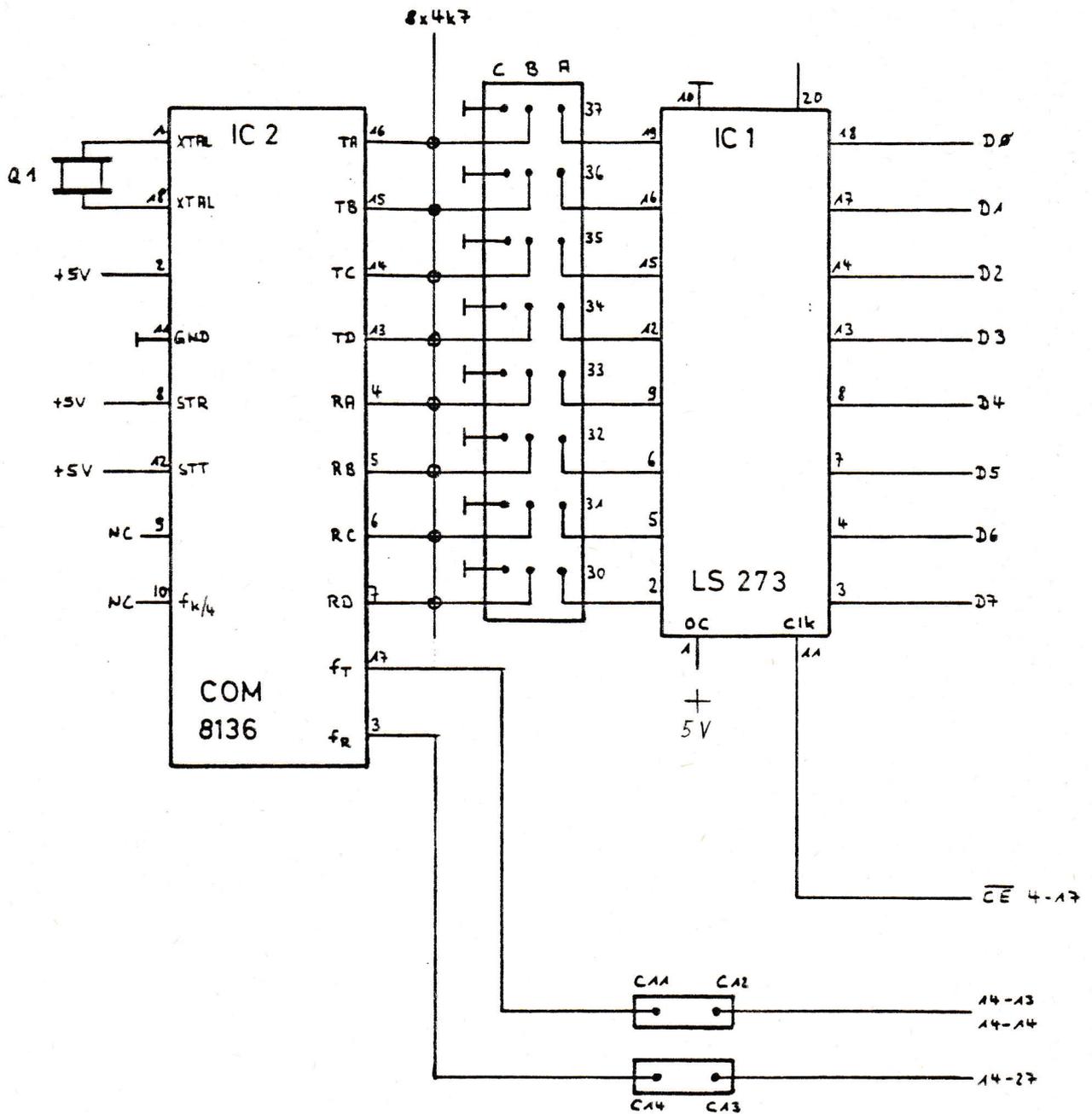


7

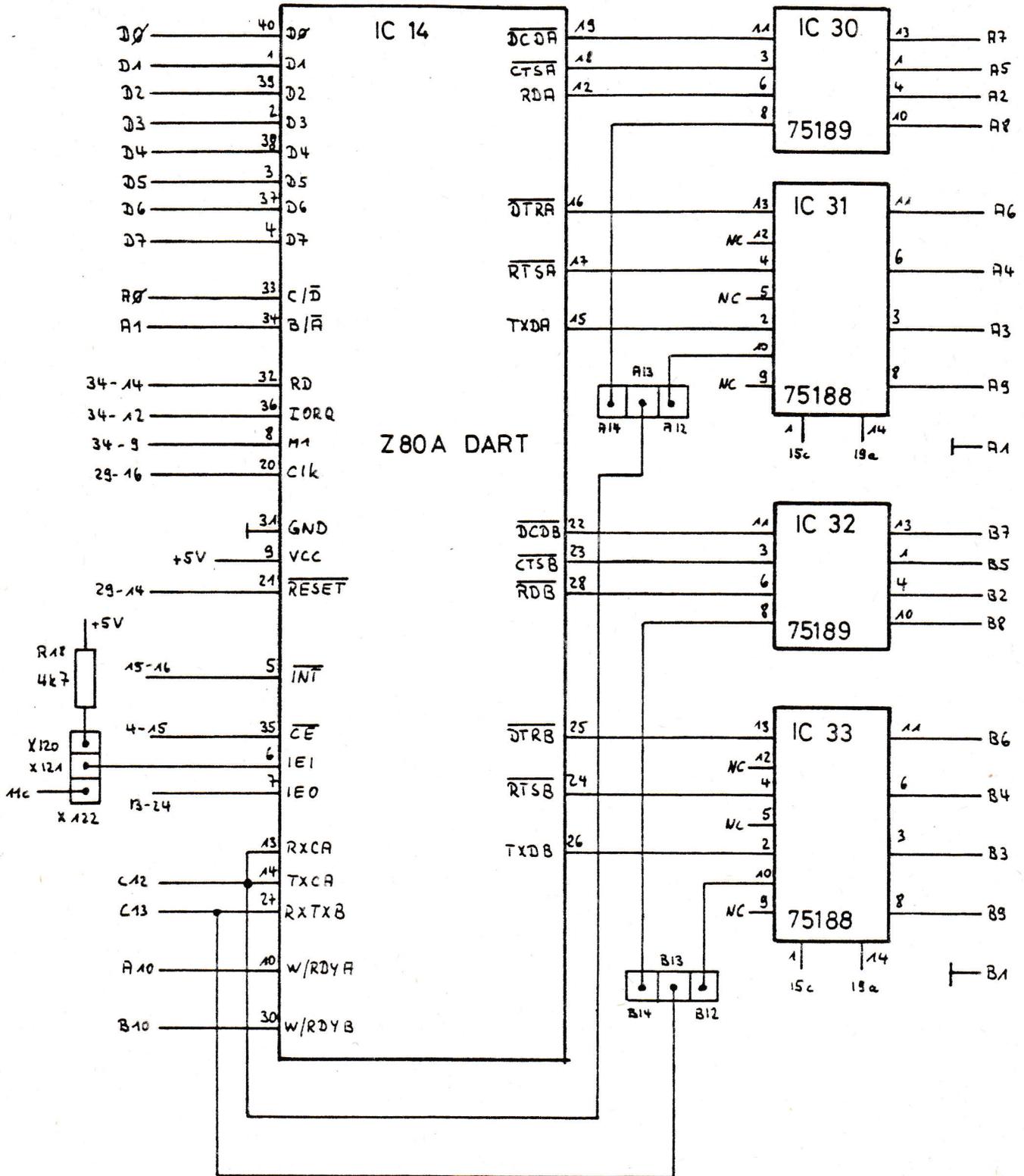
Wait Logik



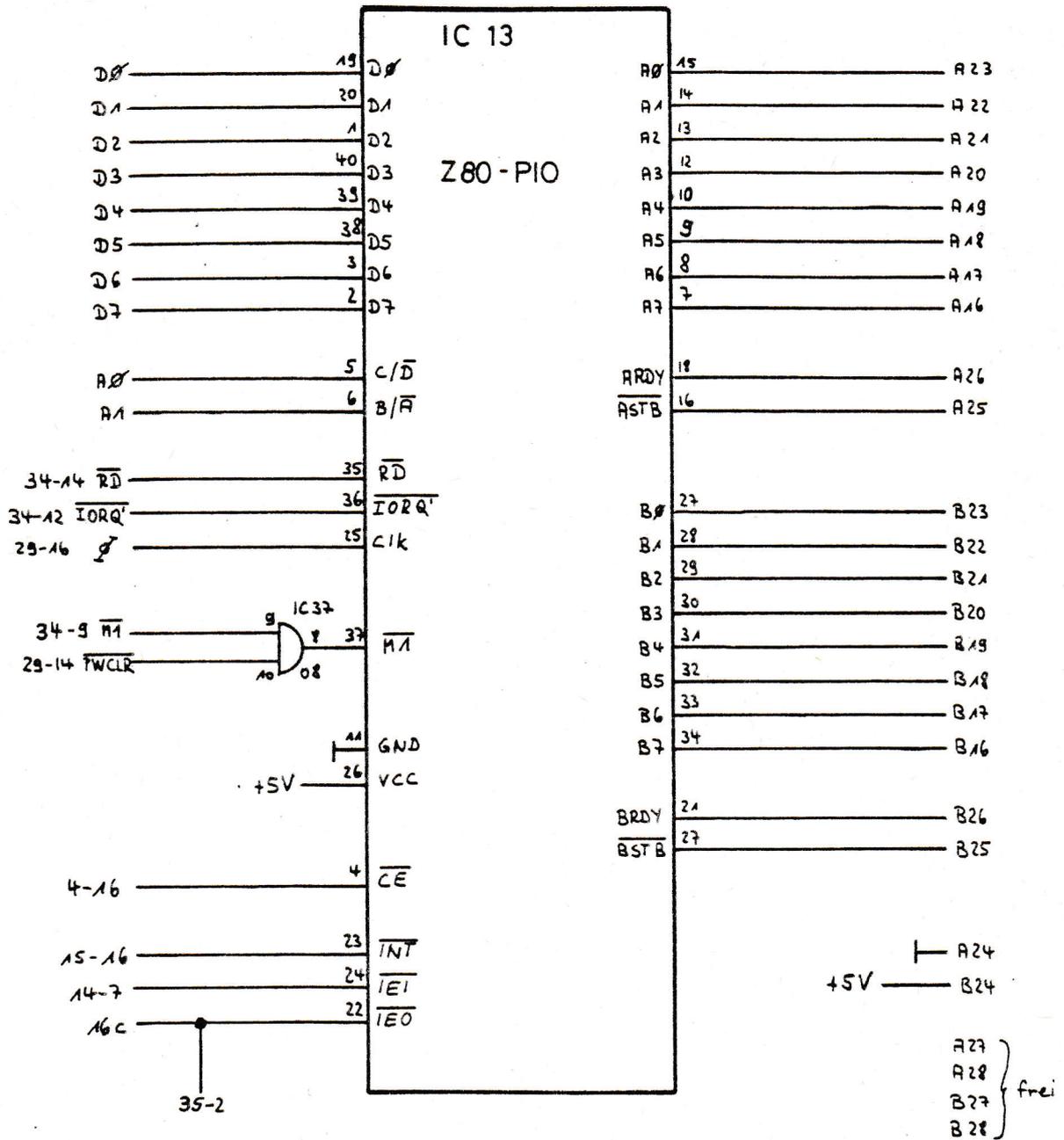
Baud Rate Erzeugung



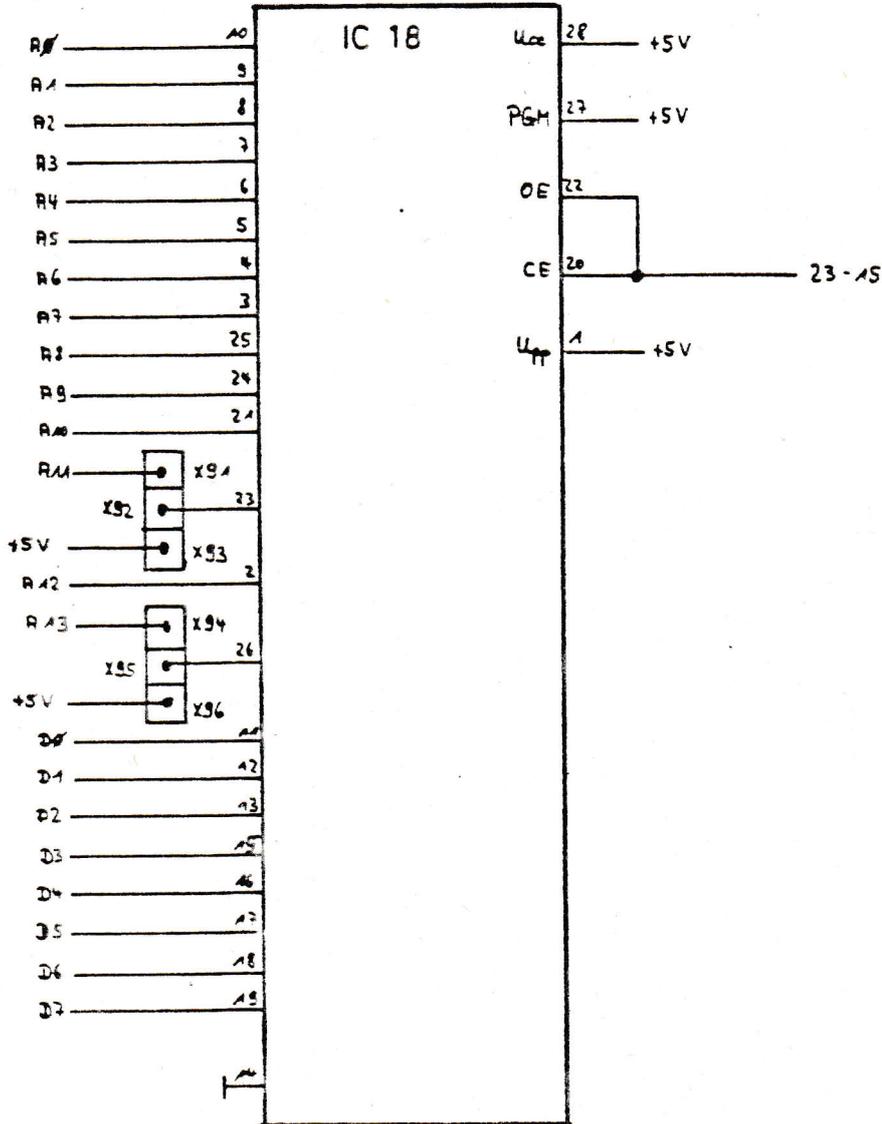
Serielle Schnittstellen



Parallel Schnittstellen



EPROM



X 96 X 95 X 94 X 93 X 92 X 91



2716
2732
2764
27128

Bank Logik

